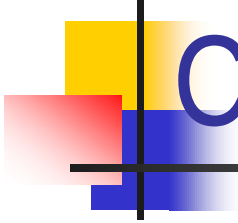


C6000 DSPs系统的设计

刘国满

liuguoman@bit.edu.cn

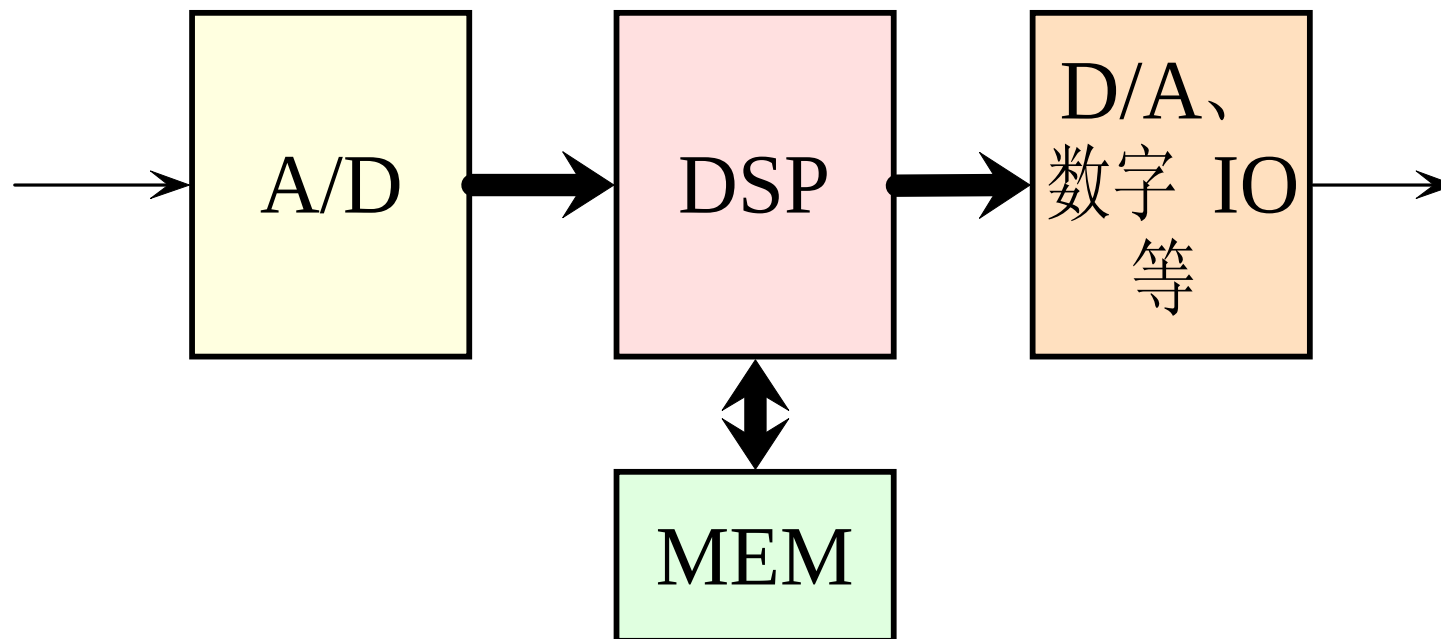
北京理工大学雷达技术研究所



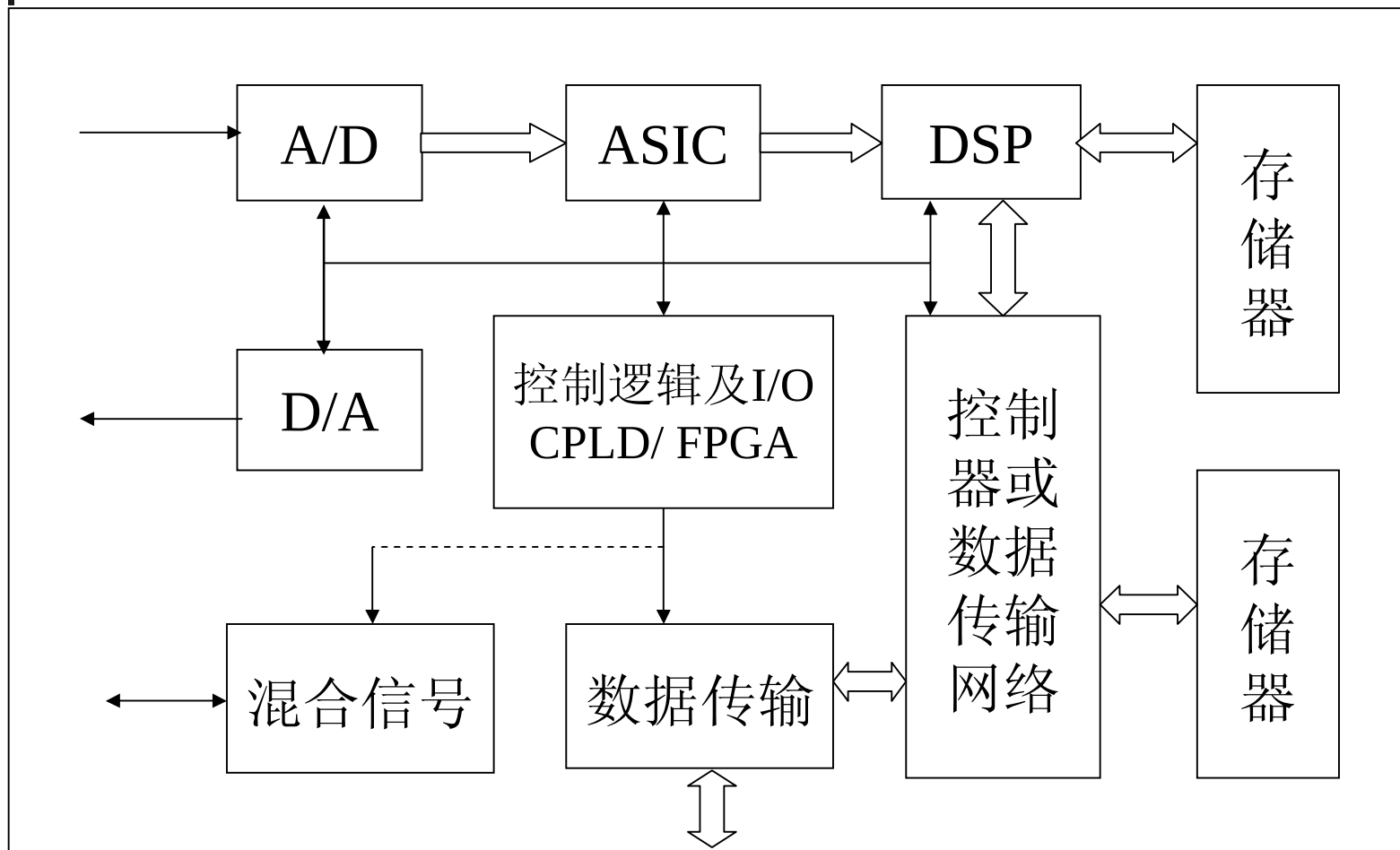
C6000 DSPs系统的设计

- n DSPs系统
- n 最小系统设计
- n 外围其它电路的设计考虑
 - n 周边器件（中小规模器件）
 - n 电路集成（**ASIC/CPLD/FPGA**）
 - n 总线技术（**PCI/VME**）

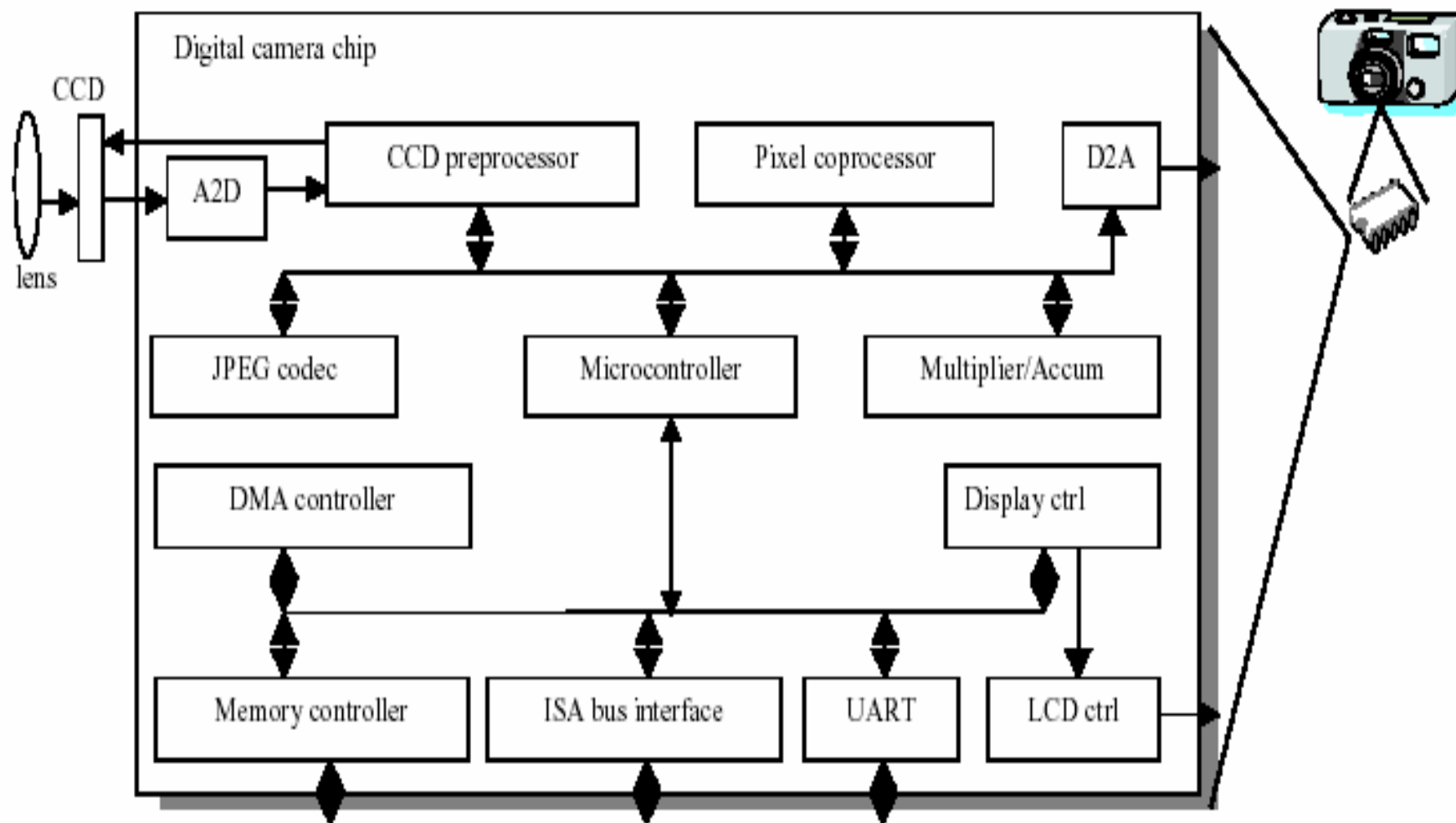
DSP系统构成 (1)

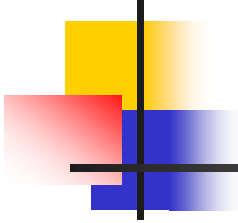


DSP系统构成（2）



嵌入式DSP系统例子



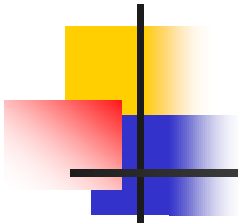


DSPs芯片的选择（1）

n DSPs vs. ASIC

n DSPs的速度

- n** 算法和系统提供时间
- n** 速度选择最可靠的方法是对信号处理算法的“核心”功能（往往占运算量80%以上，但代码小于20%）进行编程仿真（Simulation）
- n** 选择要有富裕量，以便系统功能的增加或升级。



DSPs芯片的选择（2）

n 数据格式

n 8bit补码数字

n 01010011表示 $2^6 + 2^4 + 2^1 + 2^0 = 64 + 16 + 2 + 1 = 83$

n 10101100表示 $-2^7 + 2^5 + 2^3 + 2^2 = -128 + 32 + 8 + 4 = -84$

n -1.0到+1.0的小数格式，最高位为 -2^0 ，后续依次为 2^{-1} ， 2^{-2} ， 2^{-3} ，...，例如8bit小数

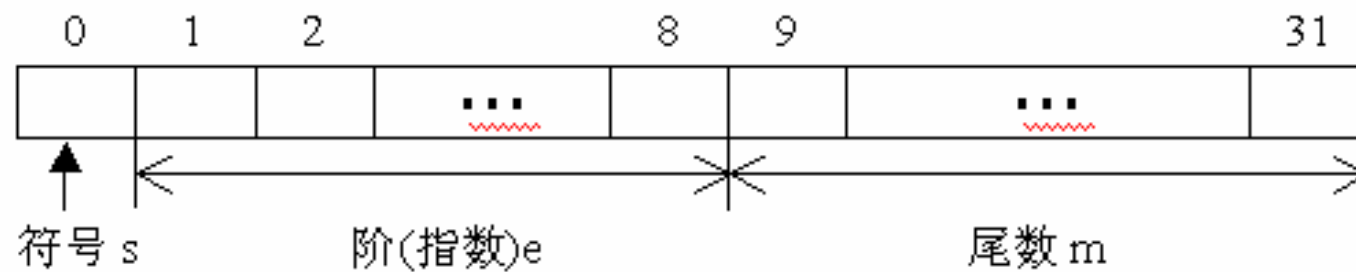
n 01010000 表示 $2^{-1} + 2^{-3} = 0.5 + 0.125 = 0.625$

n 10101000 表示 $-2^0 + 2^{-2} + 2^{-4} = -1 + 0.25 + 0.0625 = -0.6875$

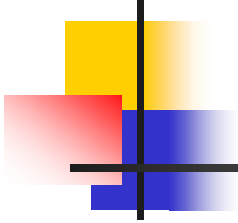
DSPs芯片的选择 (3)

n 数据格式

n 浮点数据格式



$$X = (-1)^s \times (1.m) \times 2^{(e-127)}$$



DSPs芯片的选择（3）

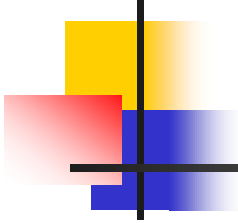
n 数据宽度

n 定点DSP

- n 字宽一般为16位，也有20位、24位、32位
- n 由于芯片的集成复杂度与字宽的平方成正比，并且字宽与DSP的外部尺寸、管脚数量以及需要的存储器的宽度等有很大的关系，所以字宽的长短直接影响到器件的成本

n 浮点DSP

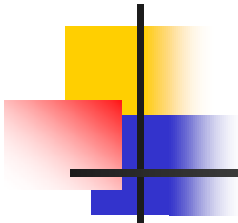
- n 字宽为32位、40位、或48位
- n 根据算法的精度选择



DSPs芯片的选择（4）

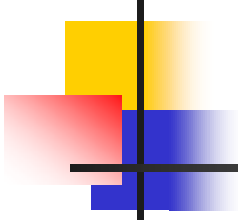
n 存储器结构和管理

- n DSP的存储器结构一般采用“哈佛”结构，并有高速缓存
- n 几套数据存储器空间
- n DSP存储器从层次上分为寄存器、高速缓存、片上存储器、片外存储器等
- n 片上存储器容量的大小是一个很重要的因素



DSPs芯片的选择（5）

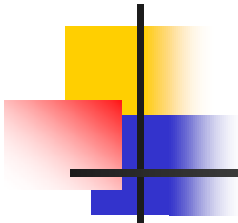
- n 电源管理和功耗
 - n 降低工作电压
 - n “休眠”或“空闲”模式
 - n 可编程时钟分频器
 - n 外围控制



DSPs芯片的选择（6）

n 开发的简便性

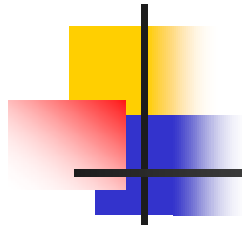
- n 软件开发工具(包括汇编、链接、仿真、调试、编译、代码库以及实时操作系统等部分)、硬件工具(开发板和仿真机)和高级工具(例如基于框图的代码生成环境)
- n 汇编语言或高级语言(如C或Ada)，或混合编程
- n 片上调试/仿真功能，IEEE1149.1JTAG标准的串行接口



DSPs芯片的选择（7）

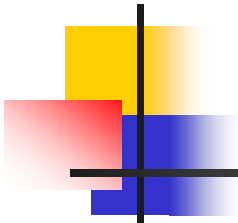
n 成本因素

- n 封装不同的DSP器件价格存在差别
- n 越便宜的处理器功能越少，片上存储器也越小
- n 价格还依赖于批量
- n 处理器的价格在持续下跌



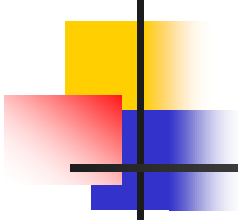
DSPs的开发

- n 高速实时DSPs系统开发存在2个大的难点
 - n 系统的物理实现。板级（系统）设计涉及到很多高速数字电路的设计技术
 - n 软件并行度的提高。
- n 在实际系统设计中，一方面，设计人员的经验起到非常重要的作用，另一方面，需要好的EDA软件工具提供支持



高速数字电路的设计考虑

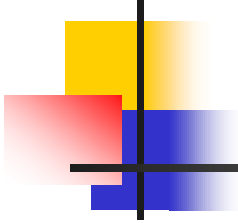
- n 必要性和必须性
- n 精确的时序设计
- n 热分布（电源）设计
- n 信号完整性设计
- n 高速数字电路理论和方法的支持
- n 需要**EDA**软件支持



高速设计—必要性和必须性

n 必要性和必须性

- n 高的频率：100~500Mhz，上升沿小于1ns
- n 反射、串扰、地弹
- n 高成本
- n 开发周期



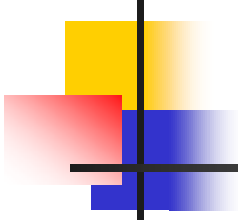
高速设计—时序设计（1）

- n 精确的时序设计

- n 考虑器件延迟

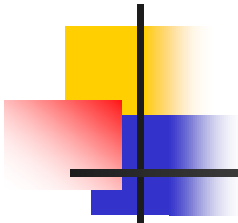
- n 考虑印制板延迟

- n 满足建立时间和保持时间



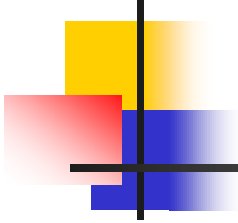
高速设计—时序设计（2）

- n 计算‘富裕时间’ t_{margin}
 - n 在考虑了器件手册提供的最坏情况之后，得到的时序上的一个建立或保持时间裕量
- n 分析系统对‘富裕时间’ t_{margin} 的需求
 - n 其要求往往随不同的系统而各异，而且和布线的情况以及负载的情况密切相关
 - n 对于一个精心设计的电路板而言，输出信号的建立(**setup**)时间以及保持时间(**hold**)的富裕量大概在**0.5ns**左右就够了



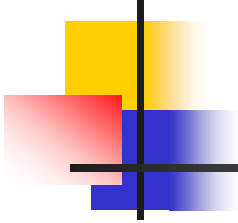
高速设计—热分布设计

- n 散热系统的考虑点
 - n C6000芯片的板子周围的空气流速
 - n 环境温度
 - n 芯片封装与散热片的结合方式/类型
 - n 电路板的设计与布线
- n 建立散热模型
- n 散热片的性能曲线



高速设计—可调试性设计

- n JTAG 仿真口
- n 信号探测点
- n 子系统的独立性
- n 手工复位
- n 拨码开关



高速设计——信号完整性设计

- n 信号完整性
 - n 过冲（上冲、下冲）
 - n 振铃
 - n 非单调性
- n 高速数字电路理论和方法的支持
- n 需要**EDA**软件支持