

[题 2.21] 对于互相排斥的一组变量 A, B, C, D, E (即任何情况下, A, B, C, D, E 不可能有两个或两个以上同时为 1), 试证明 $AB'C'D'E' = A, A'BC'D'E' = B, A'B'CD'E' = C, A'B'C'DE' = D, A'B'C'D'E = E$ 。

[题 2.22] 将下列具有约束项的逻辑函数化为最简与或形式。

$$(1) Y_1 = AB'C' + ABC + A'B'C + A'BC'$$

给定约束条件为 $A'B'C' + A'BC = 0$

$$(2) Y_2 = (A + C + D)' + A'B'CD' + AB'C'D, \text{ 给定约束条件为 } AB'CD' + AB'CD + ABC'D' + ABC'D + ABCD' + ABCD = 0。$$

$$(3) Y_3 = CD'(A \oplus B) + A'BC' + A'C'D, \text{ 给定约束条件为 } AB + CD = 0。$$

$$(4) Y_4 = (AB' + B)CD' + ((A + B)(B' + C))', \text{ 给定约束条件为 } ABC + ABD + ACD + BCD = 0。$$

[题 2.23] 将下列具有无关项的逻辑函数化为最简的与或逻辑式。

$$(1) Y_1(A, B, C) = \sum m(0, 1, 2, 4) + d(5, 6)$$

$$(2) Y_2(A, B, C) = \sum m(1, 2, 4, 7) + d(3, 6)$$

$$(3) Y_3(A, B, C, D) = \sum m(3, 5, 6, 7, 10) + d(0, 1, 2, 4, 8)$$

$$(4) Y_4(A, B, C, D) = \sum m(2, 3, 7, 8, 11, 14) + d(0, 5, 10, 15)$$

[题 2.24] 试证明两个逻辑函数间的与、或、异或运算可以通过将它们的卡诺图中对应的最小项做与、或、异或运算来实现, 如图 P2.24 所示。

[题 2.25] 利用卡诺图之间的运算(参见上题)将下列逻辑函数化为最简与或式。

$$(1) Y = (AB + A'C + B'D)(AB'C'D + A'CD + BCD + B'C)$$

$$(2) Y = (A'B'C + A'BC' + AC)(AB'C'D + A'BC + CD)$$

$$(3) Y = (A'D' + C'D + CD') \oplus (AC'D' + ABC + A'D + CD)$$

$$(4) Y = (A'C'D' + B'D' + BD) \oplus (A'BD' + B'D + BCD')$$

[题 2.26] 用 Multisim 7 求下列函数的反函数式, 并将得到的函数式化简成最简与或形式。

$$(1) Y = AB + C$$

$$(2) Y = (A + BC)C'D$$

$$(3) Y = ((A + B')(A' + C))'AC + BC$$

$$(4) Y = ((AB')'C + C'D)'(AC + BD)$$

$$(5) Y = AD' + A'C' + B'C'D + C$$

$$(6) Y = E'F'G' + E'F'G + E'FG' + E'FG + EF'G' + EF'G + EFG' + EFG$$

[题 2.27] 用 Multisim 7 将下列逻辑函数式化为最简与或形式。

$$(1) Y(A, B, C, D) = ((AB + B'D)(A'C'))'(CD' + AD)$$

$$(2) Y(A, B, C, D, E) = ABCD'E' + A'B'D'E + AC'DE + A'C(BE + (C'D)')'$$

$$(3) Y(A, B, C, D, E) = \sum m(0, 4, 11, 15, 16, 19, 20, 23, 27, 31)$$

$$(4) Y(A, B, C, D, E) = \sum m(1, 3, 5, 8, 9, 12, 13, 18, 19, 22, 23, 24, 25, 28, 29)$$

$$(5) Y(A, B, C, D, E) = \sum m(2, 9, 15, 19, 20, 23, 24, 25, 27, 28) + d(5, 6, 16, 31)$$

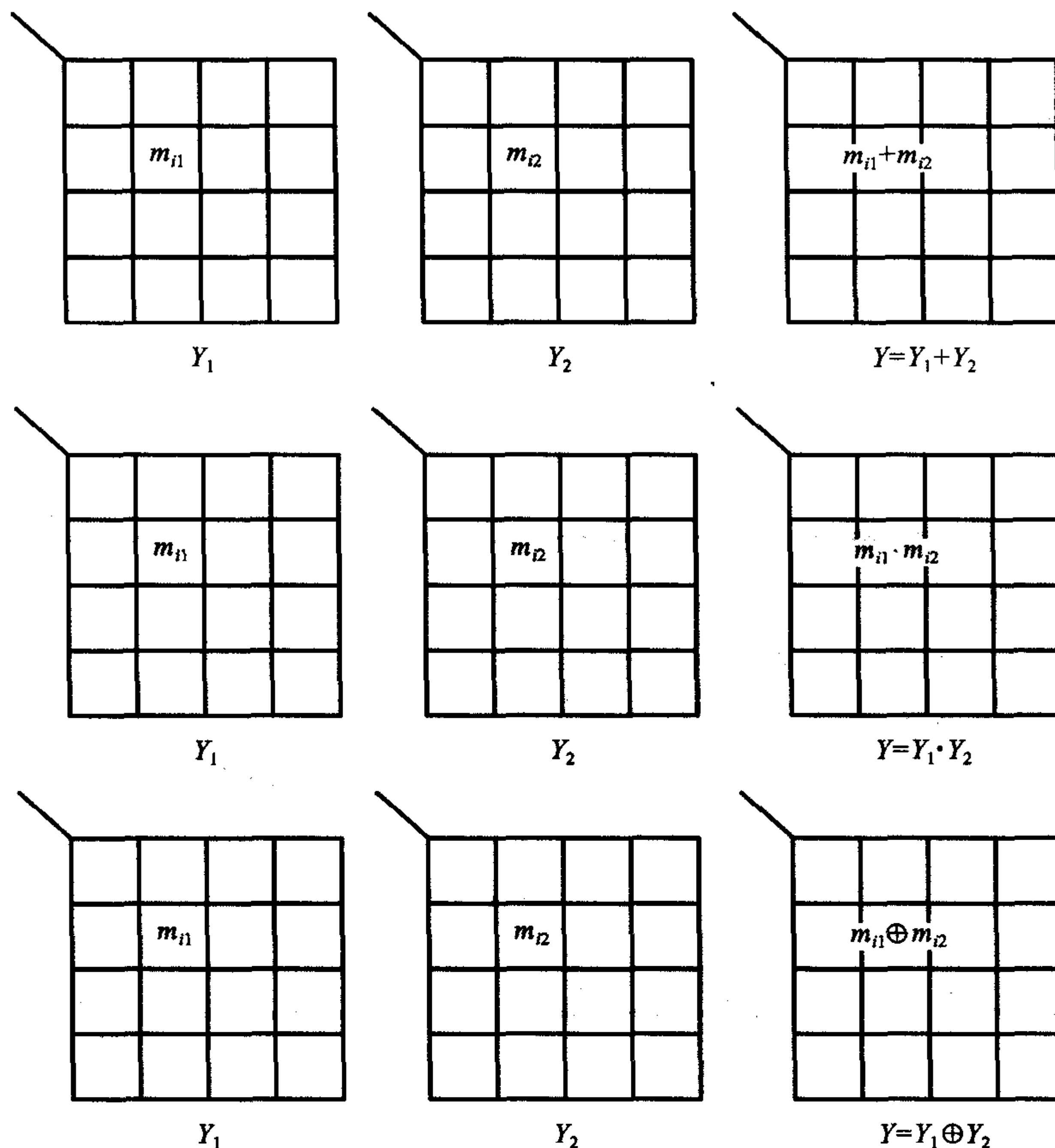


图 P2.24

- (6) $Y(A, B, C, D, E) = \sum m(1, 4, 5, 8, 9, 10, 13, 14, 19, 20, 22, 23, 26, 28)$
 $+ d(0, 11, 12, 18, 30)$
- (7) $Y(A, B, C, D, E, F) = \sum m(0, 4, 8, 11, 12, 15, 16, 17, 20, 21, 27, 31, 32, 36, 59, 63)$
- (8) $Y(A, B, C, D, E, F) = \sum m(3, 7, 9, 11, 13, 15, 16, 19, 27, 29, 31, 41, 43, 45, 47, 48)$
- (9) $Y(A, B, C, D, E, F) = \sum m(8, 9, 12, 14, 15, 19, 20, 23, 24, 29, 36, 41, 42, 51, 52, 57, 58)$
 $+ d(3, 6, 21, 22, 33, 34, 35, 49, 50)$
- (10) $Y(A, B, C, D, E, F) = \sum m(0, 4, 9, 11, 15, 25, 27, 31, 32, 41, 45, 53, 59, 63)$
 $+ d(13, 29, 36, 43, 47, 57, 61)$

第三章

门 电 路

内容提要

本章系统地讲述了数字电路的基本逻辑单元电路——门电路。

由于门电路中的二极管和三极管经常工作在开关状态,所以首先介绍了它们在开关状态下的工作特性。然后,重点讨论了目前广泛使用的 CMOS 门电路和 TTL 门电路。对于每一种门电路,除了讲解它们的工作原理和逻辑功能以外,还着重介绍了它们作为电子器件的电气特性,特别是输入特性和输出特性,以便为实际使用这些器件打下必要的基础。

3.1 概述

用以实现基本逻辑运算和复合逻辑运算的单元电路称为门电路。与上一章里所讲的基本逻辑运算和复合逻辑运算相对应,常用的门电路在逻辑功能上有与门、或门、非门、与非门、或非门、与或非门、异或门等几种。

在电子电路中,用高、低电平分别表示二值逻辑的 1 和 0 两种逻辑状态。获得高、低输出电平的基本原理可以用图 3.1.1 中的两个电路说明。在图 3.1.1 (a) 所示的单开关电路中,当开关 S 断开时,输出电压 v_o 为高电平 (V_{CC}); 而当 S 接通以后,输出便为低电平(等于零)。开关 S 是用半导体三极管组成的。只要能通过输入信号 v_i 控制三极管工作在截止和导通两个状态,它们就可以起到图中开关 S 的作用。

单开关电路的主要缺点是功耗比较大。当 S 导通使 v_o 为低电平时,电源电压全部加在电阻 R 上,消耗在 R 上的功率为 V_{DD}^2/R 。为了克服这个缺点,将单开关电路中的电阻用另外一个开关代替,就形成了图 3.1.1. (b) 所示的互补开关

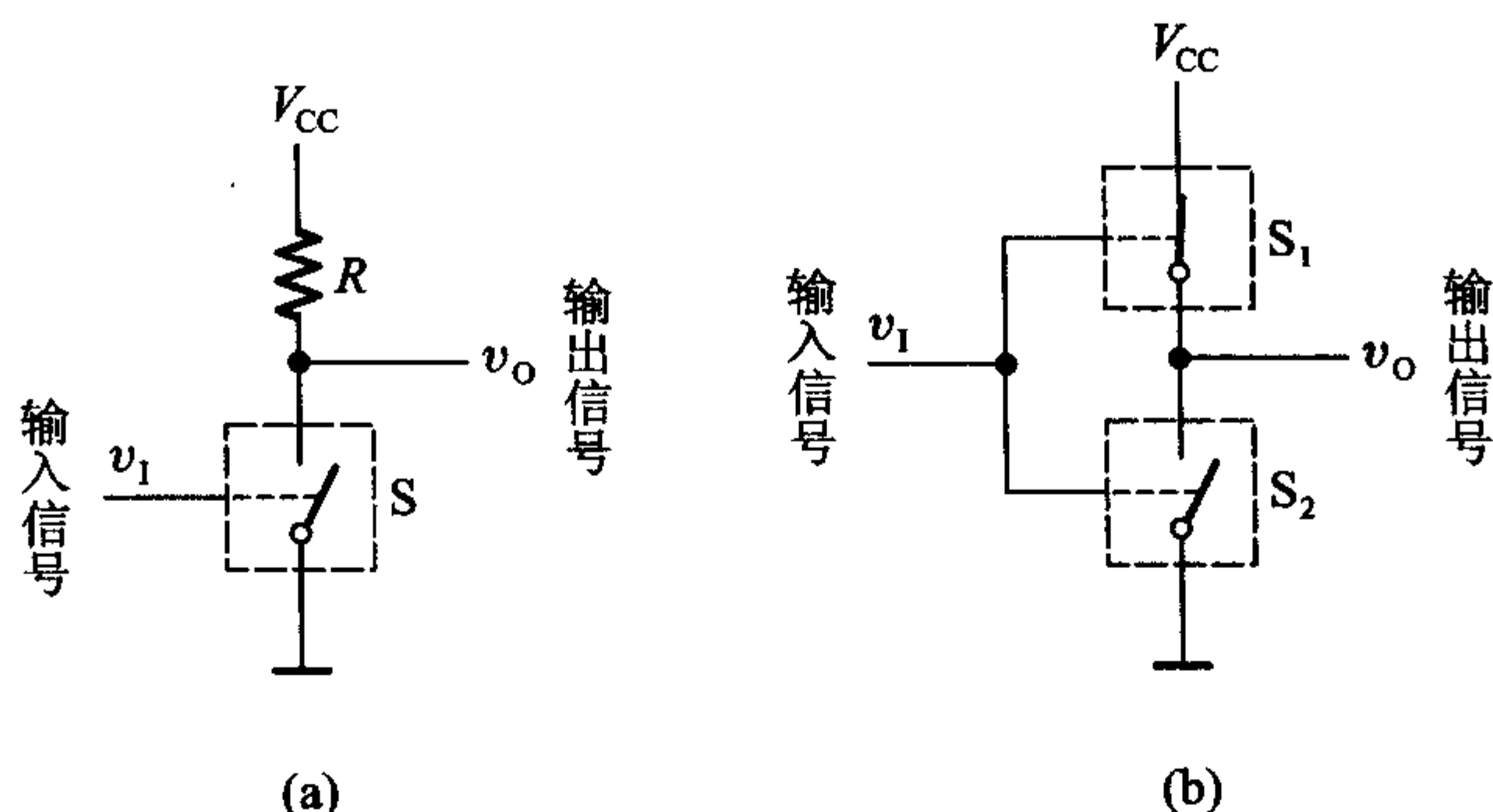


图 3.1.1 用来获得高、低电平的基本开关电路

(a) 单开关电路 (b) 互补开关电路

电路。在互补开关电路中, S_1 和 S_2 两个开关虽然受同一个输入信号 v_1 控制, 但它们的开关状态是相反的。当 v_1 使 S_2 接通的同时, 使 S_1 断开, 则 v_0 为低电平; 当 v_1 使 S_1 接通的同时, 使 S_2 断开, 则 v_0 为高电平。因为无论 v_0 是高电平还是低电平, S_1 和 S_2 总有一个是断开的, 所以流过 S_1 和 S_2 的电流始终为零, 电路的功耗极小。因此, 这种互补式的开关电路在数字集成电路中得到了广泛应用。

以高、低电平表示两种不同逻辑状态时, 有两种定义方法。如果以高电平表示逻辑 1, 以低电平表示逻辑 0, 则称这种表示方法为正逻辑。反之, 若以高电平表示逻辑 0, 而以低电平表示逻辑 1, 则称这种表示方法为负逻辑, 如图 3.1.2 所示。今后除非特殊说明, 本书中一律采用正逻辑。

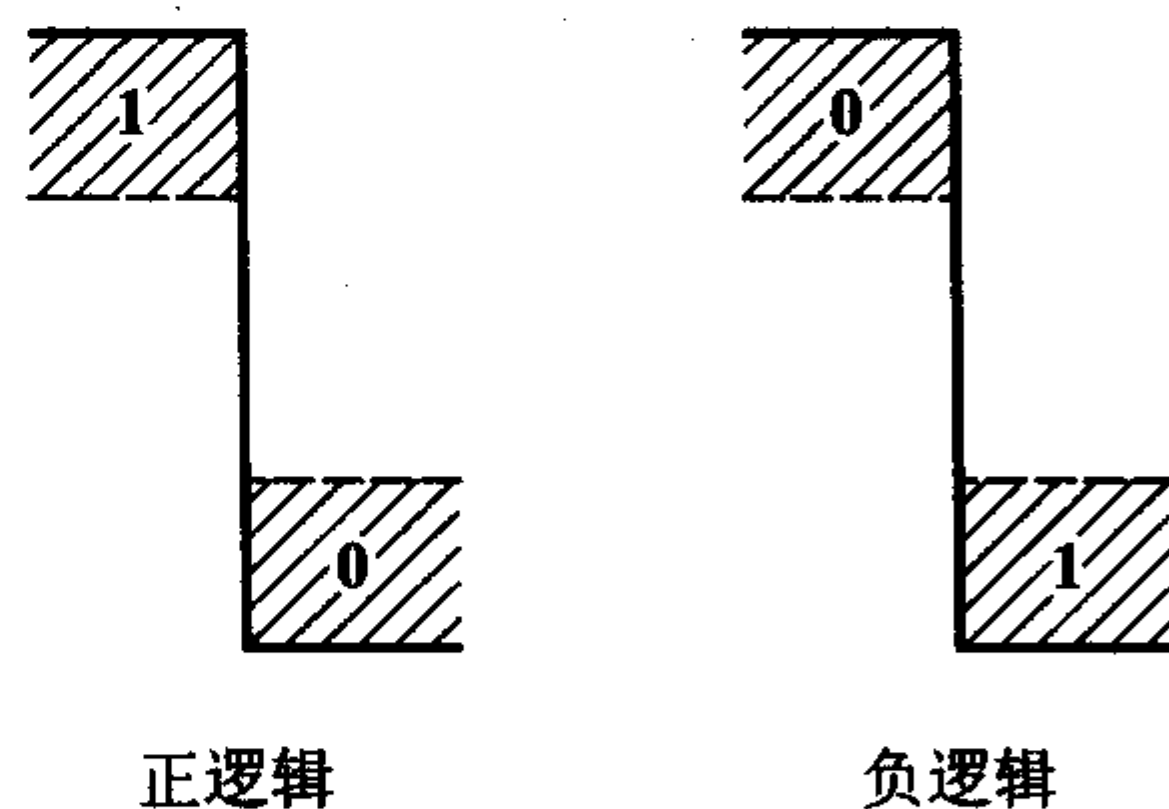


图 3.1.2 正逻辑与负逻辑表示法

因为在实际工作时只要能区分出来高、低电平就可以知道它所表示的逻辑状态了, 所以高、低电平都有一个允许的范围, 如图 3.1.2 所示。正因为如此, 在数字电路中无论是对元、器件参数精度的要求还是对供电电源稳定度的要求, 都比模拟电路要低一些。而提高数字电路的运算精度可以通过增加数字信号的位数达到。

在最初的数字逻辑电路中, 每个门电路都是用若干个分立的半导体器件和电阻、电容连接而成的。不难想像, 用这种单元电路组成大规模的数字电路是非常困难的, 这就严重地制约了数字电路的普遍应用。随着数字集成电路的问世和大规模集成电路工艺水平的不断提高, 今天已经能把大量的门电路集成在一

块很小的半导体芯片上,构成功能复杂的“片上系统”。这就为数字电路的应用开拓了无限广阔的天地。

从制造工艺上可以将目前使用的数字集成电路分为双极型、单极型和混合型三种。在数字集成电路发展的历史过程中,首先得到推广应用的是双极型的 TTL 电路。

1961 年美国得克萨斯仪器公司率先将数字电路的元、器件制作在同一硅片上,制成了数字集成电路(Integrated Circuits,简称 IC)。由于集成电路体积小、重量轻、可靠性好,因而在大多数领域里迅速取代了分立器件组成的数字电路。直到 20 世纪 80 年代初,这种采用双极型三极管组成的 TTL 型集成电路一直是数字集成电路的主流产品。

然而,TTL 电路也存在着一个严重的缺点,这就是它的功耗比较大。由于这个原因,用 TTL 电路只能作成小规模集成电路(Small Scale Integration,简称 SSI,其中仅包含 10 个以内的门电路)和中规模集成电路(Medium Scale Integration,简称 MSI,其中包含 10 ~ 100 个门电路),而无法制作成大规模集成电路(Large Scale Integration,简称 LSI,其中包含 1000 ~ 10000 个门电路)和超大规模集成电路(Very Large Scale Integration,简称 VLSI,其中包含 10000 个以上的门电路)。CMOS 集成电路出现于 20 世纪 60 年代后期,它最突出的优点在于功耗极低,所以非常适合于制作大规模集成电路。随着 CMOS 制作工艺的不断进步,无论在工作速度还是在驱动能力上,CMOS 电路都已经不比 TTL 电路逊色。因此,CMOS 电路便逐渐取代 TTL 电路而成为当前数字集成电路的主流产品。不过在现有的一些设备中仍旧在使用 TTL 电路,所以掌握 TTL 电路的基本工作原理和使用知识仍然是必要的。本章将重点介绍 CMOS 和 TTL 这两种目前使用最多的数字集成门电路。

3.2 半导体二极管门电路

3.2.1 半导体二极管的开关特性

由于半导体二极管具有单向导电性,即外加正向电压时导通,外加反向电压时截止,所以它相当于一个受外加电压极性控制的开关。用它取代图 3.1.1 中的开关 S,可以得到图 3.2.1 所示的二极管开关电路。

假定输入信号的高电平 $V_{IH} = V_{CC}$,低电平 $V_{IL} = 0$,并假定二极管 D 为理想开关元件,即正向导通电阻为 0,反向内阻为无穷大,则当 $v_I = V_{IH}$ 时,D 截止, $v_O =$

$V_{OH} = V_{CC}$; 而当 $v_I = V_{IL} = 0$ 时, D 导通, $v_O = V_{OL} = 0$ 。

因此, 可以用 v_I 的高、低电平控制二极管的开关状态, 并在输出端得到相应的高、低电平输出信号。

然而, 我们在分析各种实际的二极管电路时发现, 由于二极管的特性并不是理想的开关特性, 所以并不是任何时候都能满足上面对二极管特性所做的假定。根据半导体物理理论得知, 二极管的特性可以近似地用式(3.2.1)的 PN 结方程和图 3.2.2 所示的伏安特性曲线描述, 即

$$i = I_S (e^{v/V_T} - 1) \quad (3.2.1)$$

其中 i 为流过二极管的电流, v 为加到二极管两端的电压, $V_T = \frac{nkT}{q}$ 。这里的 k 为玻尔兹曼常数, T 为热力学温度, q 为电子电荷。 n 是一个修正系数。对于一般分立器件二极管的缓变结, $n \approx 2$; 而对于一般数字集成电路中的 PN 结, $n \approx 1$ 。常温下 (即结温为 27°C , $T = 300\text{ K}$) $V_T \approx 26\text{ mV}$ 。式中的 I_S 称为反向饱和电流, 它和二极管的材料、工艺和几何尺寸有关, 对每只二极管是一个定值。

由式(3.2.1)和图 3.2.2 所示的曲线不难看出, 实际的半导体二极管反向电阻不是无穷大, 正向电阻也不是 0。而且, 电压和电流之间是非线性关系。此外, 由于存在着 PN 结表面的漏电阻以及半导体的体电阻, 所以真正的二极管的伏安特性与式(3.2.1)所给出的曲线略有差异。即使是同一型号、同一工厂生产的二极管, 也不可能每只的特性都完全一致。

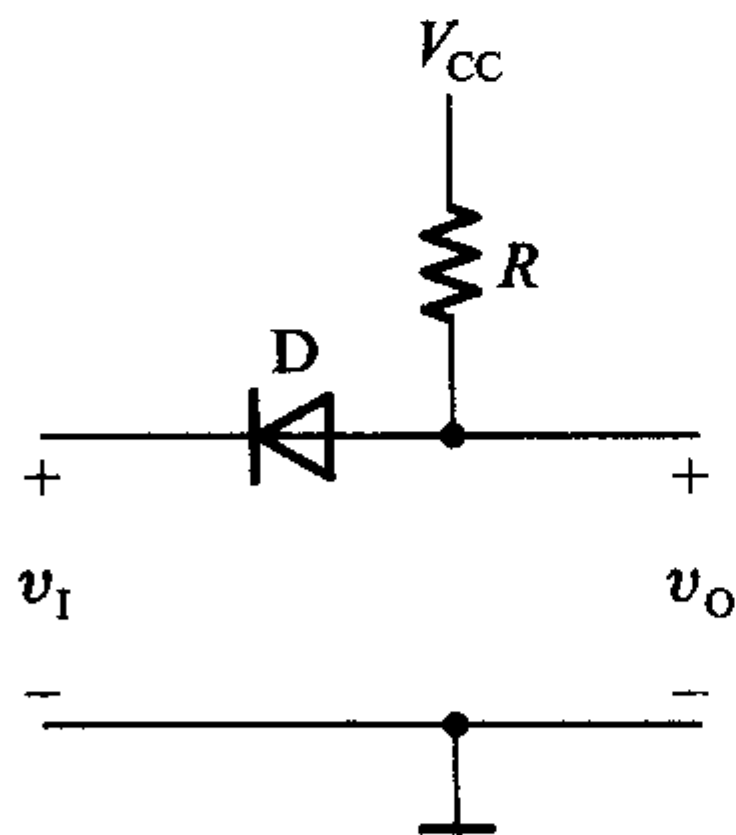


图 3.2.1 二极管开关电路

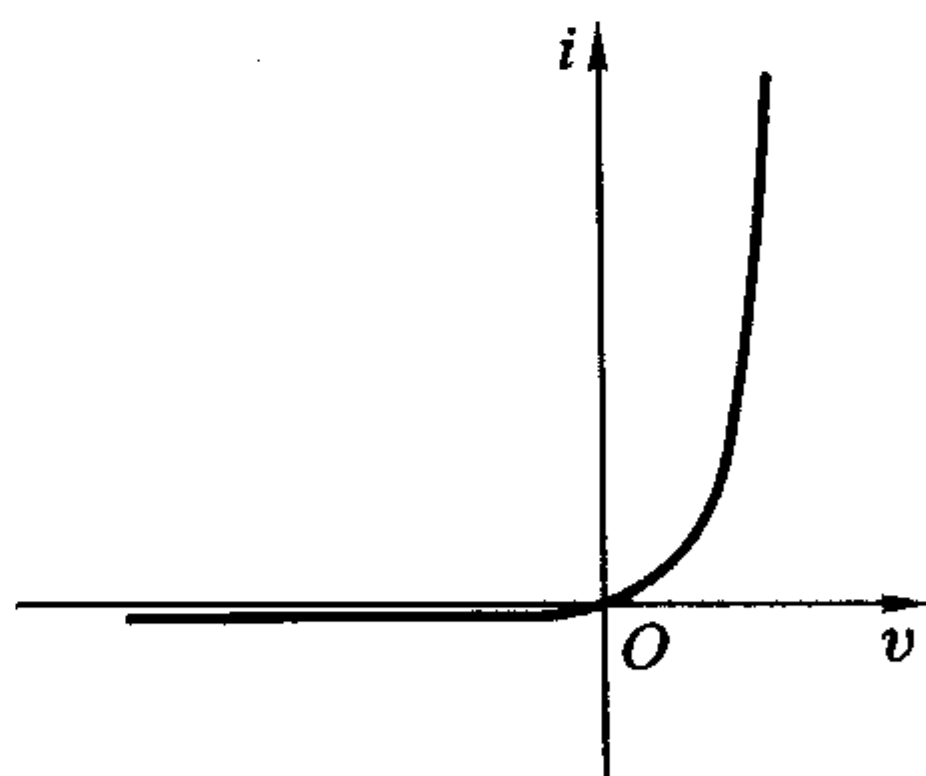


图 3.2.2 二极管的伏安特性

在分析二极管组成的电路时, 虽然可以选用精确的二极管模型电路并通过计算机辅助分析求出准确的结果, 然而在多数情况下, 需要通过近似的分析迅速判断二极管的开关状态。为此, 必须利用近似的简化特性, 以简化分析和计算过程。

图 3.2.3 给出了二极管的三种近似的伏安特性曲线和对应的等效电路。

当外电路的等效电源 V_{CC} 和等效电阻 R_L 都很小时, 二极管的正向导通压降

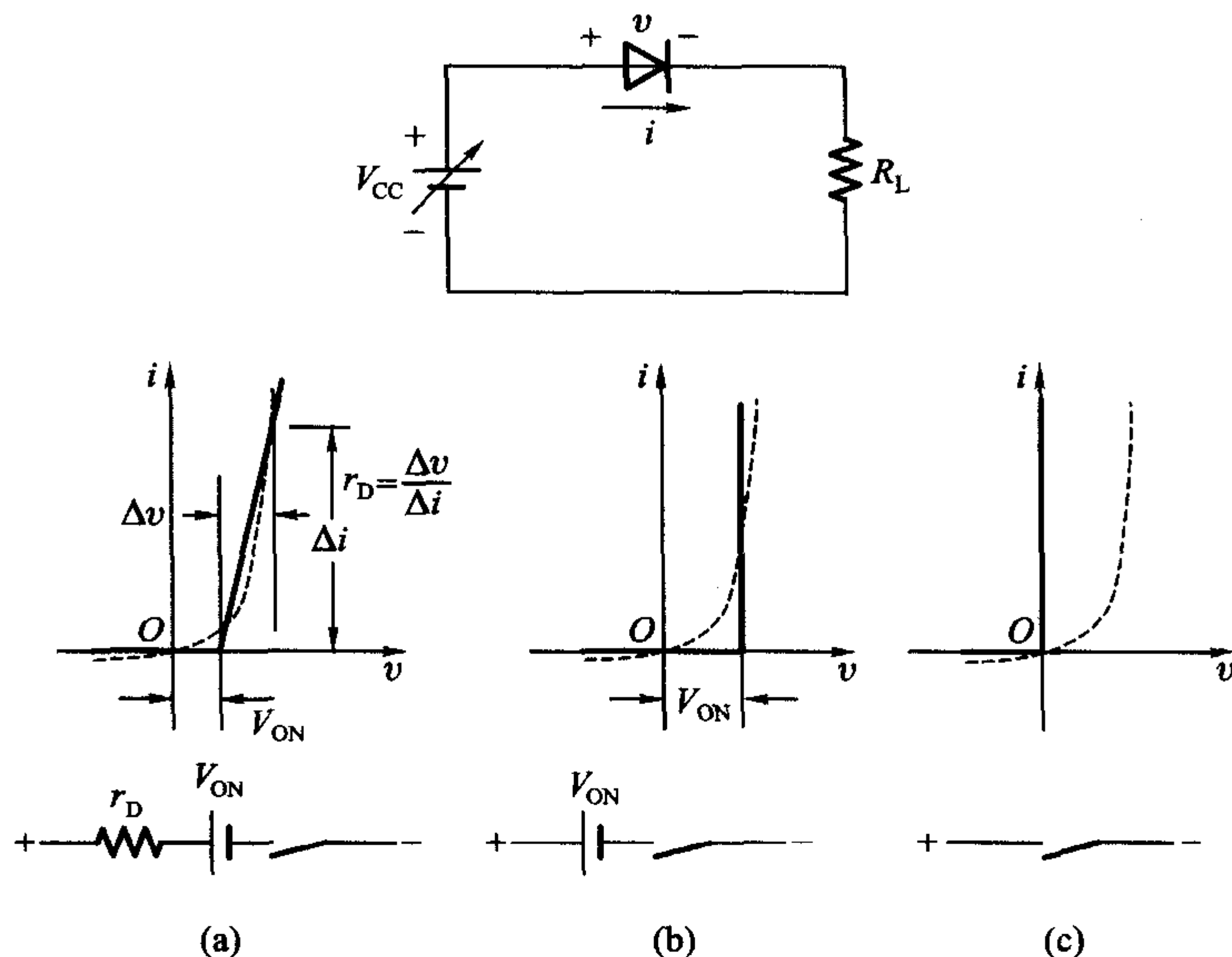


图 3.2.3 二极管伏安特性的几种近似方法

和正向电阻都不能忽略,这时可以用图 3.2.3(a)中的折线作为二极管的近似特性,并得到如图 3.2.3(a)中所示的等效电路。

当二极管的正向导通压降和外加电源电压相比不能忽略,而与外接电阻相比二极管的正向电阻可以忽略时,可采用图 3.2.3(b)中所示的近似特性和等效电路。当加到二极管两端的电压小于 V_{ON} 时,流过二极管的电流近似地看作为 0。当外加电压大于 V_{ON} 以后,二极管导通,而且电流增加时二极管两端的电压基本不变,仍等于 V_{ON} 。在下面将要讨论到的开关电路中,多数都符合这种工作条件(即外加电源电压较低而外接电阻较大),因此经常采用这种近似方法。

当二极管的正向导通压降和正向电阻与电源电压和外接电阻相比均可忽略时,可以将二极管看作理想开关,用图 3.2.3(c)中与坐标轴重合的折线近似代替二极管的伏安特性。

在动态情况下,亦即加到二极管两端的电压突然反向时,电流的变化过程如图 3.2.4 所示。由于外加电压由反向突然变为正向

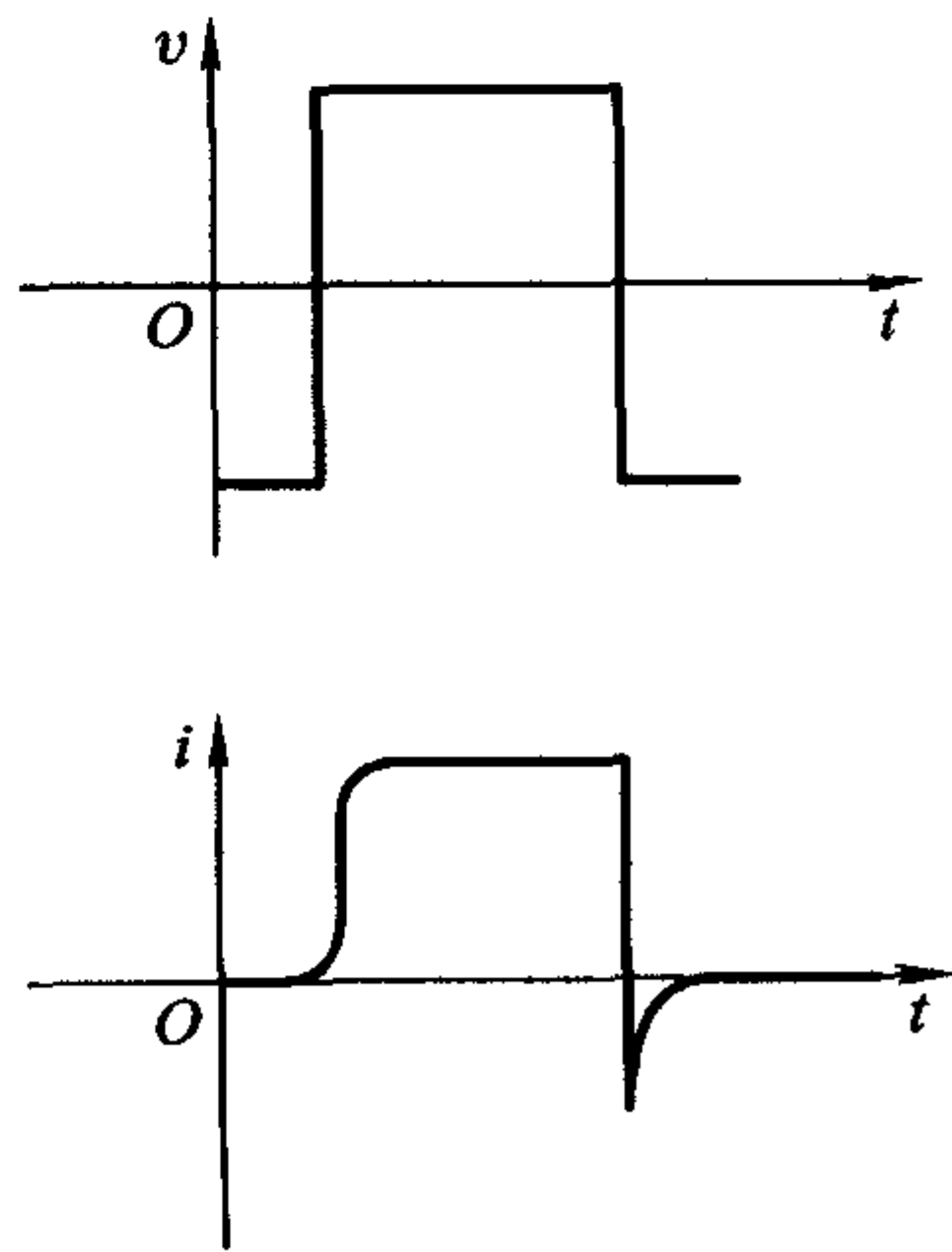


图 3.2.4 二极管的动态电流波形

时,要等到 PN 结内部建立起足够的电荷梯度后才开始有扩散电流形成,因而正向导通电流的建立要稍微滞后一点。当外加电压突然由正向变为反向时,因为 PN 结内尚有一定数量的存储电荷,所以有较大的瞬态反向电流流过,如图 3.2.4 所示。随着存储电荷的消散,反向电流迅速衰减并趋近于稳态时的反向饱和电流。瞬态反向电流的大小和持续时间的长短取决于正向导通时电流的大小、反向电压和外电路电阻的阻值,而且与二极管本身的特性有关。

反向电流持续的时间用反向恢复时间 t_{re} 来定量描述。 t_{re} 是指反向电流从它的峰值衰减到峰值的十分之一所经过的时间。由于 t_{re} 的数值很小,在几纳秒以内,所以用普通的示波器不容易看到反向电流的瞬态波形。

复习思考题

R3.2.1 为什么在图 3.2.3 中给出了三种不同形式的二极管等效电路? 它们各适用于什么场合?

3.2.2 二极管与门

最简单的与门可以用二极管和电阻组成。图 3.2.5 所示是有两个输入端的与门电路,图中 A 、 B 为两个输入变量, Y 为输出变量。

设 $V_{CC} = 5\text{ V}$, A 、 B 输入端的高、低电平分别为 $V_{IH} = 3\text{ V}$, $V_{IL} = 0\text{ V}$, 二极管 D_1 、 D_2 的正向导通压降 $V_{DF} = 0.7\text{ V}$ 。由图可见, A 、 B 当中只要有一个是低电平 0 V , 则必有一个二极管导通, 使 Y 为 0.7 V 。只有 A 、 B 同时为高电平 3 V 时, Y 才为 3.7 V 。将输出与输入逻辑电平的关系列表, 即得表 2.3.1。

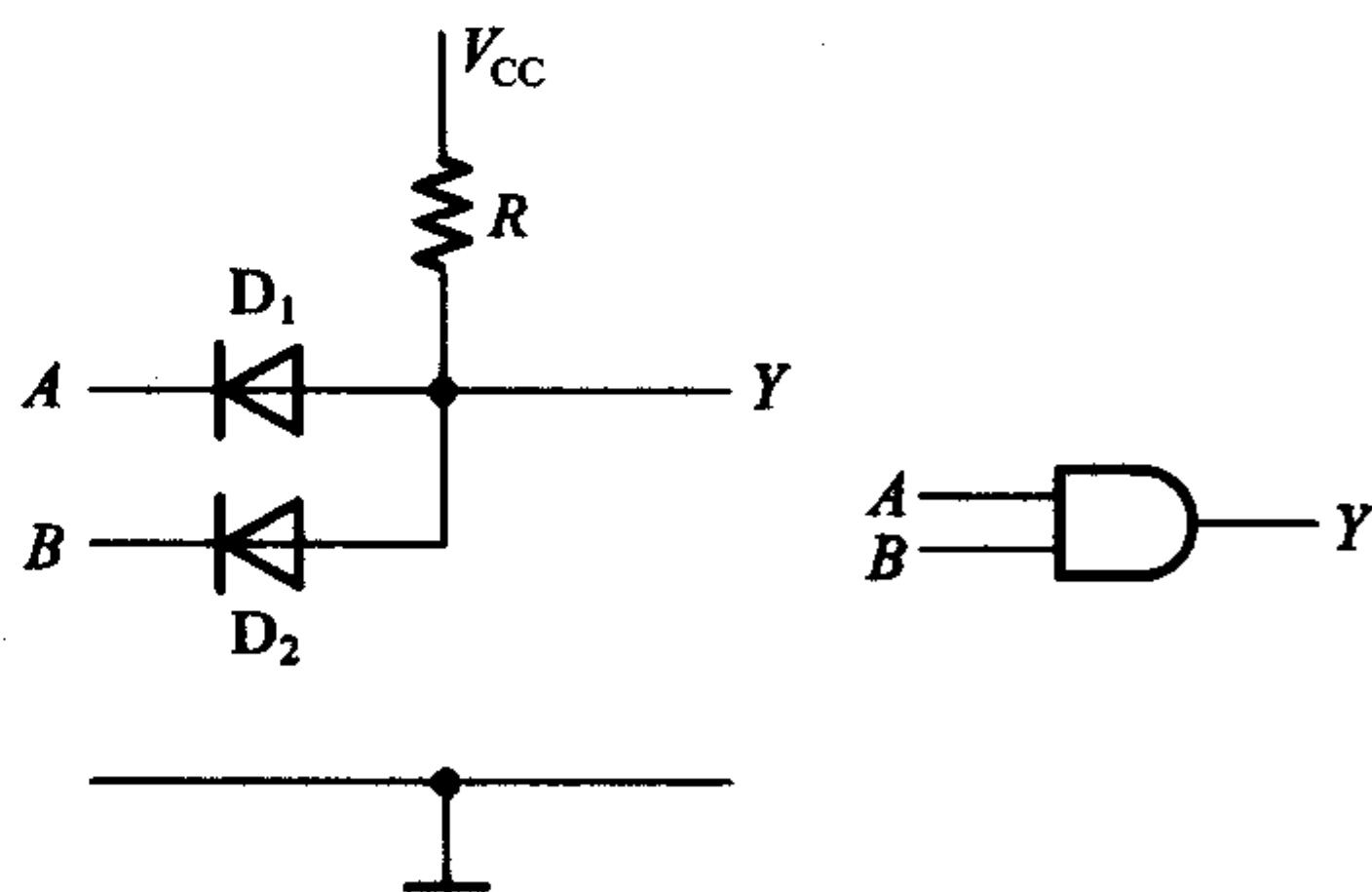


图 3.2.5 二极管与门

如果规定 3 V 以上为高电平, 用逻辑 1 表示; 0.7 V 以下为低电平, 用逻辑 0 表示, 则可将表 3.2.1 改写成表 3.2.2 的真值表。显然, Y 和 A 、 B 是与逻辑关系。通常也用与逻辑运算的图形符号作为与门电路的逻辑符号。

表 3.2.1 图 3.2.5 所示电路的逻辑电平

A/V	B/V	Y/V
0	0	0.7
0	3	0.7
3	0	0.7
3	3	3.7

表 3.2.2 图 3.2.5 所示电路的真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

这种与门电路虽然很简单,但是存在着严重的缺点。首先,输出的高、低电平数值和输入的高、低电平数值不相等,相差一个二极管的导通压降。如果把把这个门的输出作为下一级门的输入信号,将发生信号高、低电平的偏移。其次,当输出端对地接上负载电阻时,负载电阻的改变有时会影响输出的高电平。因此,这种二极管与门电路仅用作集成电路内部的逻辑单元,而不用它直接去驱动负载电路。

3.2.3 二极管或门

最简单的或门电路如图 3.2.6 所示,它也是由二极管和电阻组成的。图中 A、B 是两个输入变量,Y 是输出变量。

若输入的高、低电平分别为 $V_{IH} = 3\text{ V}$ 、 $V_{IL} = 0\text{ V}$,二极管 D_1 、 D_2 的导通压降为 0.7 V ,则只要 A、B 当中有一个是高电平,输出就是 2.3 V 。只有当 A、B 同时为低电平时,输出才是 0 V 。因此,可以列出表 3.2.3 的电平关系表。如果规定高于 2.3 V 为高电平,用逻辑 1 表示;而低于 0 V 为低电平,用逻辑 0 表示,则可将表 3.2.3 改写为表 3.2.4 所示的真值表。显然,Y 和 A、B 之间是或逻辑关系。

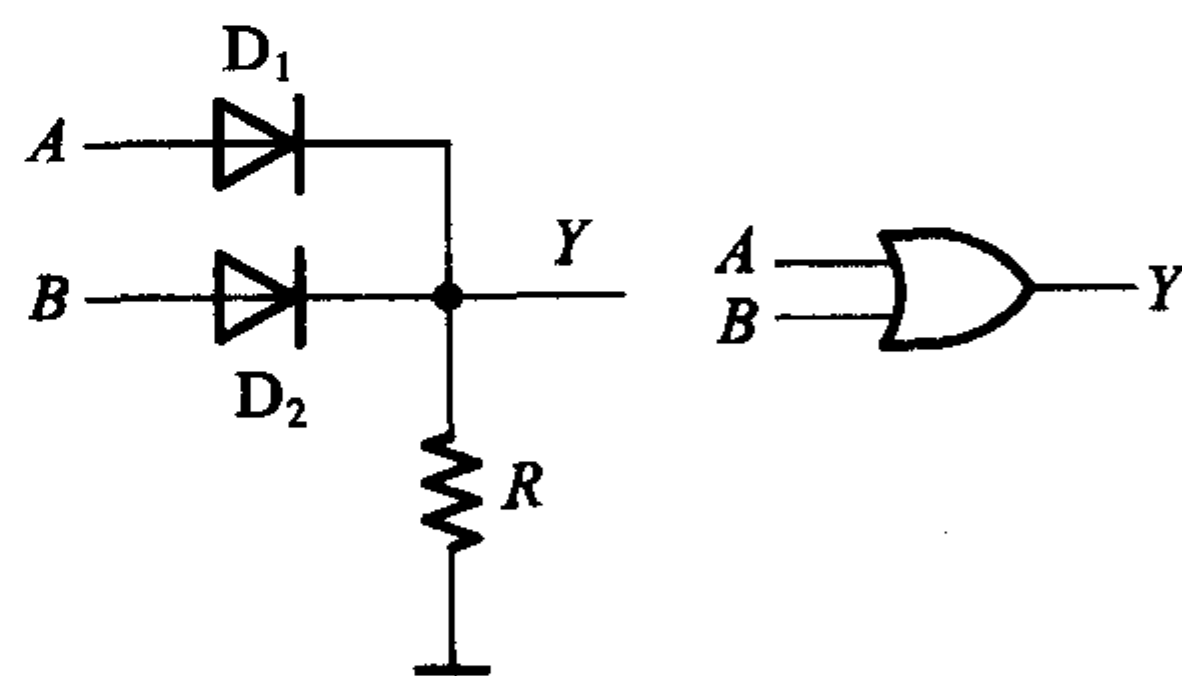


图 3.2.6 二极管或门

表 3.2.3 图 3.2.6 所示电路的逻辑电平

A/V	B/V	Y/V
0	0	0
0	3	2.3
3	0	2.3
3	3	2.3

表 3.2.4 图 3.2.6 所示电路的真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

二极管或门同样存在着输出电平偏移的问题,所以这种电路结构也只用于集成电路内部的逻辑单元。可见,仅仅用二极管门电路无法制作具有标准化输

出电平的集成电路。

复习思考题

R3.2.2 为什么不宜将多个二极管门电路串联起来使用?

3.3 CMOS 门电路

3.3.1 MOS 管的开关特性

在 CMOS 集成电路中,以金属 - 氧化物 - 半导体场效应晶体管 (Metal - Oxide - Semiconductor Field - Effect Transistor, 简称 MOS 管) 作为开关器件。

一、MOS 管的结构和工作原理

图 3.3.1 所示是 MOS 管的结构示意图和符号。在 P 型半导体衬底 (图中用 B 标示) 上,制作两个高掺杂浓度的 N 型区,形成 MOS 管的源极 S (Source) 和漏极 D (Drain)。第三个电极称为栅极 G (Gate), 通常用金属铝或多晶硅制作。栅极和衬底之间被二氧化硅绝缘层隔开,绝缘层的厚度极薄,在 $0.1\ \mu\text{m}$ 以内。

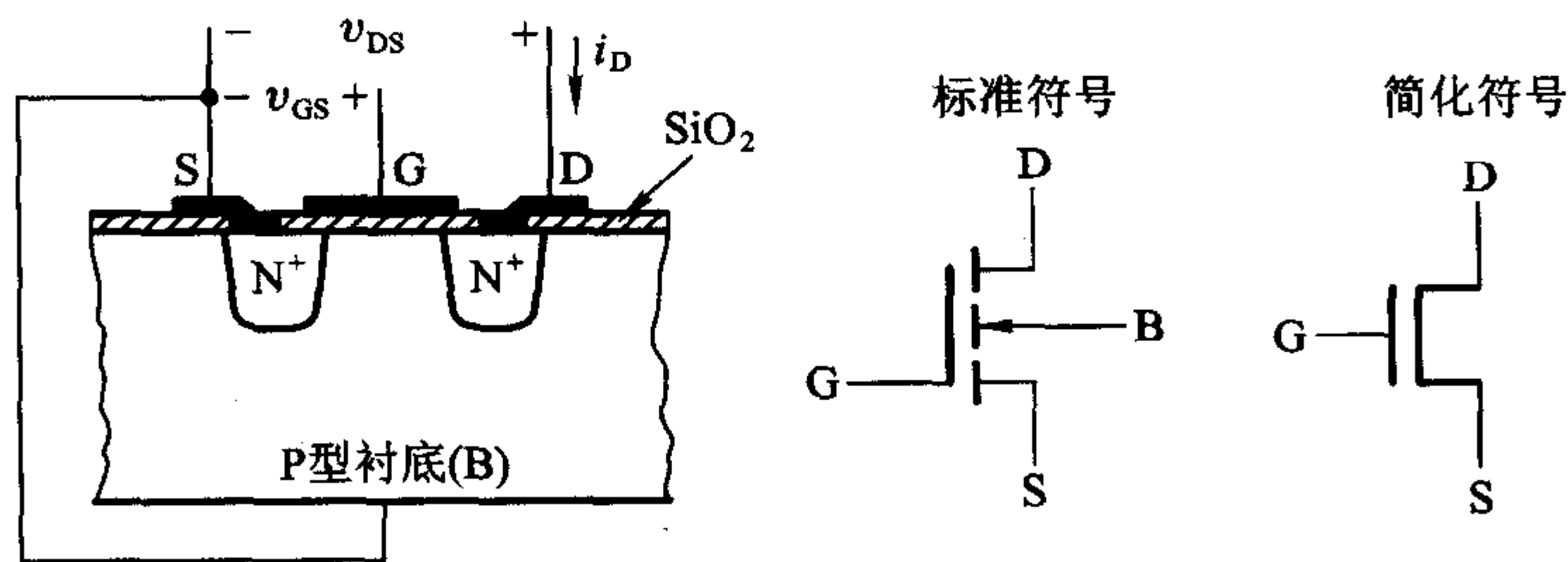


图 3.3.1 MOS 管的结构和符号

如果在漏极和源极之间加上电压 v_{DS} , 而令栅极和源极之间的电压 $V_{GS} = 0$, 则由于漏极和源极之间相当于两个 PN 结背向地串联, 所以 D - S 间不导通, $i_D = 0$ 。

当栅极和源极之间加有正电压 v_{GS} , 而且 v_{GS} 大于某个电压值 $V_{GS(th)}$ 时, 由于栅极与衬底间电场的吸引, 使衬底中的少数载流子——电子聚集到栅极下面的