

构,所以在图 3.3.16(a)中用一条虚线和两端的两个二极管表示。这种分布式二极管结构可以通过较大的电流。 R_s 的阻值一般在 $1.5 \sim 2.5 \text{ k}\Omega$ 之间。 C_1 和 C_2 分别表示 T_1 和 T_2 的栅极等效电容。

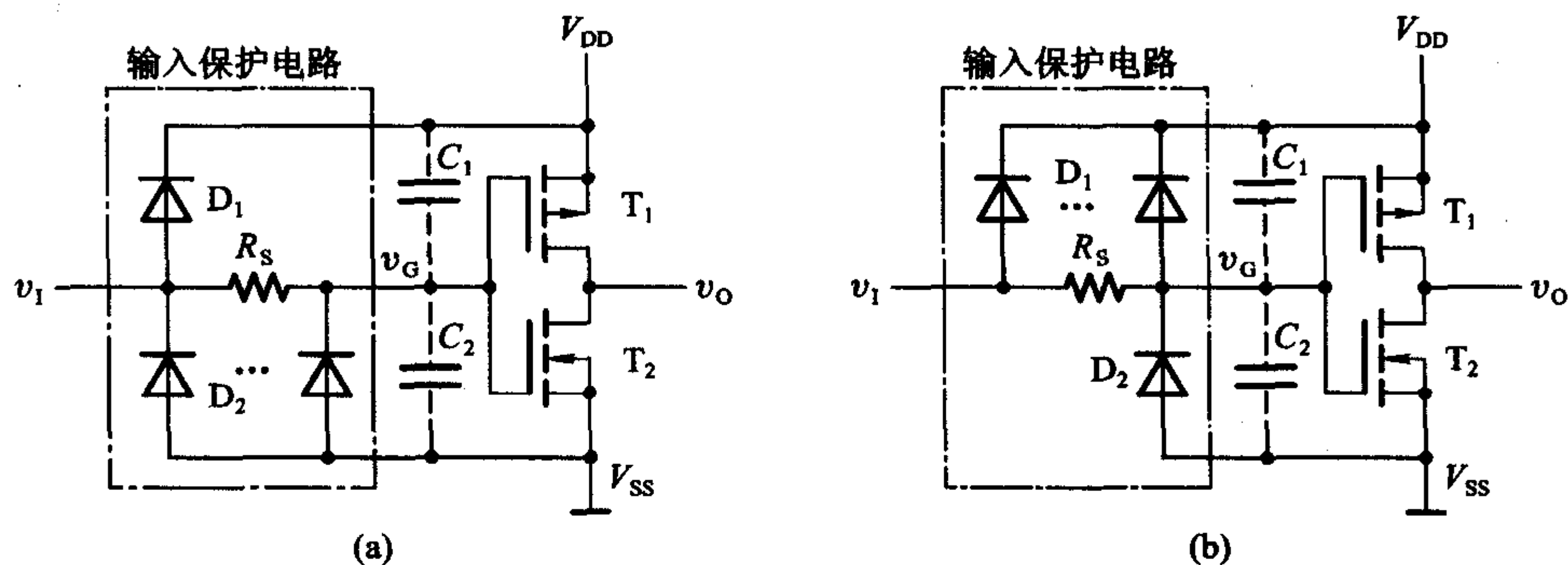


图 3.3.16 CMOS 反相器的输入保护电路

(a) 74HC 系列的输入保护电路 (b) 4000 系列的输入保护电路

在输入信号电压的正常工作范围内 ($0 \leq v_i \leq V_{DD}$) 输入保护电路不起作用。

若二极管的正向导通压降为 V_{DF} , 则 $v_i > V_{DD} + V_{DF}$ 时, D_1 导通, 将 T_1 和 T_2 的栅极电位 v_G 钳在 $V_{DD} + V_{DF}$, 保证加到 C_2 上的电压不超过 $V_{DD} + V_{DF}$ 。而当 $v_i < -0.7\text{V}$ 时, D_2 导通, 将栅极电位 v_G 钳在 $-V_{DF}$, 保证加到 C_1 上的电压也不会超过 $V_{DD} + V_{DF}$ 。因为多数 CMOS 集成电路使用的 V_{DD} 不超过 18V , 所以加到 C_1 和 C_2 上的电压不会超过允许的耐压极限。

在输入端出现瞬时的过冲电压使 D_1 或 D_2 发生击穿的情况下, 只要反向击穿电流不过大, 而且持续时间很短, 那么在反向击穿电压消失后 D_1 和 D_2 的 PN 结仍可恢复工作。

当然, 这种保护措施是有一定限度的。通过 D_1 或 D_2 的正向导通电流过大或反向击穿电流过大, 都会损坏输入保护电路, 进而使 MOS 管栅极被击穿。因此, 在可能出现上述情况时, 还必须采取一些附加的保护措施, 并注意器件的正确使用方法。

根据图 3.3.16(a) 所示的输入保护电路可以画出它的输入特性曲线, 如图 3.3.17(a) 所示。在 $-V_{DF} < v_i < V_{DD} + V_{DF}$ 范围内, 输入电流 $i_i \approx 0$ 。当 $v_i > V_{DD} + V_{DF}$ 或者 $v_i < -V_{DF}$ 以后, i_i 的绝对值随 v_i 绝对值的增加而迅速加大。电流的绝对值将由输入信号的电压和内阻所决定。

图 3.3.16(b) 是另一种常见于 4000 系列 CMOS 器件中的输入保护电路, 它的输入特性如图 3.3.17(b) 所示。这个电路同样能保证加到 C_1 和 C_2 上的电压

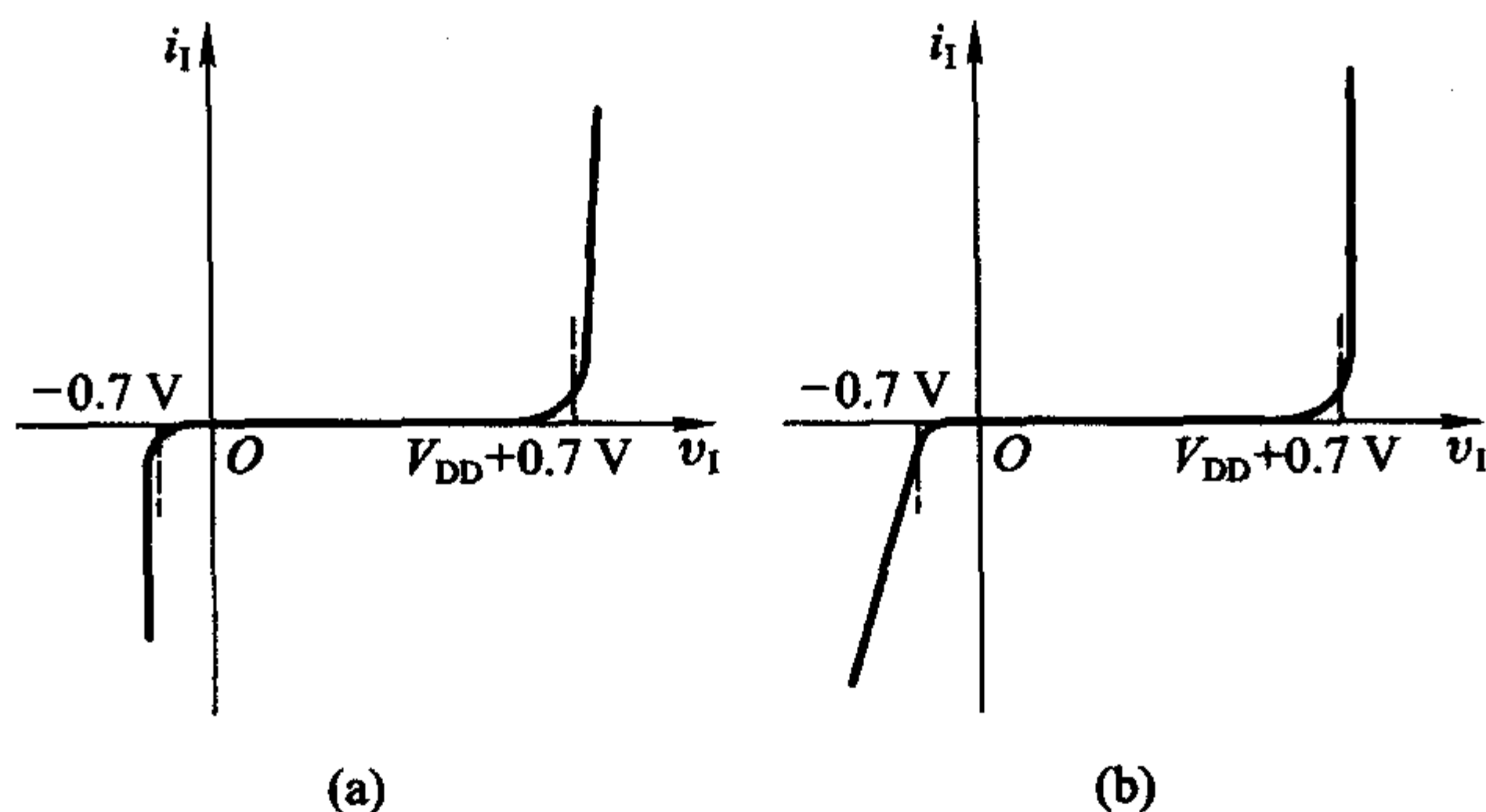


图 3.3.17 CMOS 反相器的输入特性

(a) 图 3.3.16(a) 电路的输入特性 (b) 图 3.3.16(b) 电路的输入特性

不会超过 $V_{DD} + V_{DF}$ 。

二、输出特性

从反相器输出端看进去的输出电压与输出电流的关系,称为输出特性。

1. 低电平输出特性

当输出为低电平,即 $v_o = V_{OL}$ 时,反相器的 P 沟道管截止、N 沟道管导通,工作状态如图 3.3.18 所示。这时负载电流 I_{OL} 从负载电路注入 T_2 ,输出电平随 I_{OL} 增加而提高,如图 3.3.19 所示。因为这时的 V_{OL} 就是 v_{DS2} 、 I_{OL} 就是 i_{D2} ,所以 V_{OL} 与 I_{OL} 的关系曲线实际上也就是 T_2 管的漏极特性曲线。从曲线上还可以看到,由于 T_2 的导通内阻与 v_{GS2} 的大小有关, v_{GS2} 越大导通内阻越小,所以同样的 I_{OL} 值下 V_{DD} 越高, T_2 导通时的 v_{GS2} 越大, V_{OL} 也越低。

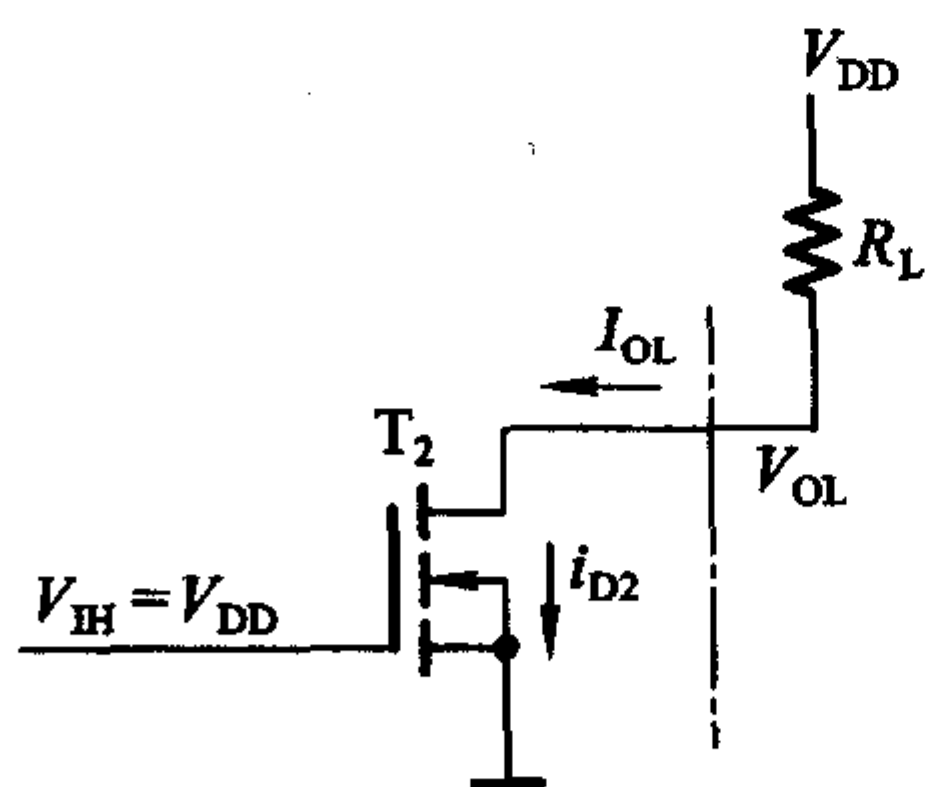
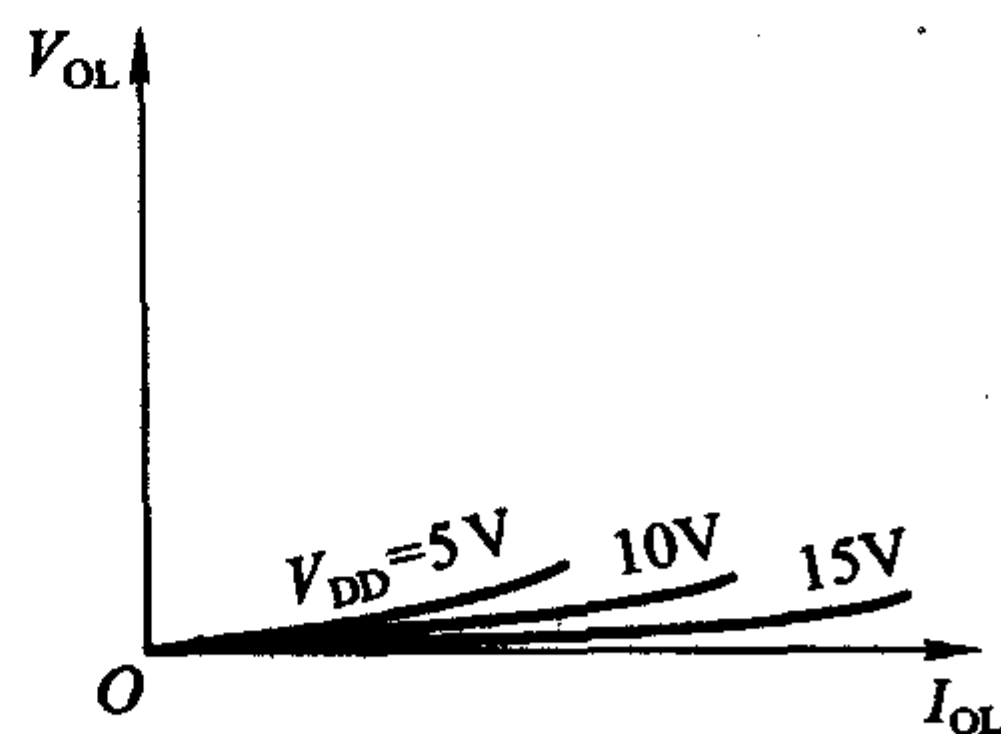
图 3.3.18 $v_o = V_{OL}$ 时 CMOS 反相器的工作状态

图 3.3.19 CMOS 反相器的低电平输出特性

2. 高电平输出特性

当 CMOS 反相器的输出为高电平,即 $v_o = V_{OH}$ 时,P 沟道管导通而 N 沟道管

截止,电路的工作状态如图 3.3.20 所示。这时的负载电流 I_{OH} 是从门电路的输出端流出的,与规定的负载电流正方向相反,在图 3.3.21 所示的输出特性曲线上为负值。

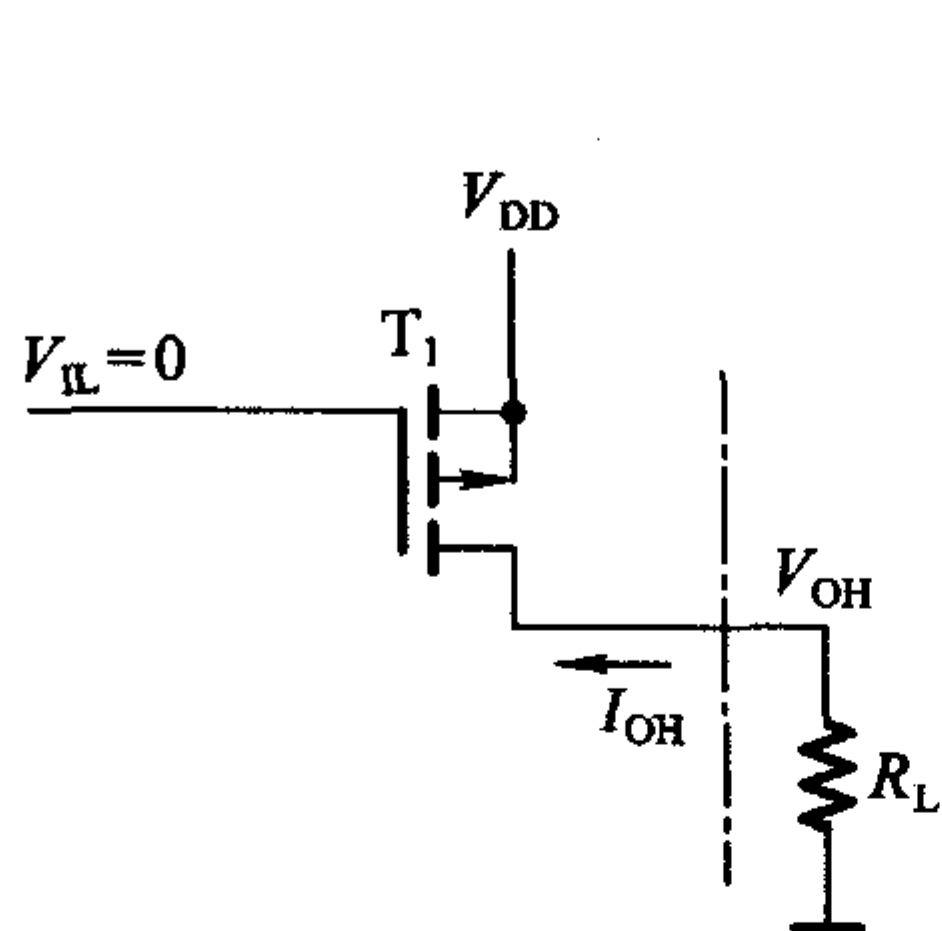


图 3.3.20 $v_o = V_{OH}$ 时 CMOS 反相器的工作状态

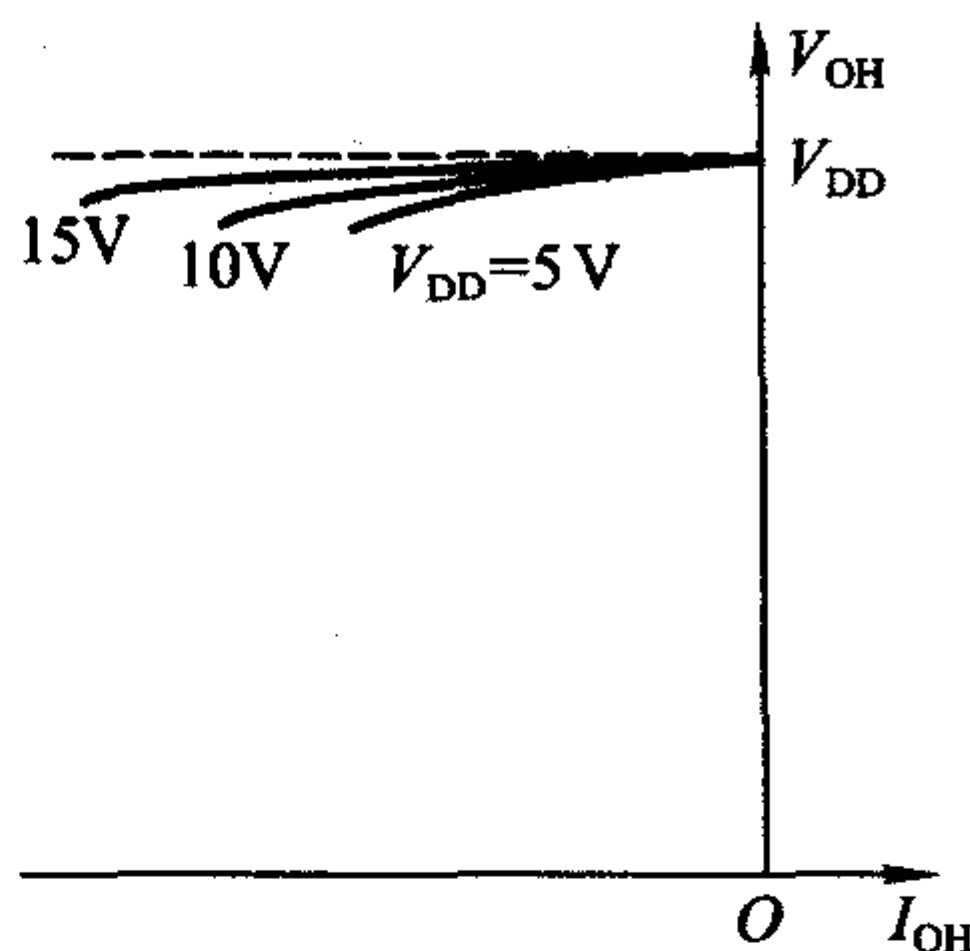


图 3.3.21 CMOS 反相器的高电平输出特性

由图 3.3.20 可见,这时 V_{OH} 的数值等于 V_{DD} 减去 T_1 管的导通压降。随着负载电流的增加, T_1 的导通压降加大, V_{OH} 下降。如前所述,因为 MOS 管的导通内阻与 v_{GS} 大小有关,所以在同样的 I_{OH} 值下 V_{DD} 越高,则 T_1 导通时 v_{GS1} 越负,它的导通内阻越小, V_{OH} 也就下降得越少,如图 3.3.21 所表示的那样。

以上分析说明,反相器输出的高、低电平是与负载电流的大小有关的。在查阅器件手册给出的这些高、低电平数据时,一定要注意这些数据是在什么负载电流下得出的。

复习思考题

R3.3.4 若将图 3.3.16(a) 所示反相器的输入端经过 $100\text{ k}\Omega$ 电阻接地,这时输入端电压 v_i 等于多少?

R3.3.5 若将图 3.3.16(a) 所示反相器的输入端悬空,这时输入端电压 v_i 是多少?

3.3.4 CMOS 反相器的动态特性

在 CMOS 反相器的静态特性一节里,我们所讨论的是电路处于稳定状态下的输入特性和输出特性。而动态特性所要讨论的是当电路状态转换过程中所表现出来的一些性质。

一、传输延迟时间 t_{PHL} 、 t_{PLH}

由于 MOS 管的电极之间以及电极与衬底之间都存在寄生电容,尤其在反相器的输出端更不可避免地存在着负载电容(当负载为下一级反相器时,下一级反相器的输入电容和接线电容就构成了这一级的负载电容),当输入信号发生跳变时,输出电压的变化必然滞后于输入电压的变化。我们把输出电压变化落后于输入电压变化的时间称为传输延迟时间,并且将输出由高电平跳变为低电平时的传输延迟时间记做 t_{PHL} ,将输出由低电平跳变为高电平时的传输延迟时间记做 t_{PLH} 。在 CMOS 电路中, t_{PHL} 和 t_{PLH} 是以输入和输出波形对应边上等于最大幅度 50% 的两点间时间间隔来定义的,如图 3.3.22 所示。因为 CMOS 电路的 t_{PHL} 和 t_{PLH} 通常是相等的,所以也经常以平均传输延迟时间 t_{pd} 表示 t_{PHL} 和 t_{PLH} 。

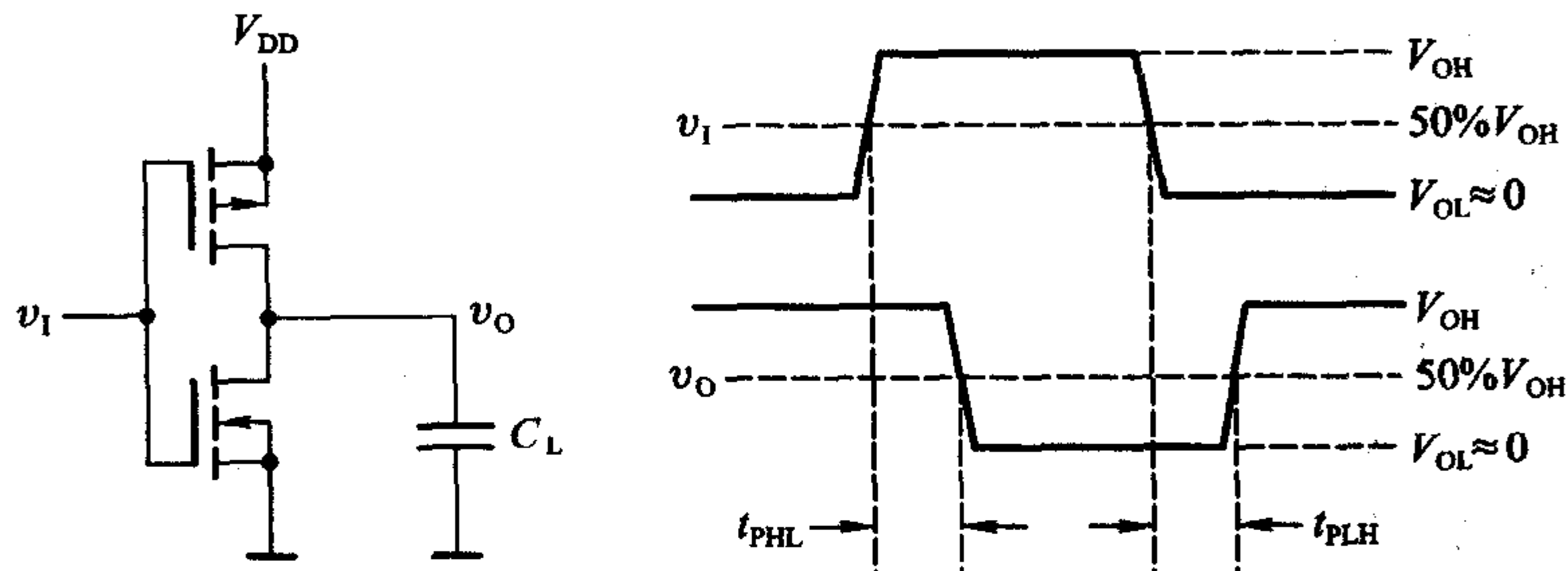


图 3.3.22 CMOS 反相器传输延迟时间的定义

一般情况下, t_{PHL} 、 t_{PLH} 主要是由于负载电容的充放电所产生的,所以为了缩短传输延迟时间,必须减小负载电容和 MOS 管的导通电阻。由式(3.3.1)可知,为了减小 MOS 管的导通电阻,应当尽可能地提高电源电压和输入信号的高电平。

美国 TI 公司生产的 74HC 系列 CMOS 反相器 74HC04 在 $V_{\text{DD}} = 5 \text{ V}$ 、负载电容 $C_{\text{L}} = 50 \text{ pF}$ 的条件下, t_{pd} 仅为 9 ns。而改进系列的 74AHC04, t_{pd} 只有 5 ns。

二、交流噪声容限

如上所述,由于负载电容和 MOS 管寄生电容的存在,输入信号状态变化时必须有足够的变化幅度和作用时间才能使输出改变状态。当输入信号为窄脉冲,而且脉冲宽度接近于门电路传输延迟时间的情况下,为使输出状态改变,所需要的脉冲信号幅度将远大于直流输入信号的幅度。因此,反相器对这类窄脉冲的噪声容限——交流噪声容限远高于前面所讲过的直流噪声容限。而且,传输延迟时间越长,交流噪声容限也越大。

由于传输延迟时间与电源电压和负载电容有关,所以交流噪声容限也受电

源电压和负载电容的影响。图 3.3.23 所示的曲线表示了反相器 74HC04 在负载电容不变的情况下 V_{DD} 对交流噪声容限影响的大致趋势。图中以 V_{NA} 表示交流噪声容限, 以 t_w 表示噪声电压的持续时间。可以看出, 噪声电压作用时间越短、电源电压越高, 则交流噪声容限越大。

三、动态功耗

当 CMOS 反相器从一种稳定工作状态突然转变到另一种稳定状态的过程中, 将产生附加的功耗, 我们称之为动态功耗。

动态功耗由两部分组成, 一部分是对负载电容充、放电所消耗的功率 P_C , 另一部分是由于两个 MOS 管 T_1 和 T_2 在短时间内同时导通所消耗的瞬时导通功耗 P_T 。

首先我们来计算负载电容充、放电的功耗 P_C 。在图 3.3.24 中, 用 C_L 表示接到反相器输出端的所有电容, 其中包括下一级门电路的输入电容、接线电容、还可能还有其他负载电路的电容等。

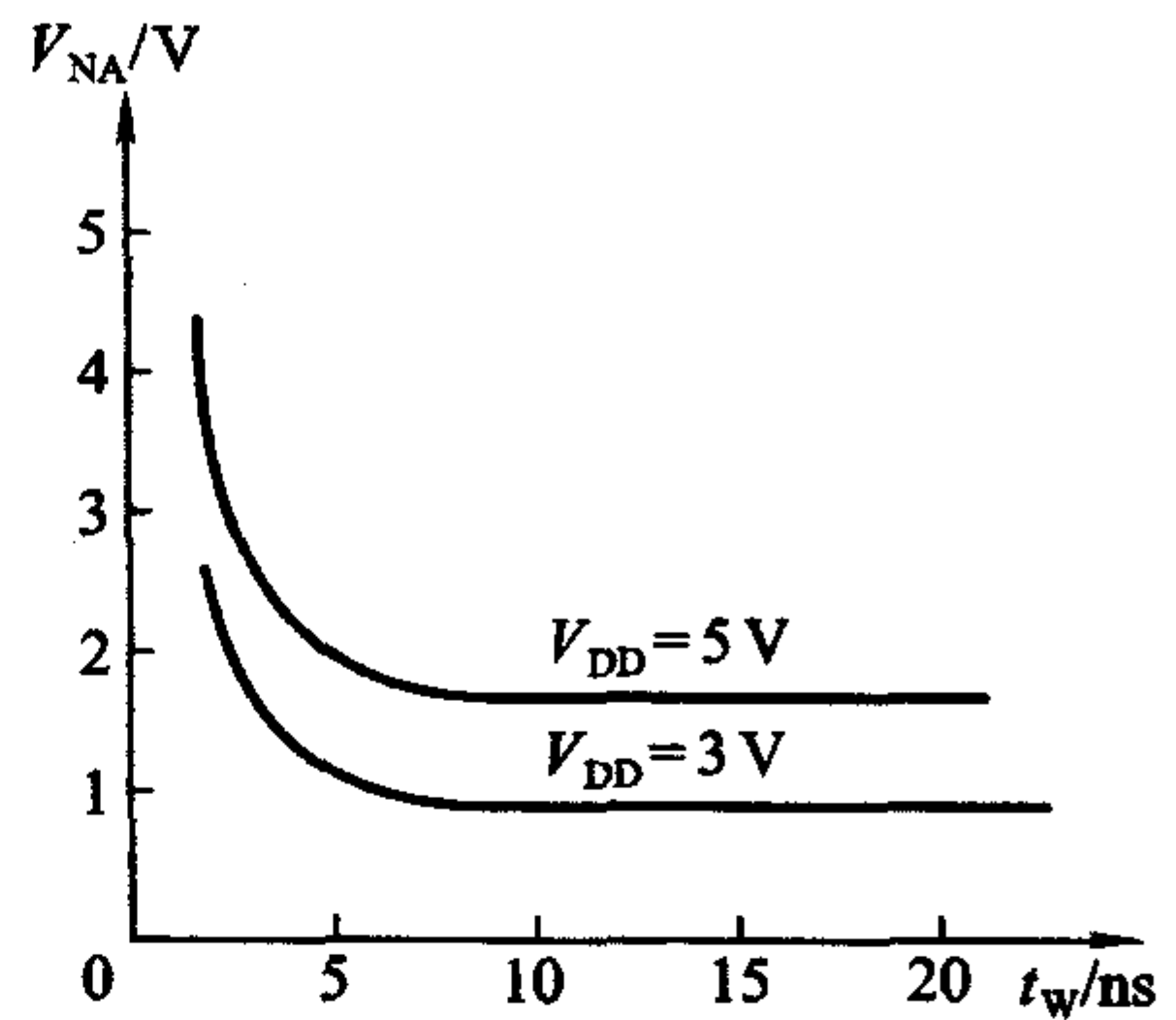


图 3.3.23 CMOS 反相器的交流噪声容限

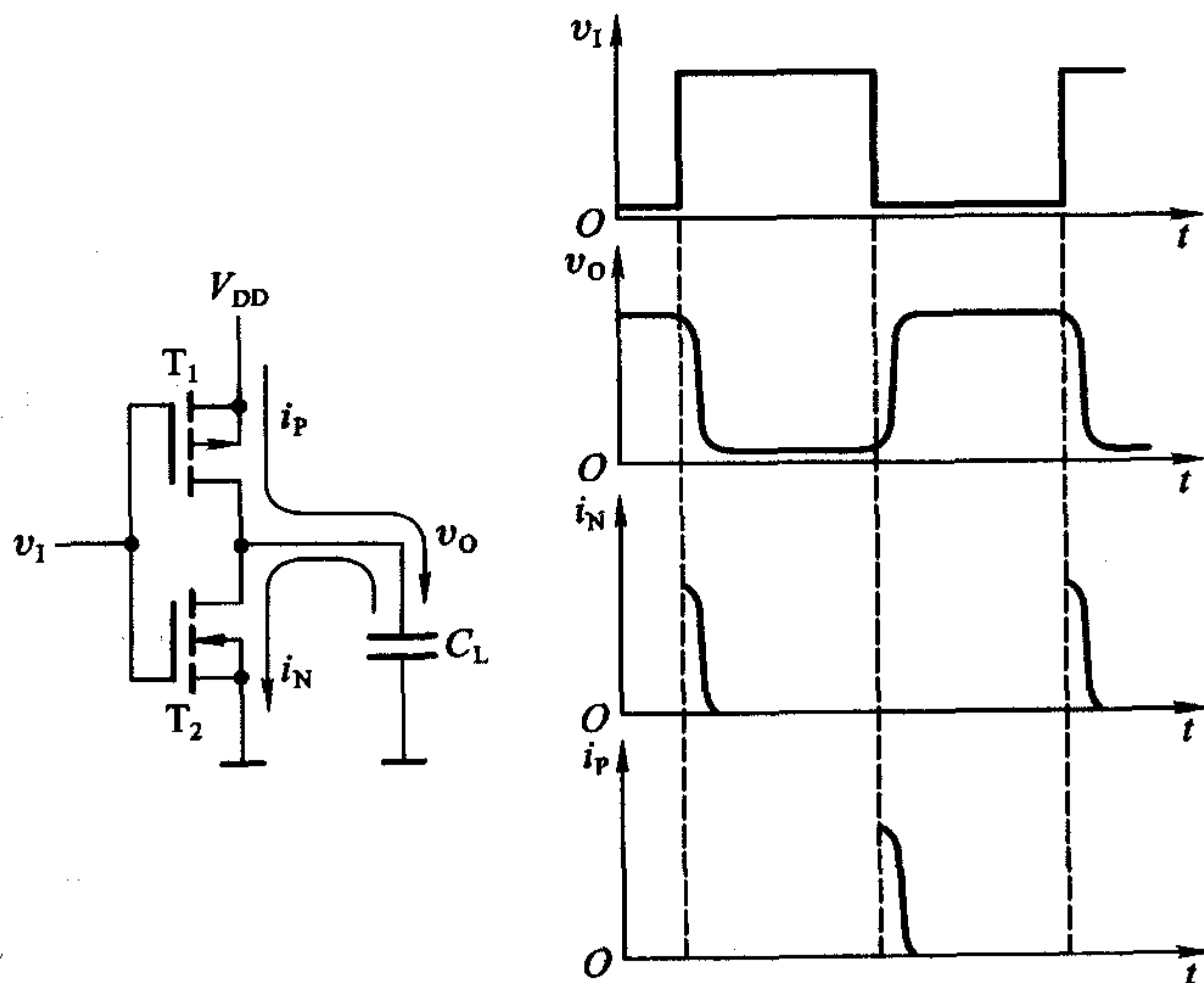


图 3.3.24 CMOS 反相器对负载电容的充、放电电流波形

当输入电压由高电平跳变为低电平时, T_1 导通、 T_2 截止, V_{DD} 经 T_1 向 C_L 充

电,产生充电电流 i_P 。而当输入电压由低电平跳变为高电平时, T_2 导通、 T_1 截止, C_L 通过 T_2 放电,产生放电电流 i_N 。根据图 3.3.24 所示的波形可以写出 i_N 和 i_P 所产生的平均功耗为

$$P_C = \frac{1}{T} \left[\int_0^{T/2} i_N v_O dt + \int_{T/2}^T i_P (V_{DD} - v_O) dt \right]$$

而其中

$$i_N = -C_L \frac{dv_O}{dt}$$

$$i_P = C_L \frac{dv_O}{dt} = -C_L \frac{d(V_{DD} - v_O)}{dt}$$

故得到

$$P_C = \frac{1}{T} \left[C_L \int_{V_{DD}}^0 -v_O dt + C_L \int_{V_{DD}}^0 -(V_{DD} - v_O) d(V_{DD} - v_O) \right]$$

$$= \frac{C_L}{T} \left[\frac{1}{2} V_{DD}^2 + \frac{1}{2} V_{DD}^2 \right]$$

$$= C_L f V_{DD}^2 \quad (3.3.5)$$

式中 $f = \frac{1}{T}$ 为输入信号的重复频率。

式(3.3.5)说明,对负载电容充、放电所产生的功耗与负载电容的电容量、信号重复频率以及电源电压的平方成正比。

下面再来计算瞬时导通功耗 P_T 。如果取 $V_{DD} > V_{GS(th)N} + |V_{GS(th)P}|$, $V_{IH} \approx V_{DD}$, $V_{IL} \approx 0$, 那么当 v_I 从 V_{IL} 过渡到 V_{IH} 和从 V_{IH} 过渡到 V_{IL} 的过程中,都将经过短时间的 $V_{GS(th)N} < v_G < V_{DD} - |V_{GS(th)P}|$ 的状态。在此状态下 T_1 和 T_2 同时导通,有瞬时导通电流 i_T 流过 T_1 和 T_2 ,如图 3.3.25 所示。

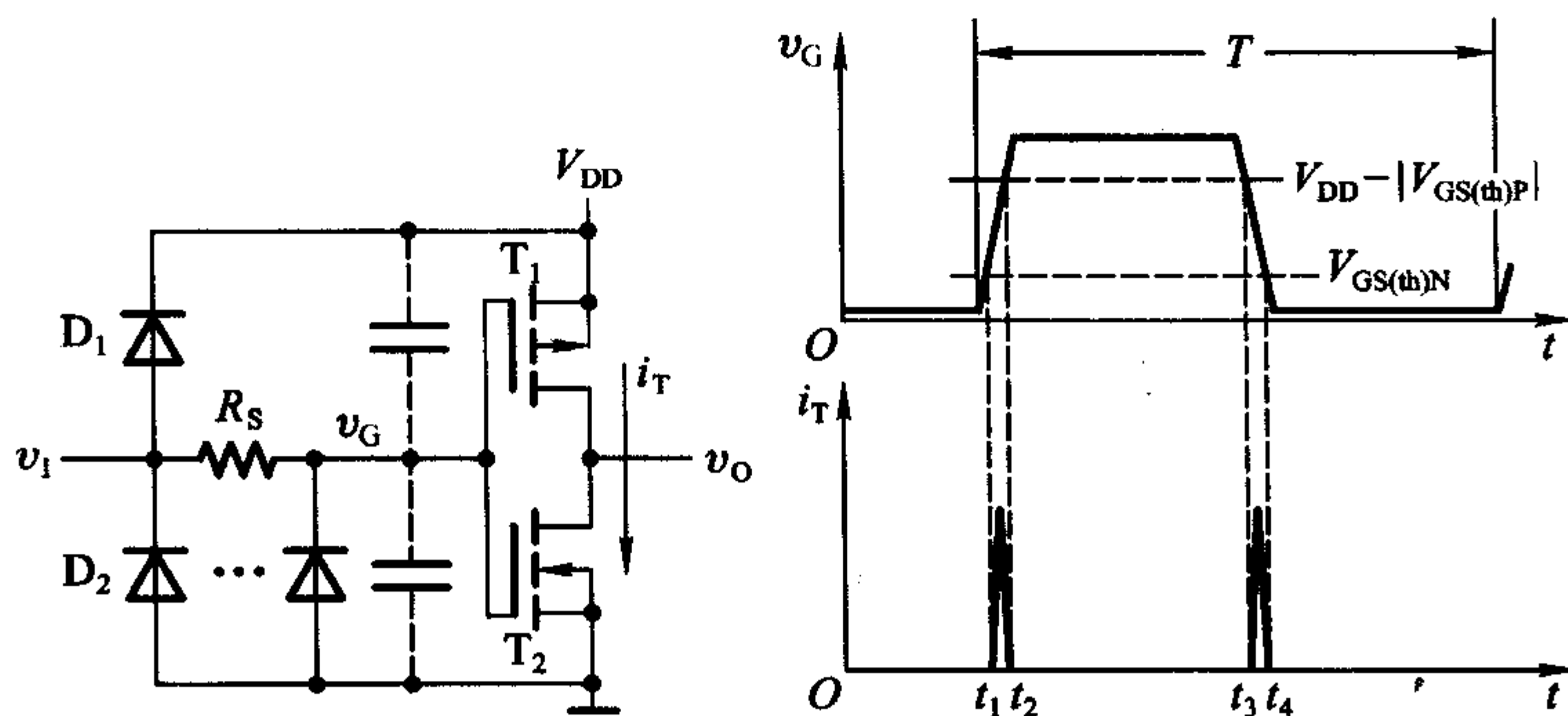


图 3.3.25 CMOS 反相器的瞬时导通电流

从图 3.3.25 可以看出,瞬时导通功耗 P_T 和电源电压 V_{DD} 、输入信号 v_i 的重复频率 f 以及电路内部参数有关。 P_T 的数值可以用下式计算

$$P_T = C_{PD} f V_{DD}^2 \quad (3.3.6)$$

C_{PD} 称为功耗电容,它的具体数值由器件制造商给出。需要说明的是 C_{PD} 并不是一个实际的电容,而仅仅是用来计算空载(没有外接负载)瞬时导通功耗的等效参数。而且,只有在输入信号的上升时间和下降时间小于器件手册中规定的最大值时, C_{PD} 的参数才是有效的。74HC 系列门电路的 C_{PD} 数值通常为 20 pF 左右。

总的动态功耗 P_D 应为 P_C 与 P_T 之和,于是得到

$$\begin{aligned} P_D &= P_C + P_T \\ &= (C_L + C_{PD}) f V_{DD}^2 \end{aligned} \quad (3.3.7)$$

CMOS 反相器工作时的全部功耗 P_{TOT} 应等于动态功耗 P_D 和静态功耗 P_S 之和。前面已经讲过,静态下无论输入电压是高电平还是低电平, T_1 和 T_2 总有一个是截止的。因为 T_1 或 T_2 截止时的漏电流极小,所以这个电流产生的功耗可以忽略不计。由图 3.3.26 可见,在实际的反相器电路中不仅有输入保护二极管,还存在着寄生二极管(参阅图 3.3.11(a)的结构图)。这些二极管的反向漏电流比 T_1 或 T_2 截止时的漏电流要大得多,它们构成了电源静态电流的主要成分。图 3.3.26 中用虚线标出了这些漏电流的流电路径。

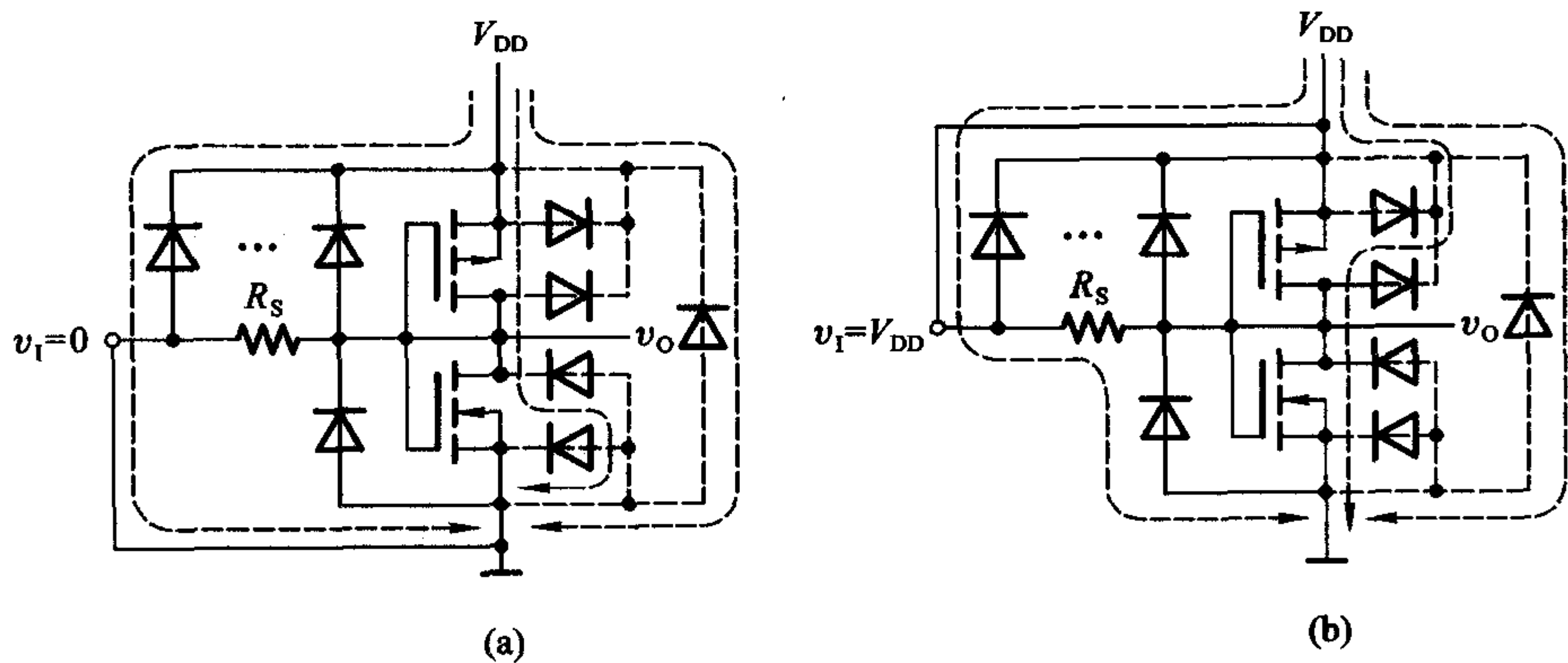


图 3.3.26 CMOS 反相器的静态漏电流

(a) $v_i = 0$ (b) $v_i = V_{DD}$

因为这些二极管都是 PN 结型的,它们的反相电流受温度影响比较大,所以 CMOS 反相器的静态功耗也随温度的改变而变化。

静态功耗通常是以指定电源电压下的静态漏电流的形式给出。例如 TI 公

司生产的 74HC 系列 CMOS 反相器在常温 (+25 °C) 下、 $V_{DD} = 6\text{ V}$ 时的静态电源电流不超过 $0.33\ \mu\text{A}$ 。可见,在工作频率较高的情况下,CMOS 反相器的动态功耗要比静态功耗大得多,这时的静态功耗可以忽略不计。

【例 3.3.1】 计算 CMOS 反相器的总功耗 P_{TOT} 。已知电源电压 $V_{DD} = 5\text{ V}$, 静态电源电流 $I_{DD} = 1\ \mu\text{A}$, 负载电容 $C_L = 100\ \text{pF}$, 功耗电容 $C_{PD} = 20\ \text{pF}$ 。输入信号近似于理想的矩形波,重复频率 $f = 100\ \text{kHz}$ 。

解: 因为输入信号接近于理想的矩形波,它的上升时间和下降时间一定比手册上规定的输入电压的上升时间和下降时间短,所以瞬时导通功耗可以用式 (3.3.6) 计算。

根据式 (3.3.7) 得到总的动态功耗为

$$\begin{aligned} P_D &= (C_L + C_{PD}) f V_{DD}^2 \\ &= (100 + 20) \times 10^{-12} \times 100 \times 10^3 \times 5^2\ \text{W} = 0.3\ \text{mW} \end{aligned}$$

而静态功耗为

$$P_S = I_{DD} V_{DD} = 10^{-6} \times 5\ \text{W} = 0.005\ \text{mW}$$

故得总的功耗 P_{TOT} 为

$$P_{\text{TOT}} = P_D + P_S = 0.305\ \text{mW}$$

从本例中还可以看出,一般情况下静态功耗远小于动态功耗,所以在计算总功耗 P_{TOT} 时经常可以忽略静态功耗而只计算动态功耗。

复习思考题

R3.3.6 CMOS 电路的动态功耗和哪些电路参数有关?

R3.3.7 你能说明 CMOS 电路功耗电容的物理意义吗?

3.3.5 其他类型的 CMOS 门电路

一、其他逻辑功能的 CMOS 门电路

在 CMOS 门电路的系列产品中,除反相器外常用的还有或非门、与非门、或门、与门、与或非门、异或门等几种。

为了画图的方便,并能突出电路中与逻辑功能有关的部分,以后在讨论各种逻辑功能的门电路时就不再画出每个输入端的保护电路了。

图 3.3.27 是 CMOS 与非门的基本结构形式,它由两个并联的 P 沟道增强型 MOS 管 T_1 、 T_3 和两个串联的 N 沟道增强型 MOS 管 T_2 、 T_4 组成。

当 $A=1$ 、 $B=0$ 时, T_3 导通、 T_4 截止, 故 $Y=1$ 。而当 $A=0$ 、 $B=1$ 时, T_1 导通、 T_2 截止, 也使 $Y=1$ 。只有在 $A=B=1$ 时, T_1 和 T_3 同时截止、 T_2 和 T_4 同时导通, 才有 $Y=0$ 。因此, Y 和 A 、 B 间是与非关系, 即 $Y=(A \cdot B)'$ 。

图 3.3.28 是 CMOS 或非门的基本结构形式, 它由两个并联的 N 沟道增强型 MOS 管 T_2 、 T_4 和两个串联的 P 沟道增强型 MOS 管 T_1 、 T_3 组成。

在这个电路中, 只要 A 、 B 当中有一个是高电平, 输出就是低电平。只有当 A 、 B 同时为低电平时, 才使 T_2 和 T_4 同时截止、 T_1 和 T_3 同时导通, 输出为高电平。因此, Y 和 A 、 B 间是或非关系, 即 $Y=(A+B)'$ 。

利用与非门、或非门和反相器又可组成与门、或门、与或非门、异或门等。例如, 在图 3.3.27 与非门的输出端再接入一级反相器, 就得到了与门。

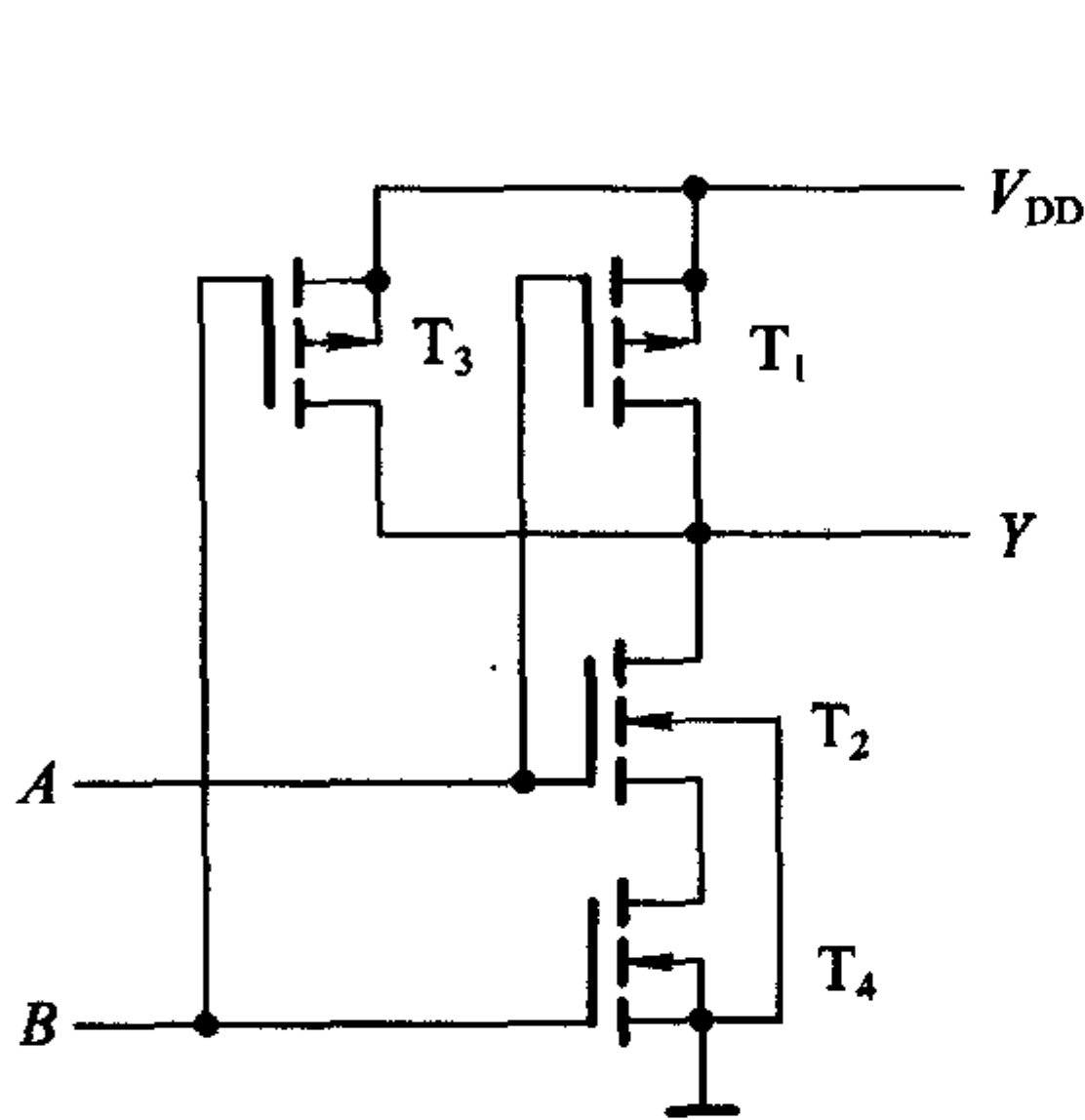


图 3.3.27 CMOS 与非门

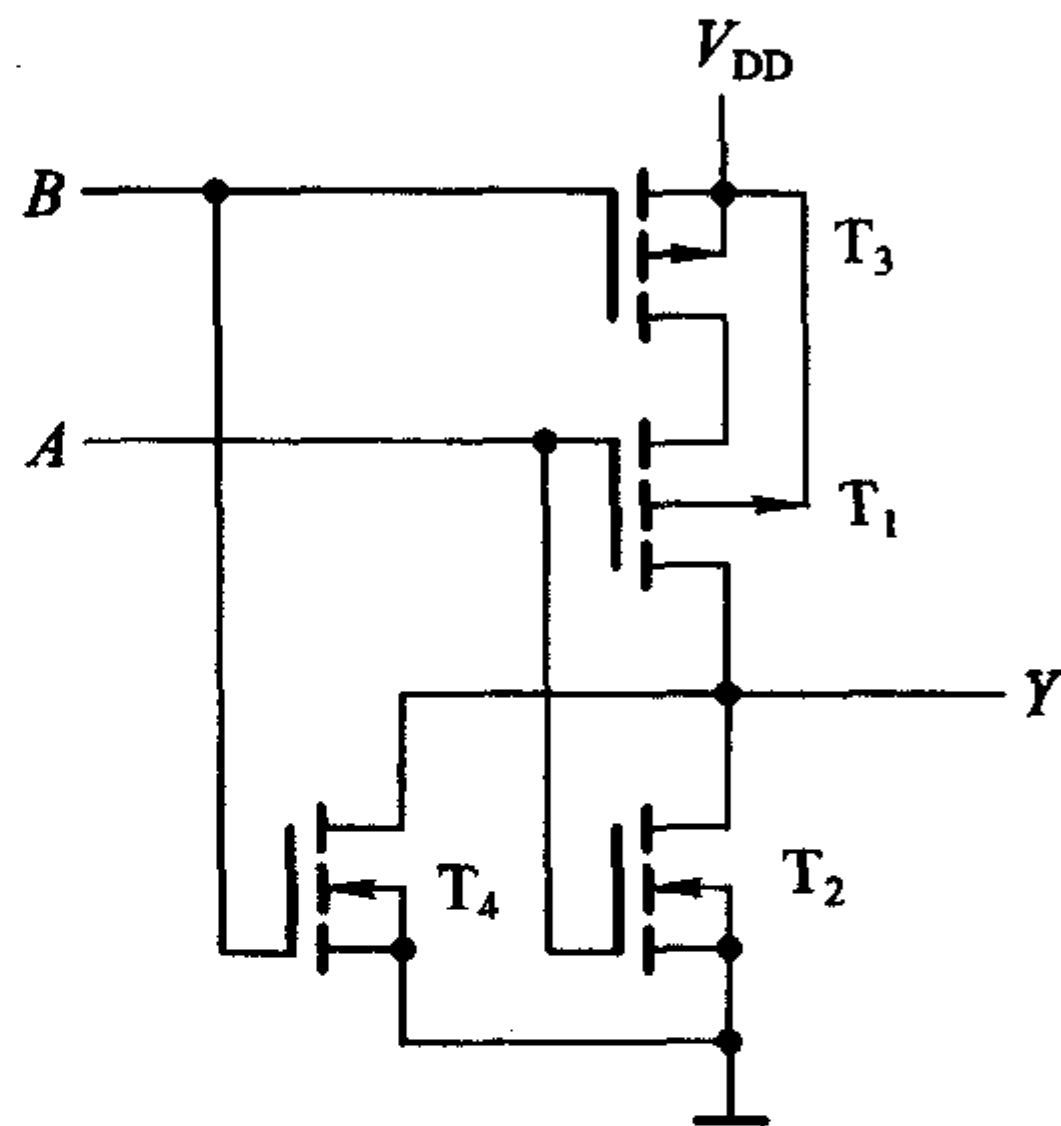


图 3.3.28 CMOS 或非门

图 3.3.27 所示的与非门电路虽然结构很简单, 但也存在着严重的缺点。首先, 它的输出电阻 R_o 受输入端状态的影响。假定每个 MOS 管的导通内阻均为 R_{ON} , 截止内阻 $R_{OFF} \approx \infty$, 则根据前面对图 3.3.27 的分析可知:

若 $A=B=1$, 则 $R_o = R_{ON2} + R_{ON4} = 2R_{ON}$;

若 $A=B=0$, 则 $R_o = R_{ON1} // R_{ON3} = \frac{1}{2}R_{ON}$;

若 $A=1$ 、 $B=0$, 则 $R_o = R_{ON3} = R_{ON}$;

若 $A=0$ 、 $B=1$, 则 $R_o = R_{ON1} = R_{ON}$ 。

可见, 输入状态的不同可以使输出电阻相差 4 倍之多。

其次, 输出的高、低电平受输入端数目的影响。输入端数目越多, 串联的驱动管数目也越多, 输出的低电平 V_{OL} 也越高。而当输入全部为低电平时, 输入端越多负载管并联的数目越多, 输出高电平 V_{OH} 也更高一些。

此外, 输入端工作状态不同时对电压传输特性也有一定的影响。

图 3.3.28 所示的或非门电路中也存在类似的问题。

为了克服这些缺点,在实际生产的 4000 系列和 74HC 系列 CMOS 电路中均采用带缓冲级的结构,就是在门电路的每个输入端、输出端各增设一级反相器。加进的这些具有标准参数的反相器称为缓冲器。

需要注意的一点是,输入、输出端加进缓冲器以后,电路的逻辑功能也发生了变化。图 3.3.29 所示的与非门电路是在图 3.3.28 所示的或非门电路的基础上增加了缓冲器以后得到的。在原来与非门的基础上增加缓冲级以后就得到了或非门电路,如图 3.3.30 所示。

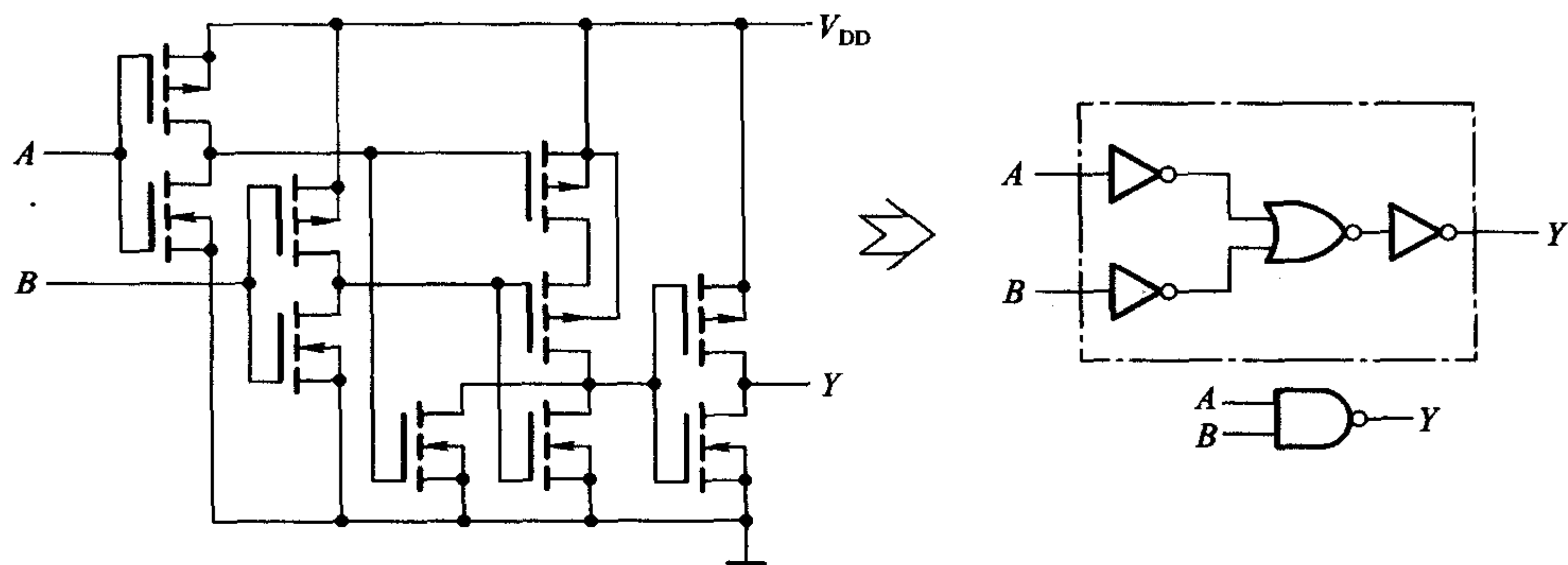


图 3.3.29 带缓冲级的 CMOS 与非门电路

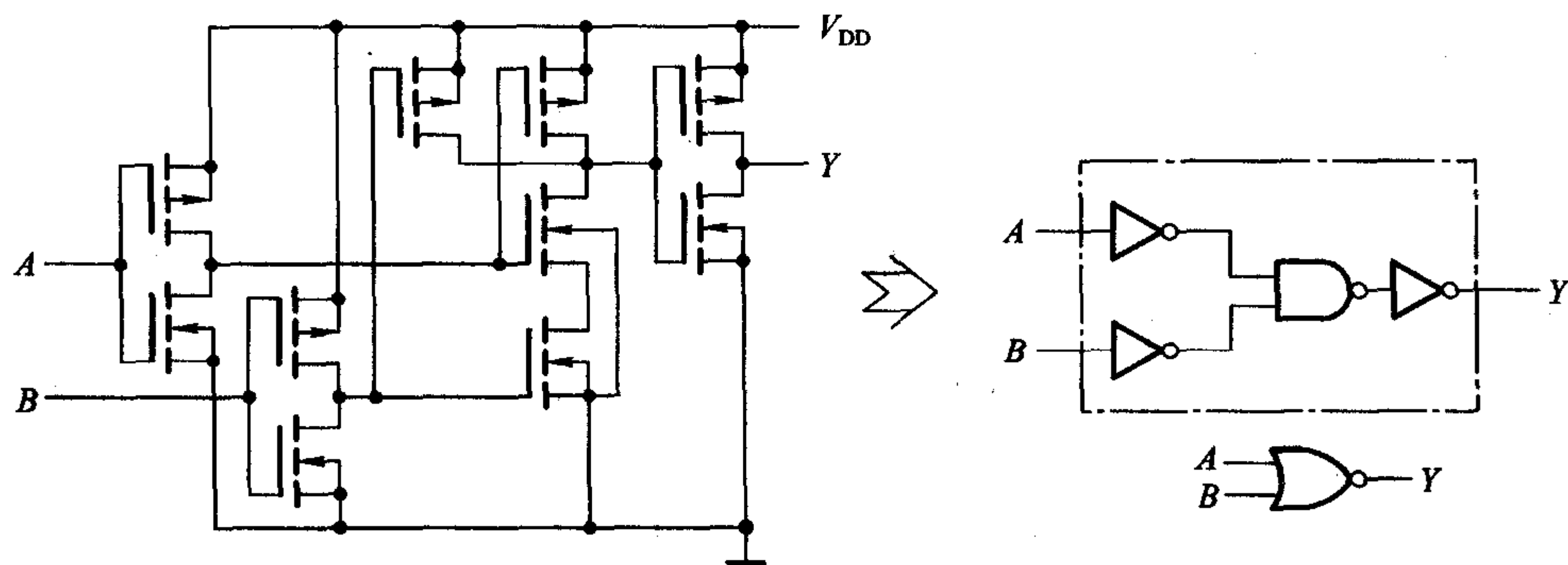


图 3.3.30 带缓冲级的 CMOS 或非门电路

这些带缓冲级的门电路其输出电阻、输出的高、低电平以及电压传输特性将不受输入端状态的影响。而且,电压传输特性的转折区也变得更陡了。此外,前面讲到的 CMOS 反相器的输入特性和输出特性对这些门电路自然也适用。