

即使是计算机辅助分析手段检查过的电路,往往也还需要经过实验的方法检验,方能最后确定电路是否存在竞争-冒险现象。因为在用计算机软件模拟数字电路时,只能采用标准化的典型参数,有时还要做一些近似,所以得到的模拟结果有时和实际电路的工作状态会有出入。因此可以认为,只有实验检查的结果才是最终的结论。

4.4.3 消除竞争-冒险现象的方法

一、接入滤波电容

由于竞争-冒险而产生的尖峰脉冲一般都很窄(多在几十纳秒以内),所以只要在输出端并接一个很小的滤波电容 C_f (如图 4.4.5(a)所示),就足以把尖峰脉冲的幅度削弱至门电路的阈值电压以下。在 TTL 电路中, C_f 的数值通常在几十至几百皮法的范围内。

这种方法的优点是简单易行,而缺点是增加了输出电压波形的上升时间和下降时间,使波形变坏。

二、引入选通脉冲

第二种常用的方法是在电路中引入一个选通脉冲 p ,如图 4.4.5(a)所示。因为 p 的高电平出现在电路到达稳定状态以后,所以 $G_0 \sim G_3$ 每个门的输出端都不会出现尖峰脉冲。但需注意,这时 $G_0 \sim G_3$ 正常的输出信号也将变成脉冲信号,而且它们的宽度与选通脉冲相同。例如,当输入信号 AB 变成 11 以后, Y_3 并不马上变成高电平,而要等到 p 端的正脉冲出现时才给出一个正脉冲。

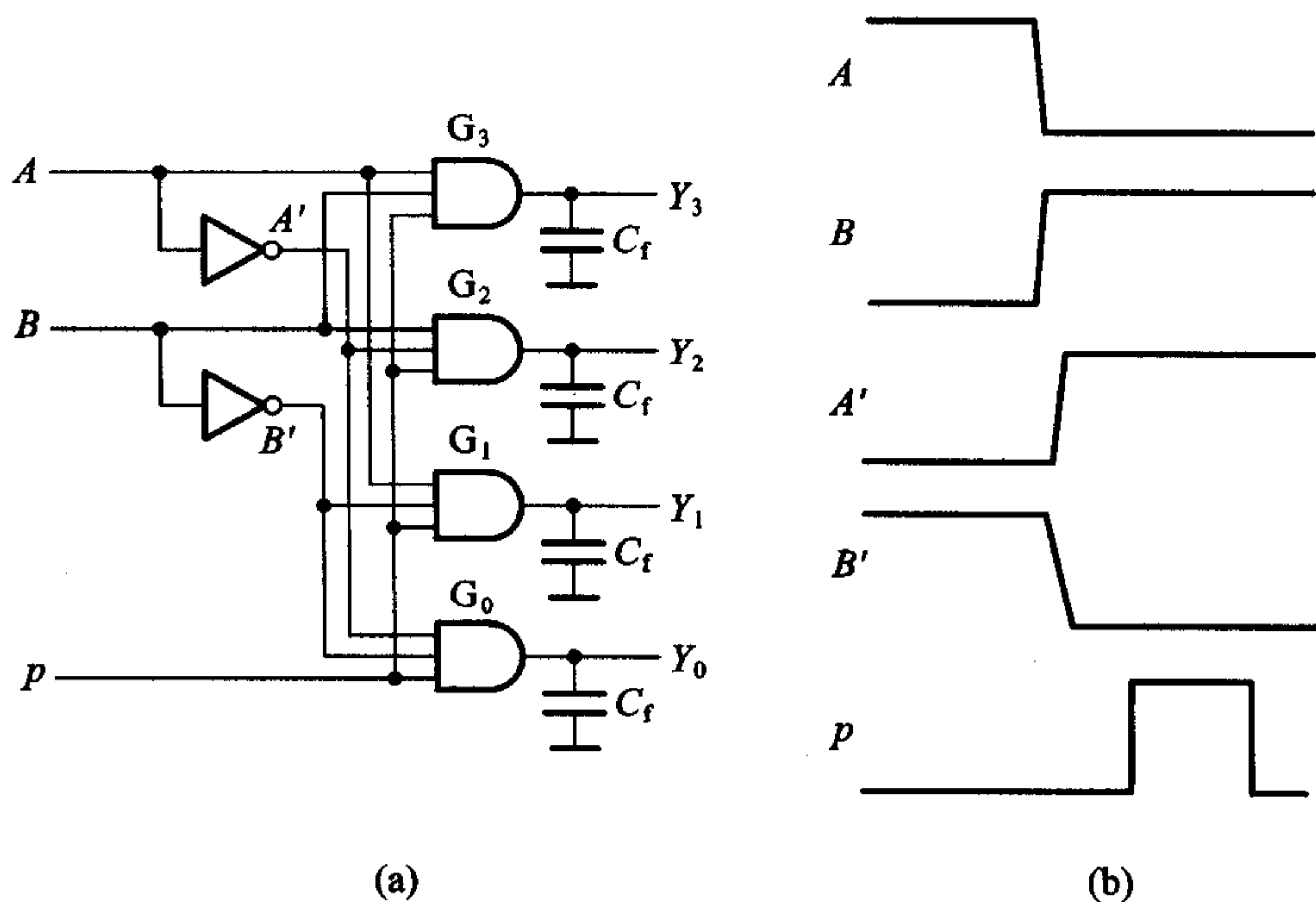


图 4.4.5 消除竞争-冒险现象的几种方法

(a) 电路接法 (b) 电压波形

三、修改逻辑设计

以图 4.4.4(a) 所示电路为例, 我们已经得到了它输出的逻辑函数式为 $Y = AB + A'C$, 而且知道在 $B = C = 1$ 的条件下, 当 A 改变状态时存在竞争-冒险现象。

根据逻辑代数的常用公式可知

$$Y = AB + A'C = AB + A'C + BC \quad (4.4.1)$$

我们发现, 在增加了 BC 项以后, 在 $B = C = 1$ 时无论 A 如何改变, 输出始终保持 $Y = 1$ 。因此, A 的状态变化不再会引起竞争-冒险现象。

因为 BC 一项对函数 Y 来说是多余的, 所以将它称为 Y 的冗余项, 同时将这种修改逻辑设计的方法称为增加冗余项的方法。增加冗余项以后的电路如图 4.4.6 所示。

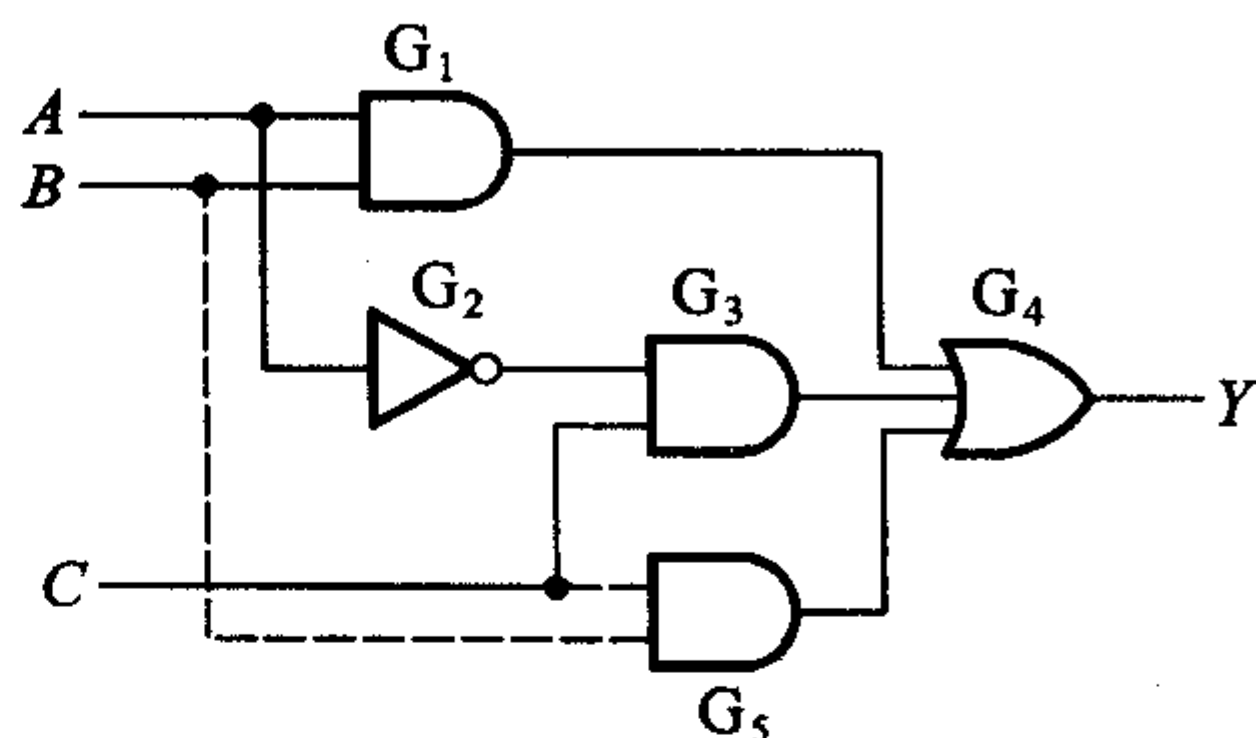


图 4.4.6 用增加冗余项消除竞争-冒险现象

用增加冗余项的方法消除竞争-冒险现象适用范围是很有限的。由图 4.4.6 所示电路中不难发现, 如果 A 和 B 同时改变状态, 即 AB 从 **10** 变为 **01** 时, 电路仍然存在竞争-冒险现象。可见, 增加了冗余项 BC 以后仅仅消除了 $B = C = 1$ 时, 由于 A 的状态改变所导致的竞争-冒险。

将上述三种方法比较一下不难看出, 接滤波电容的方法简单易行, 但输出电压的波形随之变坏。因此, 只适用于对输出波形的前、后沿无严格要求的场合。引入选通脉冲的方法也比较简单, 而且不需要增加电路元件。但使用这种方法时必须设法得到一个与输入信号同步的选通脉冲, 对这个脉冲的宽度和作用的时间均有严格的要求。至于修改逻辑设计的方法, 倘能运用得当, 有时可以收到令人满意的效果。例如, 在图 4.4.6 所示的电路中, 如果门 G_5 在电路中本来就已存在, 那么只需增加一根连线, 把它的输出引到门 G_4 的一个输入端就行了, 既不必增加门电路, 又不给电路的工作带来任何不利的影响。然而, 这样有利的条件并不是任何时候都存在, 而且这种方法能解决的问题也是很有限的。

复习思考题

R4.4.1 你能用最简单的语言说明什么是竞争-冒险现象以及它的产生原因吗?

R4.4.2 有哪些方法可以消除竞争-冒险现象? 这些方法各有何优缺点?

* 4.5 用 Multisim 7 分析组合逻辑电路

我们在第 2.8 节中已经提到, Multisim 7 具有很强的逻辑仿真功能。将给定的逻辑图输入计算机以后, 利用 Multisim 7 的逻辑转换器立刻就可以得到电路的真值表和逻辑函数式, 操作十分简单。

【例 4.5.1】 用 Multisim 7 分析图 4.5.1 所示的逻辑电路, 找出电路的逻辑函数式和逻辑真值表。8 选 1 数据选择器 74HC151 的逻辑图和逻辑函数式见图 4.3.24 和式(4.3.22)。

解: 启动 Multisim 7 程序, 出现用户界面以后首先需要建立图 4.5.1 所示的逻辑电路图。为此, 我们从 CMOS 集成电路器件库中找出 74HC151、74HC04、 V_{DD} 和接地端的符号, 将它们放置在窗口的合适位置, 然后连成与图 4.5.1 完全相同的电路图, 如图 4.5.2 所示。(请注意, Multisim 7 器件库里 74HC151 逻辑框图内部变量名称的标注与图 4.5.1 中 74HC151 逻辑框图内部标注的不完全相同。图 4.5.2 中的 $\sim G$ 与图 4.5.1 中的 S 相对应, 图 4.5.2 中的 A、B、C 与图 4.5.1 中的 A_0 、 A_1 、 A_2 相对应。)

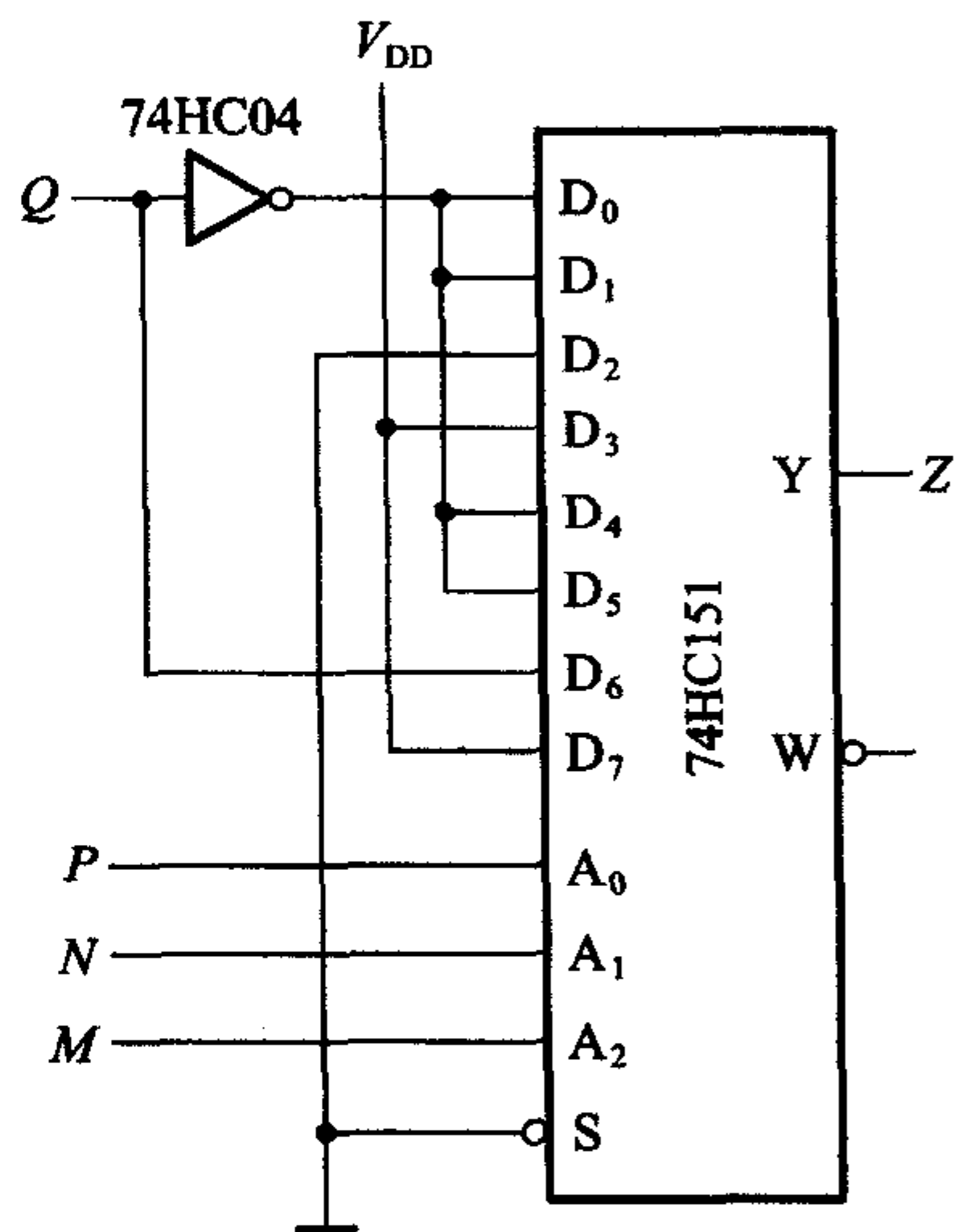


图 4.5.1 例 4.5.1 的组合逻辑电路

下面就可以用逻辑转换器分析显示器上所建立的逻辑电路了。从用户界面上的仪器栏中将“逻辑转换器”击出, 然后将电路的四个变量输入端 M、N、P、Q 依次接到逻辑转换器最左边的四个输入端 A、B、C、D, 同时将电路的输出端接到逻辑转换器最右边的一个输入端 Out, 如图 4.5.2 上所显示的那样。

双击画面左上方的逻辑转换器图标, 便弹出画面上右边的操作窗口。点击操作窗口右侧上方第一个按钮, 逻辑真值表就立刻出现在左侧的表格中; 再点击右侧上方的第三个按钮, 在操作窗口底部一栏里就得到了化简后的逻辑函数式为

$$B'D' + ABD + BC \quad (4.5.1)$$

上式给出的是逻辑转换器输入变量 A、B、C、D 与输出变量 Out 的函数关系。由于 A、B、C、D 对应于图 4.5.1 中的 M、N、P、Q, Out 对应于图 4.5.1 中的 Z, 因此得到图 4.5.1 所示电路的逻辑函数式为

$$Z = N'Q' + MNQ + NP \quad (4.5.2)$$

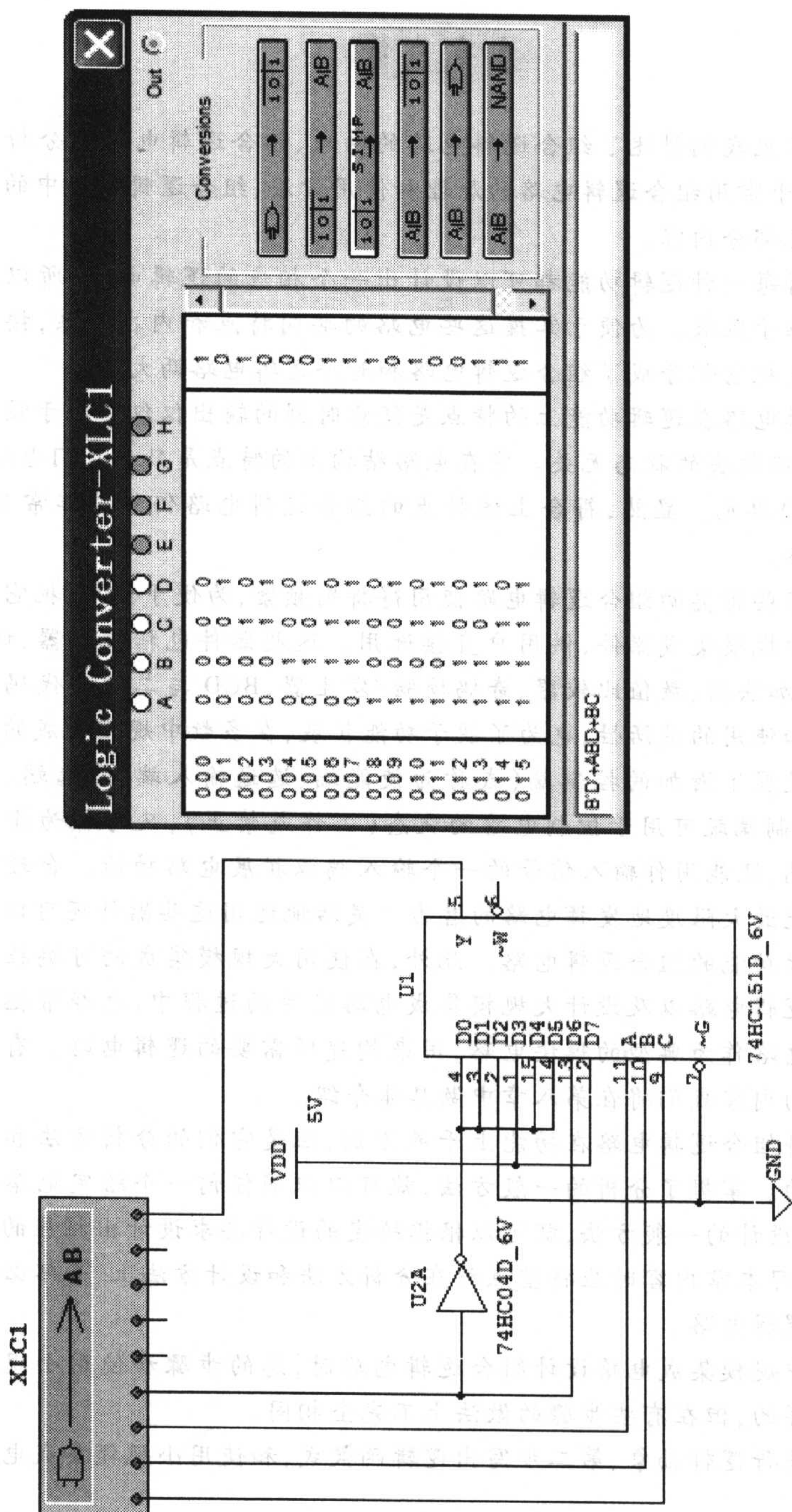


图 4.5.2 用 Multisim 7 的逻辑转换器分析图 4.5.1 电路

本章小结

在这一章里我们讲述了组合逻辑电路的特点、组合逻辑电路的分析方法和设计方法、若干常用组合逻辑电路的原理和使用方法、组合逻辑电路中的竞争-冒险现象等几部分内容。

因为针对每一种逻辑功能都可以设计出一个相应的逻辑电路,所以逻辑电路的种类已难于胜数。为便于掌握这些电路的共同特点和内在联系,按逻辑功能的不同特点把它们分成了组合逻辑电路和时序逻辑电路两大类。

组合逻辑电路在逻辑功能上的特点是任意时刻的输出仅仅取决于该时刻的输入,而与电路过去的状态无关。它在电路结构上的特点是只包含门电路,而没有存储(记忆)单元。显然,符合上述特点的组合逻辑电路仍然是非常多的,不可能逐一列举。

考虑到有些种类的组合逻辑电路使用得特别频繁,为便于使用,把它们制成了标准化的中规模集成器件,供用户直接选用。这些器件包括编码器、译码器、数据选择器、加法器、数值比较器、奇偶校验/发生器、BCD与二进制代码转换器等。为了增加使用的灵活性,也为了便于功能扩展,在多数中规模集成的组合逻辑电路上都设置了附加的控制端(或称为使能端、选通输入端、片选端、禁止端等)。这些控制端既可用于控制电路的状态(工作或禁止),又可作为输出信号的选通输入端,还能用作输入信号的一个输入端以扩展电路功能。合理地运用这些控制端能最大限度地发挥电路的潜力。灵活地运用这些器件还可以设计出任何其他逻辑功能的组合逻辑电路。此外,在使用大规模集成的可编程逻辑器件设计组合逻辑电路以及设计大规模集成电路芯片的过程中,也经常把这些常用组合逻辑电路作为典型的模块电路,用来构建所需要的逻辑电路。有关可编程逻辑器件的内容我们将在第八章中做具体介绍。

尽管各种组合逻辑电路在功能上千差万别,但是它们的分析方法和设计方法都是共同的。掌握了分析的一般方法,就可以识别任何一个给定电路的逻辑功能;掌握了设计的一般方法,就可以根据给定的设计要求设计出相应的逻辑电路。因此,学习本章内容时应将重点放在分析方法和设计方法上,而不必去记忆各种具体的逻辑电路。

在使用中规模集成电路设计组合逻辑电路时,总的步骤和使用小规模集成电路时是一样的,但在有些步骤的做法上不完全相同。

第一步进行逻辑抽象、第二步写出逻辑函数式,和使用小规模集成电路时没有区别。

第三步,将逻辑函数变换为适当的形式,而不是要求化为最简形式。因为每

一种中规模集成的组合逻辑电路都有确定的逻辑功能,并可以写成逻辑函数式的形式,所以为了使用这些器件构成所需的逻辑电路,必须把要产生的逻辑函数变换成与所用器件的逻辑函数式类似的形式。

将变换后的逻辑函数式与选用器件的函数式对照比较,有以下4种可能的情况:

1. 两者形式完全相同,使用这种中规模集成器件效果最为理想。
2. 两者形式类同,所选器件的逻辑函数式包含更多的输入变量和乘积项。这时只需对多余的变量输入端和乘积项做适当处理,也能很方便地得到所要的逻辑电路。
3. 所选用的中规模集成器件的逻辑函数式是要求产生的逻辑函数的一部分,这时可以通过扩展的方法(将几片联用或附加少量其他器件)组成要求的逻辑电路。
4. 如果可用的中规模集成电路品种有限,而这些器件的逻辑函数式又与要求产生的逻辑函数在形式上相差甚远,就不宜采用这些器件来设计所需的逻辑电路了。

根据逻辑函数式对照比较的结果,即可确定所用的器件各输入端应当接入的变量或常量(1或0),以及各片之间的连接方式。

第四步,按照上面对照比较的结果,画出设计的逻辑电路图。

我们将上述使用中规模集成器件设计组合逻辑电路的方法称为逻辑函数式对照法。

竞争-冒险是组合逻辑电路工作状态转换过程中经常会出现的一种现象。如果负载是一些对尖峰脉冲敏感的电路,则必须采取措施防止由于竞争而产生的尖峰脉冲。如果负载电路对尖峰脉冲不敏感(例如负载为光电显示器件),就不必考虑这个问题了。



[题 4.1] 分析图 P4.1 电路的逻辑功能,写出输出的逻辑函数式,列出真值表,说明电路逻辑功能的特点。

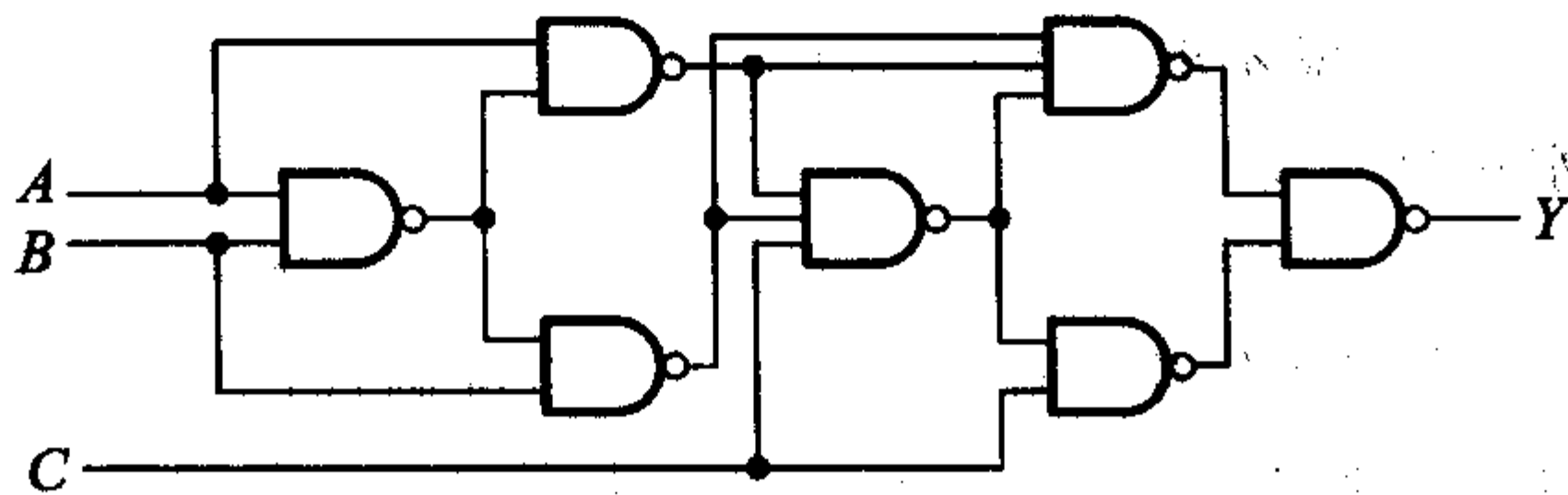


图 P4.1

[题 4.2] 图 P4.2 是一个多功能函数发生电路。试写出当 $S_0S_1S_2S_3$ 为 0000 ~ 1111 16 种不同状态时输出 Y 的逻辑函数式。

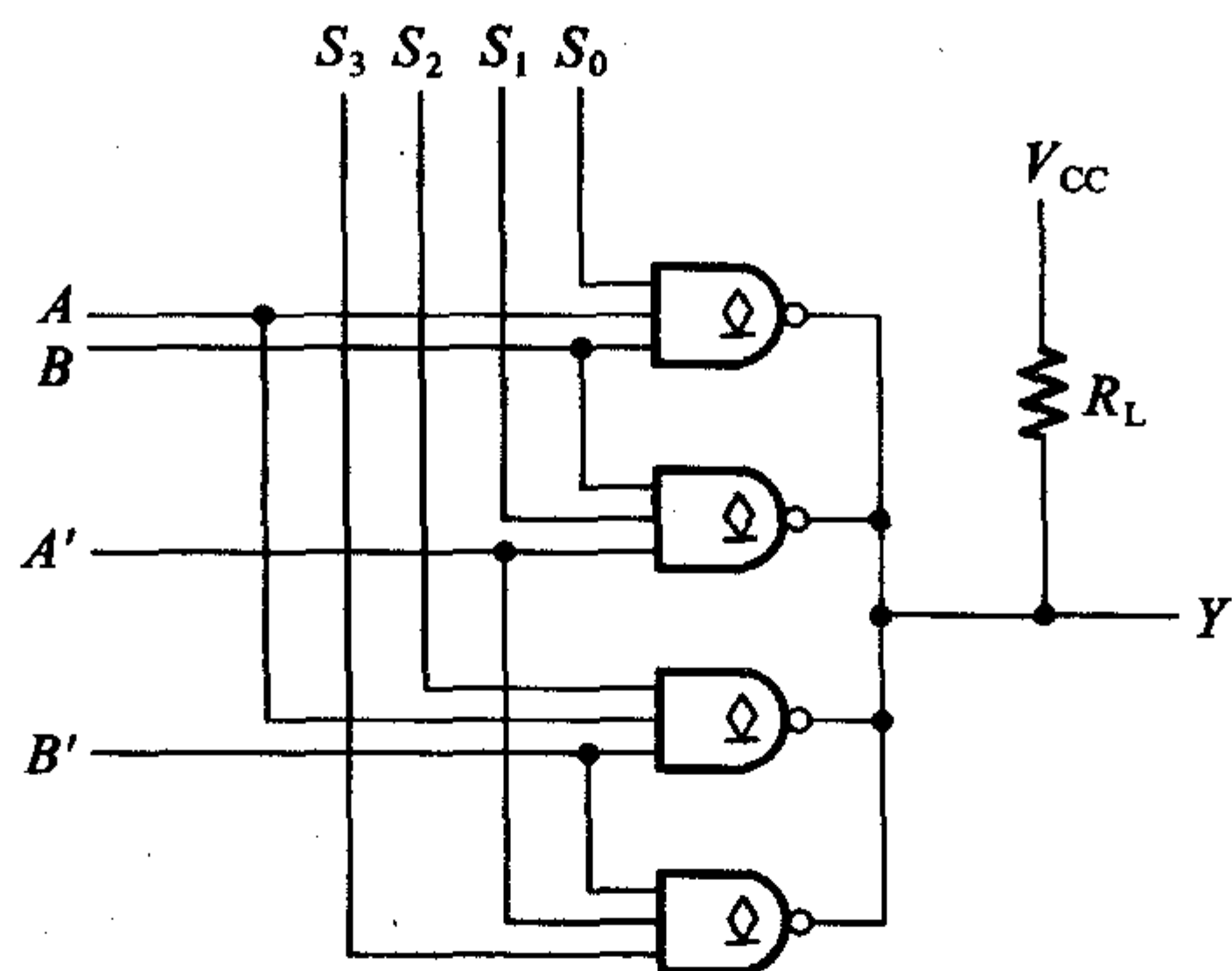


图 P4.2

[题 4.3] 分析图 P4.3 电路的逻辑功能, 写出 Y_1 、 Y_2 的逻辑函数式, 列出真值表, 指出电路完成什么逻辑功能。

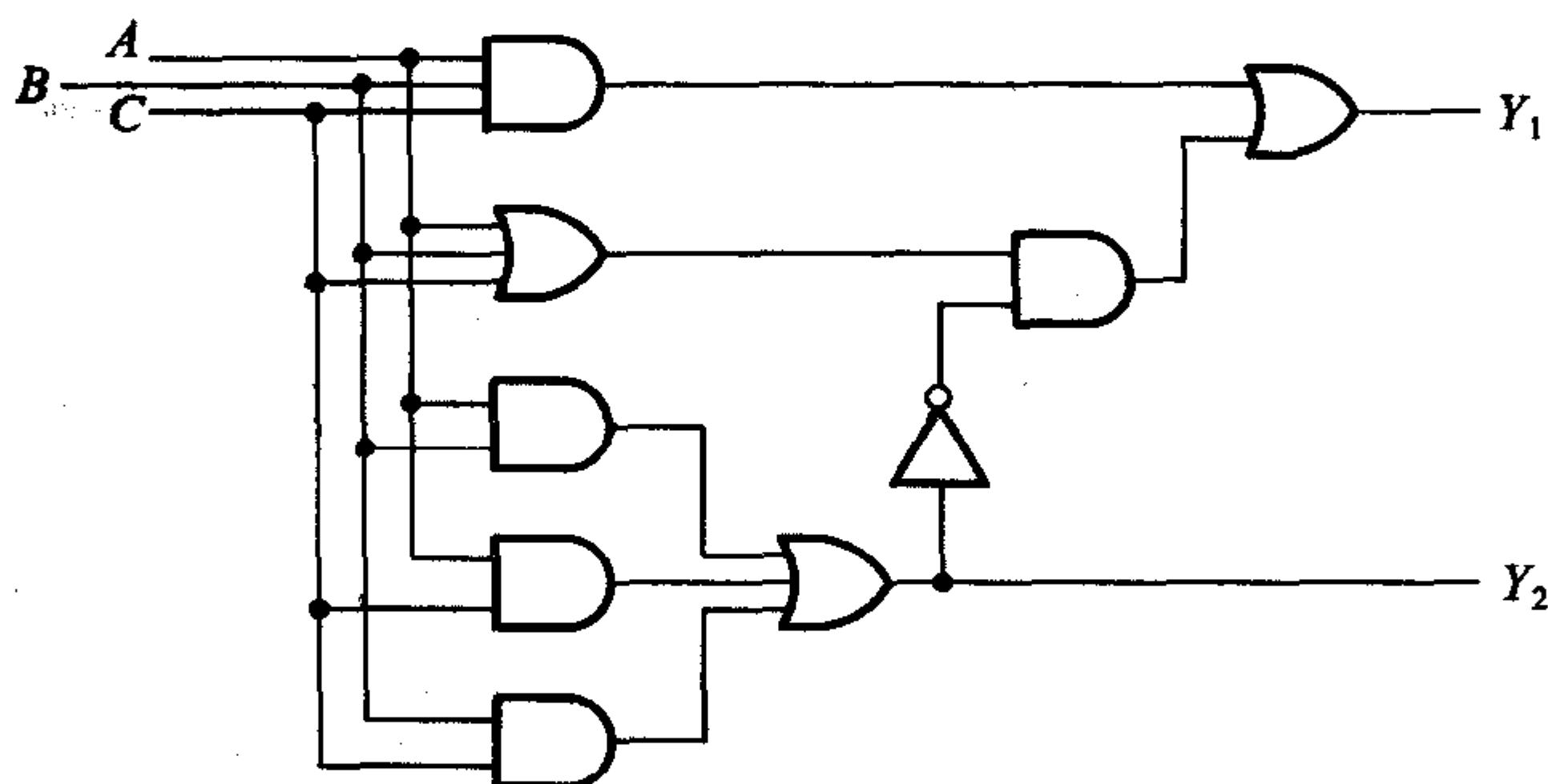


图 P4.3

[题 4.4] 图 P4.4 是对十进制数 9 求补的集成电路 CC14561 的逻辑图, 写出当 $COMP = 1$ 、 $Z = 0$ 和 $COMP = 0$ 、 $Z = 0$ 时 Y_1 、 Y_2 、 Y_3 、 Y_4 的逻辑式, 列出真值表。

[题 4.5] 用与非门设计四变量的多数表决电路。当输入变量 A 、 B 、 C 、 D 有 3 个或 3 个以上为 1 时输出为 1, 输入为其他状态时输出为 0。

[题 4.6] 有一水箱由大、小两台水泵 M_L 和 M_S 供水, 如图 P4.6 所示。水箱中设置了 3 个水位检测元件 A 、 B 、 C 。水面低于检测元件时, 检测元件给出高电平; 水面高于检测元件时, 检测元件给出低电平。现要求当水位超过 C 点时水泵停止工作; 水位低于 C 点而高于 B 点时 M_S 单独工作; 水位低于 B 点而高于 A 点时 M_L 单独工作; 水位低于 A 点时 M_L 和 M_S 同时工作。试用门电路设计一个控制两台水泵的逻辑电路, 要求电路尽量简单。

[题 4.7] 设计一个代码转换电路, 输入为 4 位二进制代码, 输出为 4 位格雷码。可以采用各种逻辑功能的门电路来实现。4 位格雷码见本书第 1.5 节的表 1.5.2。

[题 4.8] 试画出用 4 片 8 线 - 3 线优先编码器 74HC148 组成 32 线 - 5 线优先编码器

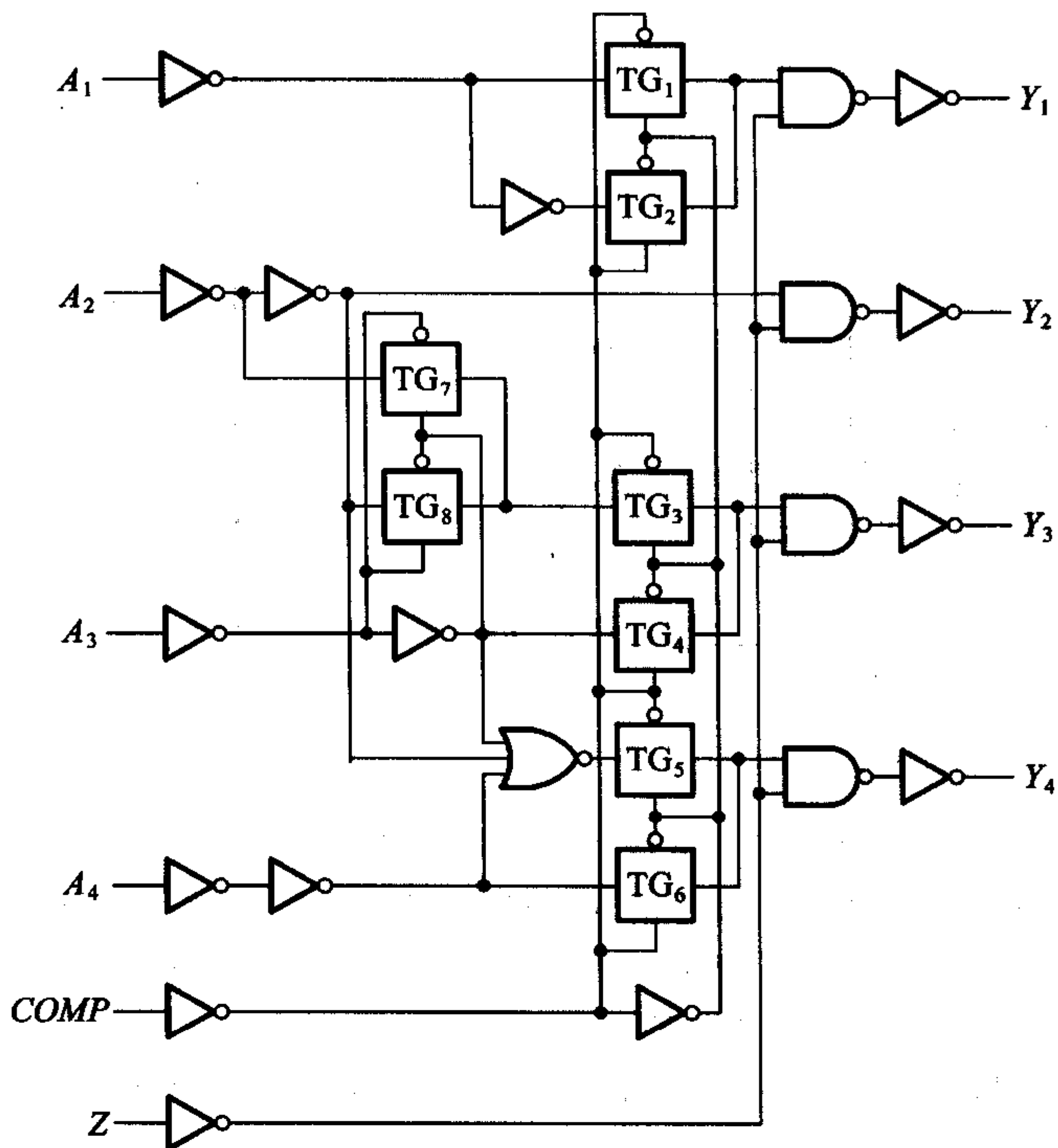


图 P4.4

的逻辑图。74HC148 的逻辑图见图 4.3.3。允许附加必要的门电路。

[题 4.9] 某医院有一、二、三、四号病室 4 间, 每室设有呼叫按钮, 同时在护士值班室内对应地装有一号、二号、三号、四号 4 个指示灯。

现要求当一号病室的按钮按下时,无论其他病室的按钮是否按下,只有一号灯亮。当一号病室的按钮没有按下而二号病室的按钮按下时,无论三、四号病室的按钮是否按下,只有二号灯亮。当一、二号病室的按钮都未按下而三号病室的按钮按下时,无论四号病室的按钮是否按下,只有三号灯亮。只有在一、二、三号病室的按钮均未按下而按下四号病室的按钮时,四号灯才亮。试用优先编码器 74HC148 和门电路设计满足上述控制要求的逻辑电路,给出控制四个指示灯状态的高、低电平信号。

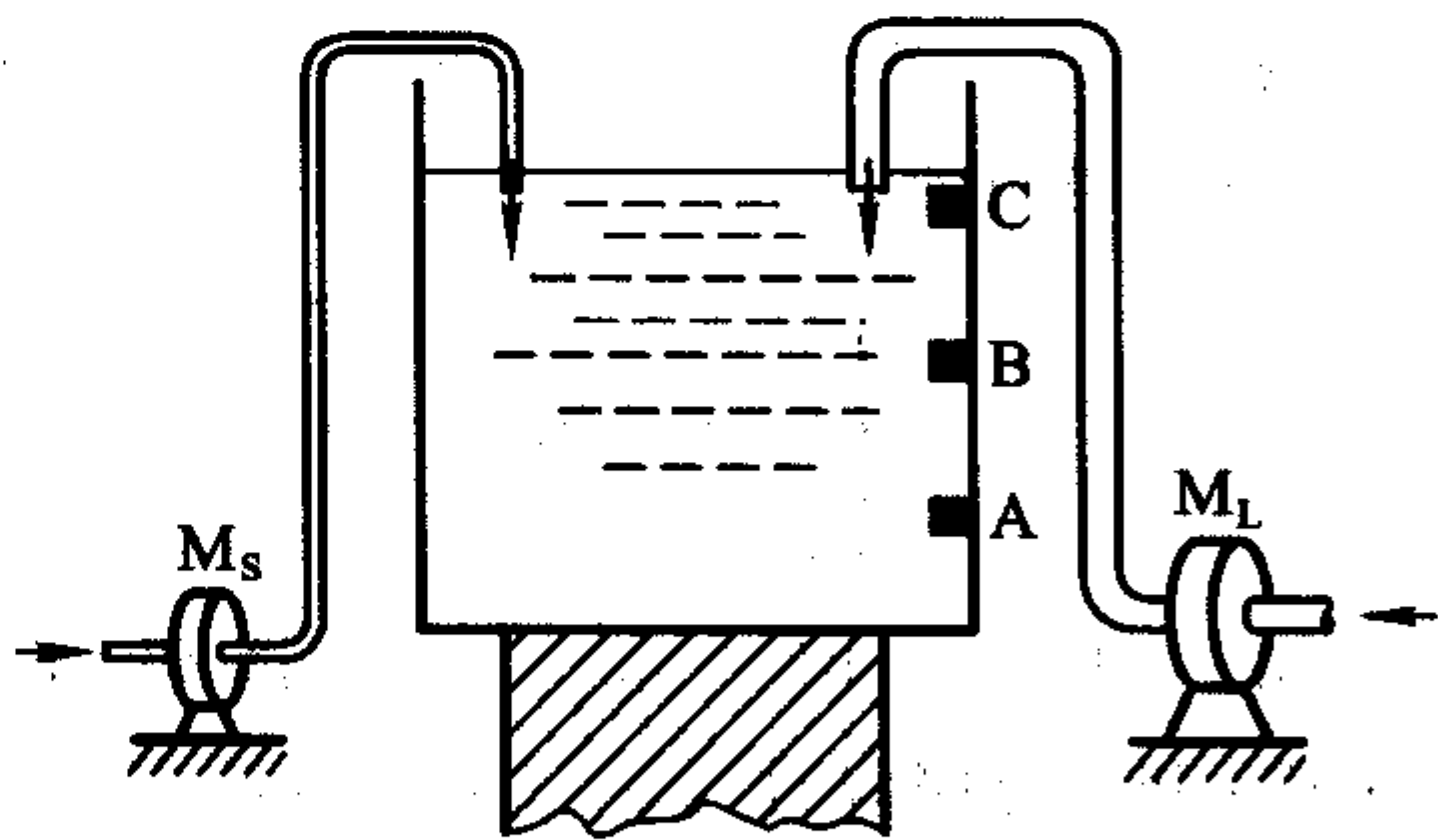


图 P4.6

[题 4.10] 写出图 P4.10 中 Z_1 、 Z_2 、 Z_3 的逻辑函数式,并化简为最简的与或表达式。译码器 74HC42 的逻辑图见图 4.3.11。

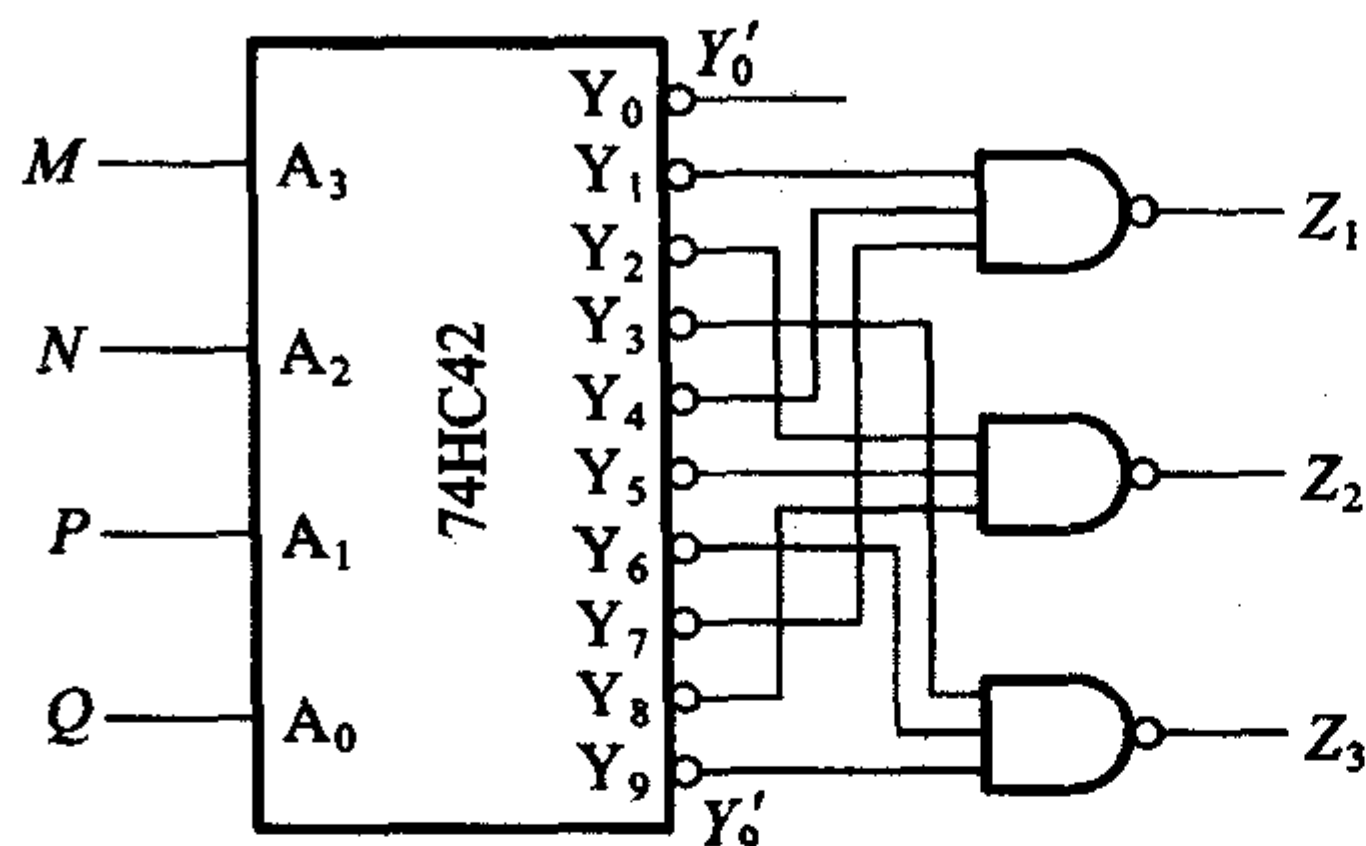


图 P4.10

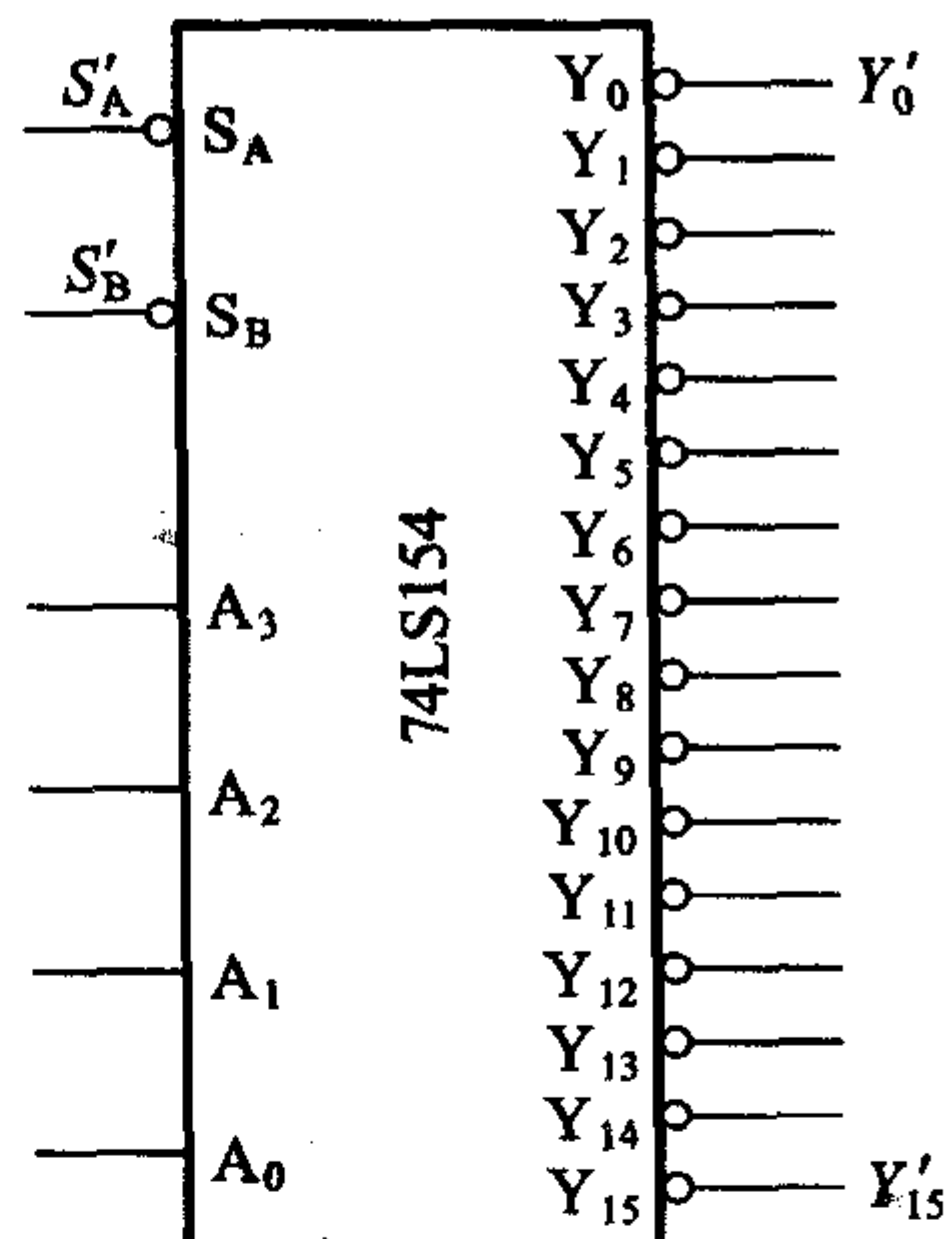


图 P4.11

[题 4.11] 画出用两片 4 线 - 16 线译码器 74LS154 组成 5 线 - 32 线译码器的接线图。图 P4.11 是 74LS154 的逻辑框图, 图中的 S'_A 、 S'_B 是两个控制端(亦称片选端), 译码器工作时应使 S'_A 和 S'_B 同时为低电平。当输入信号 $A_3A_2A_1A_0$ 为 0000 ~ 1111 这 16 种状态时, 输出端从 Y'_0 到 Y'_{15} 依次给出低电平输出信号。

[题 4.12] 试画出用 3 线 - 8 线译码器 74HC138(见图 4.3.8) 和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = AC \\ Y_2 = A'B'C + AB'C' + BC \\ Y_3 = B'C' + ABC' \end{cases}$$

[题 4.13] 画出用 4 线 - 16 线译码器 74LS154(参见题 4.11) 和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = A'B'C'D + A'B'CD' + AB'C'D' + A'BC'D' \\ Y_2 = A'BCD + AB'CD + ABC'D + ABCD' \\ Y_3 = A'B \end{cases}$$

[题 4.14] 用 3 线 - 8 线译码器 74HC138 和门电路设计 1 位二进制全减器电路。输入为被减数、减数和来自低位的借位; 输出为两数之差和向高位的借位信号。

[题 4.15] 试用两片双 4 选 1 数据选择器 74HC153 和 3 线 - 8 线译码器 74HC138 接成 16 选 1 的数据选择器。74HC153 的逻辑图见图 4.3.21, 74HC138 的逻辑图见图 4.3.8。

[题 4.16] 分析图 P4.16 电路, 写出输出 Z 的逻辑函数式。74HC151 为 8 选 1 数据

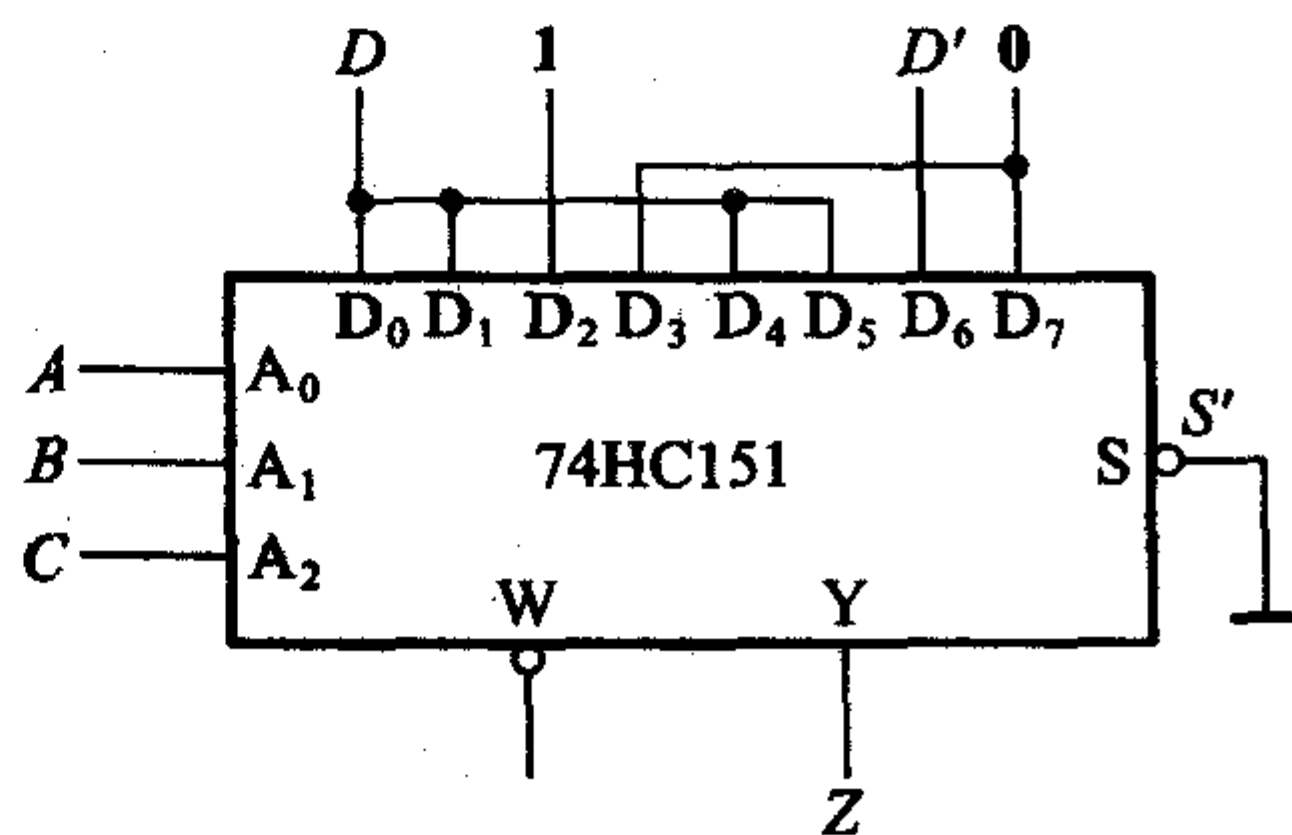


图 P4.16

选择器,它的逻辑图见图 4.3.24,输出的逻辑函数式见式(4.3.22)。

[题 4.17] 图 P4.17 是用两个 4 选 1 数据选择器组成的逻辑电路,试写出输出 Z 与输入 M 、 N 、 P 、 Q 之间的逻辑函数式。已知数据选择器的逻辑函数式为

$$Y = [D_0 A_1' A_0' + D_1 A_1' A_0 + D_2 A_1 A_0' + D_3 A_1 A_0] \cdot S$$

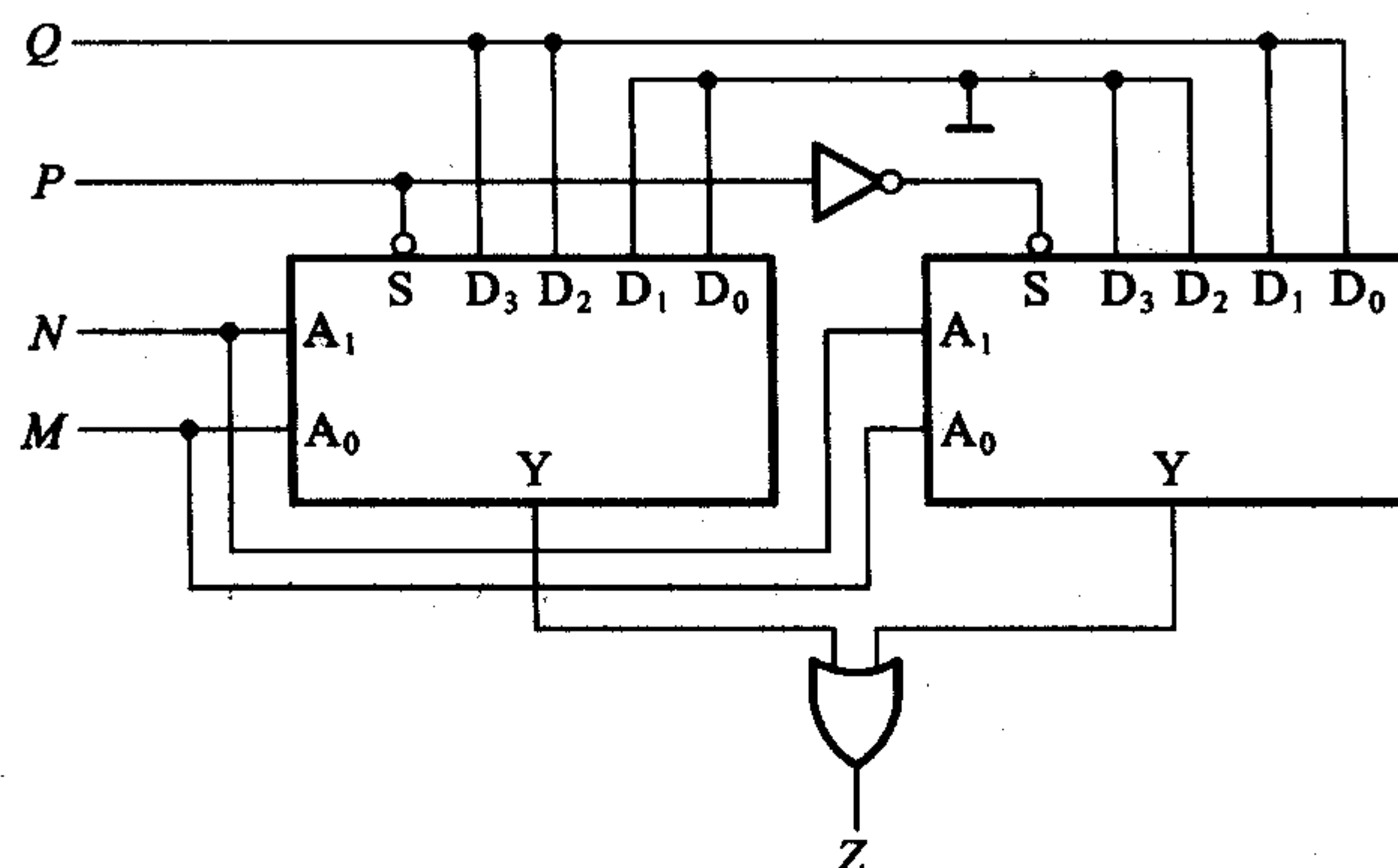


图 P4.17

[题 4.18] 试用 4 选 1 数据选择器产生逻辑函数

$$Y = AB' C' + A' C' + BC$$

[题 4.19] 用 8 选 1 数据选择器 74HC151(见图 4.3.24)产生逻辑函数

$$Y = AC'D + A'B'CD + BC + BC'D'$$

[题 4.20] 用 8 选 1 数据选择器 74HC151(见图 4.3.24)产生逻辑函数

$$Y = AC + A'BC' + A'B'C$$

[题 4.21] 设计用 3 个开关控制一个电灯的逻辑电路,要求改变任何一个开关的状态都能控制电灯由亮变灭或者由灭变亮。要求用数据选择器来实现。

[题 4.22] 人的血型有 A、B、AB、O 四种。输血时输血者的血型与受血者血型必须符合图 P4.22 中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路,判断输血者与受血者的血型是否符合上述规定。(提示:可以用两个逻辑变量的四种取值表示输血者的血型,用另外两个逻辑变量的四种取值表示受血者的血型。)

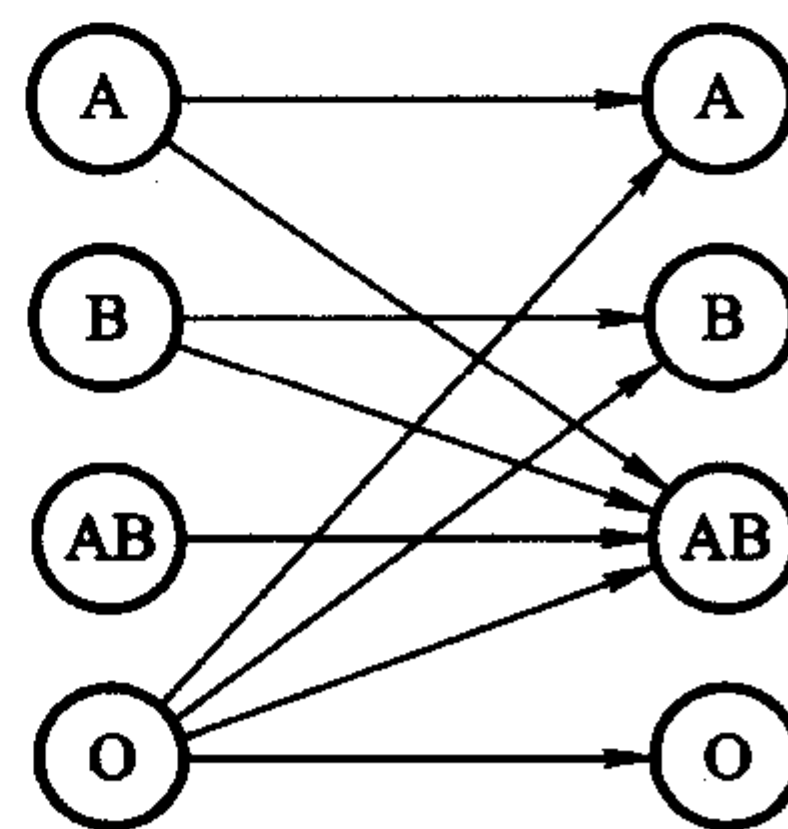


图 P4.22

[题 4.23] 用 8 选 1 数据选择器 74HC151(见图 4.3.24)设计一个组合逻辑电路。该电路有 3 个输入逻辑变量 A 、 B 、 C 和 1 个工作状态控制变量 M 。当 $M = 0$ 时电路实现“意见一致”功能(A 、 B 、 C 状态一致时输出为 1,否则输出为 0),而 $M = 1$ 时电路实现“多数表决”功能,即输出与 A 、 B 、 C 中多数的状态一致。

[题 4.24] 用 8 选 1 数据选择器设计一个函数发生器电路,它的功能如表 P4.24 所示。