

$$t_{PLH} = 2t_{pd}$$

$$t_{PHL} = 3t_{pd}$$

5.7.3 主从触发器的动态特性

在 5.4 节中曾经讲过,主从结构触发器是分两步动作的: $CLK = 1$ 期间主触发器按输入信号 (S 、 R 或者 J 、 K) 的状态翻转,待 CLK 变为 0 时从触发器再按主触发器的状态翻转,使输出端改变状态。而且,为避免 CLK 下降沿到达时主触发器的状态与 J 、 K 的状态不符,通常应使 J 、 K 的状态在 $CLK = 1$ 期间保持不变。由此不难得出下面的结论。

一、建立时间

建立时间是指输入信号应先于 CLK 动作沿到达的时间,用 t_{set} 表示。由图 5.7.3 可见,由于主触发器是一个同步 SR 触发器,根据前面讲的同步 SR 触发器对输入信号宽度的要求,为保证 CLK 下降沿到达时主触发器能可靠地翻转, J 、 K 信号至少应在 CLK 下降沿以前 $2t_{pd}$ 时间已稳定建立,并在 CLK 下降沿到达前保持不变,因此有

$$t_{set} \geq 2t_{pd}$$

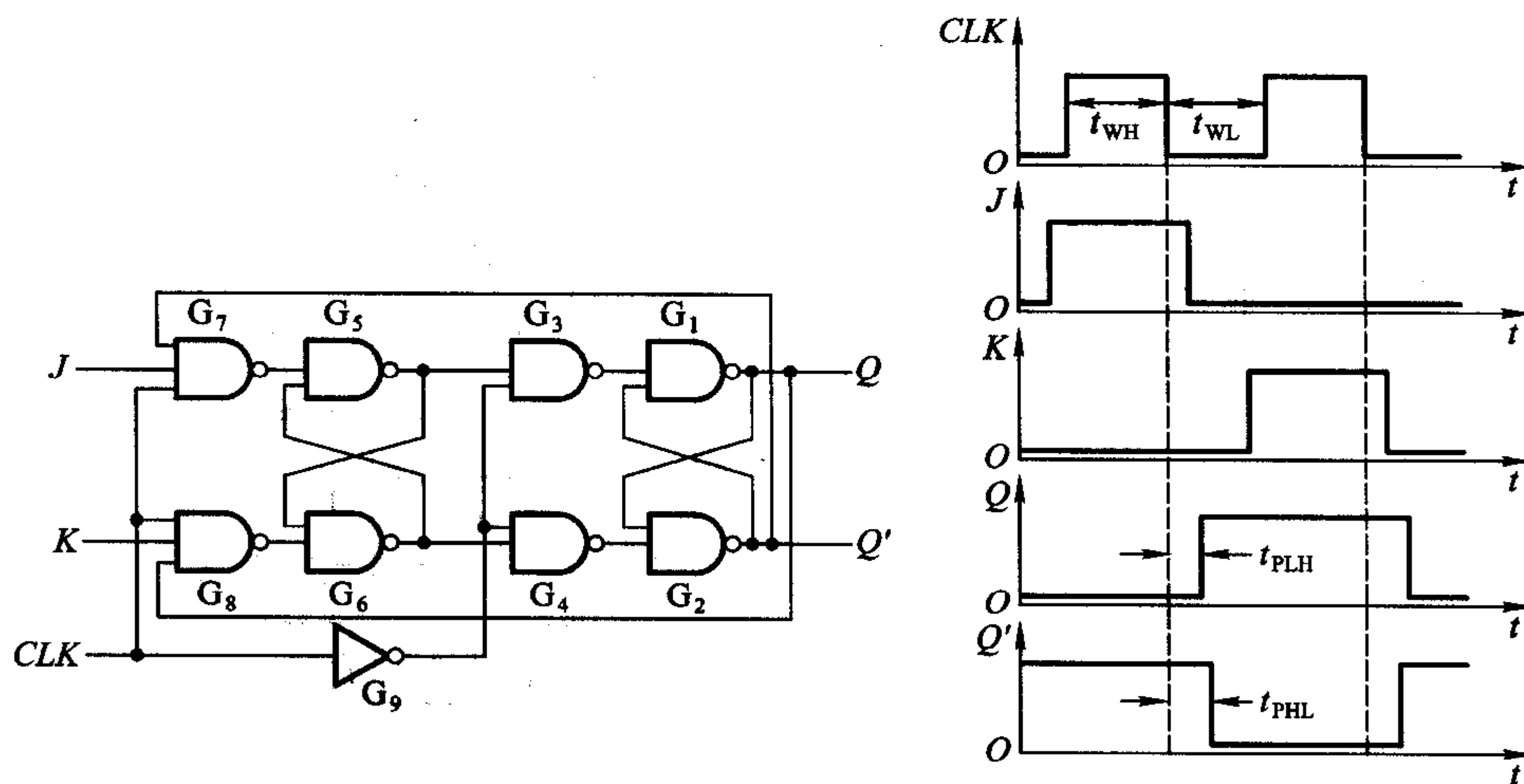


图 5.7.3 主从 JK 触发器的电路和动态波形

二、保持时间

保持时间是指 CLK 下降沿到达后输入信号仍需要保持不变的时间。保持时间用 t_H 表示。如果 $CLK = 1$ 期间 J 、 K 的状态保持不变,由于 CLK 下降沿到达后主触发器已翻转完毕,因而输入状态已无须继续保持。但为了避免 CLK 下降

沿到达时门 G_7 、 G_8 的输入产生竞争现象,必须在 CLK 变成低电平以后 J 、 K 的状态才允许变化。因此,保持时间必须大于 CLK 的下降时间 t_f ,即

$$t_H \geq t_f$$

三、传输延迟时间

若将从 CLK 下降沿开始到输出端新状态稳定地建立起来的这段时间定义为传输延迟时间,则有

$$t_{PLH} = 3t_{pd}$$

$$t_{PHL} = 4t_{pd}$$

四、最高时钟频率

因为主从触发器是由两个同步 SR 触发器组成的,所以由同步 SR 触发器的动态特性可知,为保证主触发器的可靠翻转, CLK 高电平的持续时间 t_{WH} 应大于 $3t_{pd}$ 。同理,为保证从触发器能可靠地翻转, CLK 低电平的持续时间 t_{WL} 也应大于 $3t_{pd}$ 。因此,时钟信号的最小周期为

$$T_{C(\min)} \geq 6t_{pd}$$

最高时钟频率

$$f_{C(\max)} \leq 1/(6t_{pd})$$

如果把图 5.7.3 所示的 JK 触发器接成 T 触发器使用并令 $T=1$ (即将 J 与 K 相连并接至高电平),则最高时钟频率还要低一些。因为从 CLK 的下降沿开始到输出端的新状态稳定建立所需时间为 $t_{PHL} = 4t_{pd}$,如果 CLK 信号的占空比为 50%,那么 CLK 信号的最高频率只能达到

$$f_{C(\max)} = \frac{1}{2t_{PHL}} = \frac{1}{8t_{pd}}$$

5.7.4 维持阻塞触发器的动态特性

一、建立时间

由图 5.7.4 所示维持阻塞触发器的电路可见,由于 CLK 信号是加到门 G_3 和 G_4 上的,因而在 CLK 上升沿到达之前门 G_5 和 G_6 输出端的状态必须稳定地建立起来。输入信号到达 D 端以后,要经过一级门电路的传输延迟时间 G_6 的输出状态才能建立起来,而 G_5 的输出状态需要经过两级门电路的传输延迟时间才能建立,因此 D 端的输入信号必须先于 CLK 的上升沿到达,而且建立时间应满足

$$t_{set} \geq 2t_{pd}$$

二、保持时间

由图 5.7.4 可知,为实现边沿触发,应保证 $CLK=1$ 期间门 G_6 的输出始终不变,不受 D 端状态变化的影响。

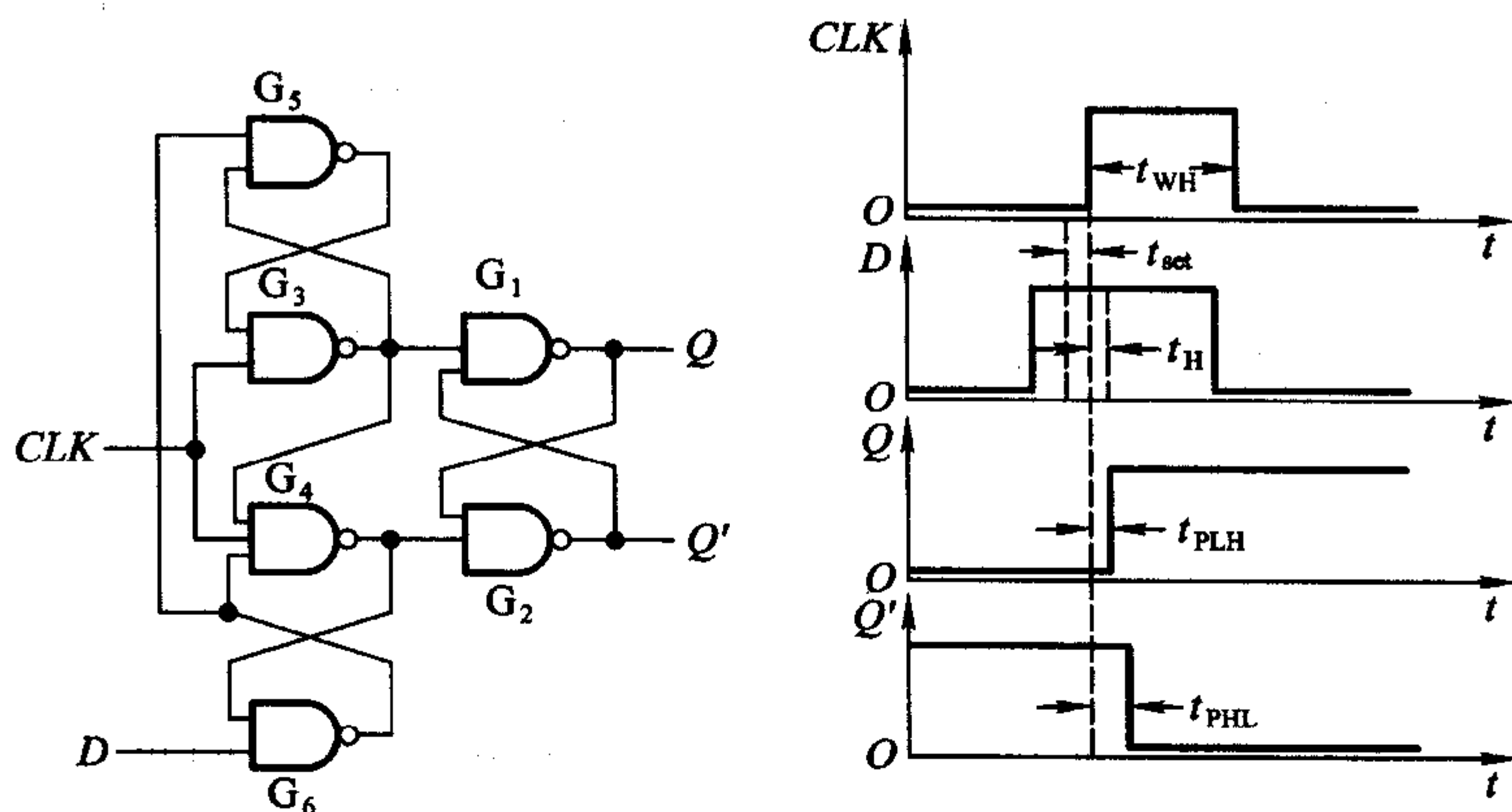


图 5.7.4 维持阻塞 D 触发器的电路与动态波形

为此,在 $D=0$ 的情况下,当 CLK 上升沿到达以后还要等门 G_4 输出的低电平返回到门 G_6 的输入端以后, D 端的低电平才允许改变。因此输入低电平信号的保持时间为

$$t_{HL} \geq t_{pd}$$

在 $D=1$ 的情况下,由于 CLK 上升沿到达后 G_3 的输出将 G_4 封锁,所以不求输入信号继续保持不变,故输入高电平信号的保持时间 $t_{HH} = 0$ 。

三、传输延迟时间

由图 5.7.4 不难推算出,从 CLK 上升沿到达时开始计算,输出由高电平变为低电平的传输延迟时间 t_{PHL} 和由低电平变为高电平的传输延迟时间 t_{PLH} 分别是

$$t_{PHL} = 3t_{pd}$$

$$t_{PLH} = 2t_{pd}$$

四、最高时钟频率

为保证由门 $G_1 \sim G_4$ 组成的同步 SR 触发器能可靠地翻转, CLK 高电平的持续时间应大于 t_{PHL} ,所以时钟信号高电平的宽度 t_{WH} 应大于 t_{PHL} 。而为了在下一个 CLK 上升沿到达之前确保门 G_5 和 G_6 新的输出电平得以稳定地建立, CLK 低电平的持续时间不应小于门 G_4 的传输延迟时间和 t_{set} 之和,即时钟信号低电平的宽度 $t_{WL} \geq t_{set} + t_{pd}$ 。因此得到

$$\begin{aligned} f_{C(\max)} &= \frac{1}{t_{WH} + t_{WL}} \\ &= \frac{1}{t_{set} + t_{pd} + t_{PHL}} \end{aligned}$$

$$= \frac{1}{6t_{pd}}$$

最后需要强调说明一点,在实际的集成触发器器件中,每个门的传输延迟时间是不同的。由于内部的逻辑门采用了各种形式的简化电路,所以它们的传输延迟时间比标准输入、输出结构门电路的传输延迟时间要小得多。由于在上面的讨论中假定了所有门电路的传输延迟时间是相等的,所以得出的一些结果只用于定性说明有关的物理概念。每个集成触发器产品的动态参数数值最后要通过实验测定。

本章小结

和门电路一样,触发器也是构成各种复杂数字系统的一种基本逻辑单元。

触发器逻辑功能的基本特点是可以保存 1 位二值信息。因此,又将触发器称为半导体存储单元或记忆单元。

由于输入方式以及触发器状态随输入信号变化的规律不同,各种触发器在具体的逻辑功能上又有所差别。根据这些差异,将触发器分成了 *SR*、*JK*、*T*、*D* 等几种逻辑功能的类型。这些逻辑功能可以用特性表、特性方程或状态转换图描述。

此外,由于电路的结构形式不同,触发器的触发方式也不一样,有电平触发、脉冲触发和边沿触发之分。不同触发方式的触发器在状态的翻转过程中具有不同的动作特点。因此,在选择触发器电路时不仅需要知道它的逻辑功能类型,还必须了解它的触发方式,这样才能掌握它的动作特点,做出正确的设计。我们介绍各种触发器内部电路结构的目的是为了帮助读者更好地理解 and 掌握每种触发方式的动作特点,这些触发器的内部电路不是本章的学习重点。

特别需要指出,触发器的电路结构形式和逻辑功能之间不存在固定的对应关系。同一种逻辑功能的触发器可以用不同的电路结构实现;同一种电路结构的触发器可以实现不同的逻辑功能。不要将某一种电路结构形式同某一种逻辑功能类型等同起来。

触发器的电路结构和触发方式之间的关系是固定的。例如,只要是同步 *SR* 结构,无论逻辑功能如何,就一定是电平触发方式;只要是维持阻塞结构,无论逻辑功能如何,一定是边沿触发方式,等等。因此,只要知道了触发器的电路结构类型,也就知道它的触发方式了。

在 TTL 电路触发器中,因为输入、输出端的电路结构和 TTL 反相器相同(有的输入端内部可能是几个门电路的输入端并联),所以第二章里所讲的 TTL 反相器的输入特性和输出特性对触发器仍然适用。每个输入端、输出端具体的电

气参数可从手册上查到。

在 CMOS 电路触发器中,通常每个输入端、输出端均在器件内部设置了缓冲器,因而它们的输入特性和输出特性和 CMOS 反相器的输入特性和输出特性具有相同的形式,这里不再复述。

为了保证触发器在动态工作时能可靠地翻转,输入信号、时钟信号以及它们在时间上的相互配合应满足一定的要求。这些要求表现在对建立时间、保持时间、时钟信号的宽度和最高工作频率的限制上。对于每个具体型号的集成触发器,可以从手册上查到这些动态参数,在工作时应符合这些参数所规定的条件。

习 题

[题 5.1] 画出图 P5.1 由与非门组成的 SR 锁存器输出端 Q 、 Q' 的电压波形,输入端 S'_D 、 R'_D 的电压波形如图中所示。

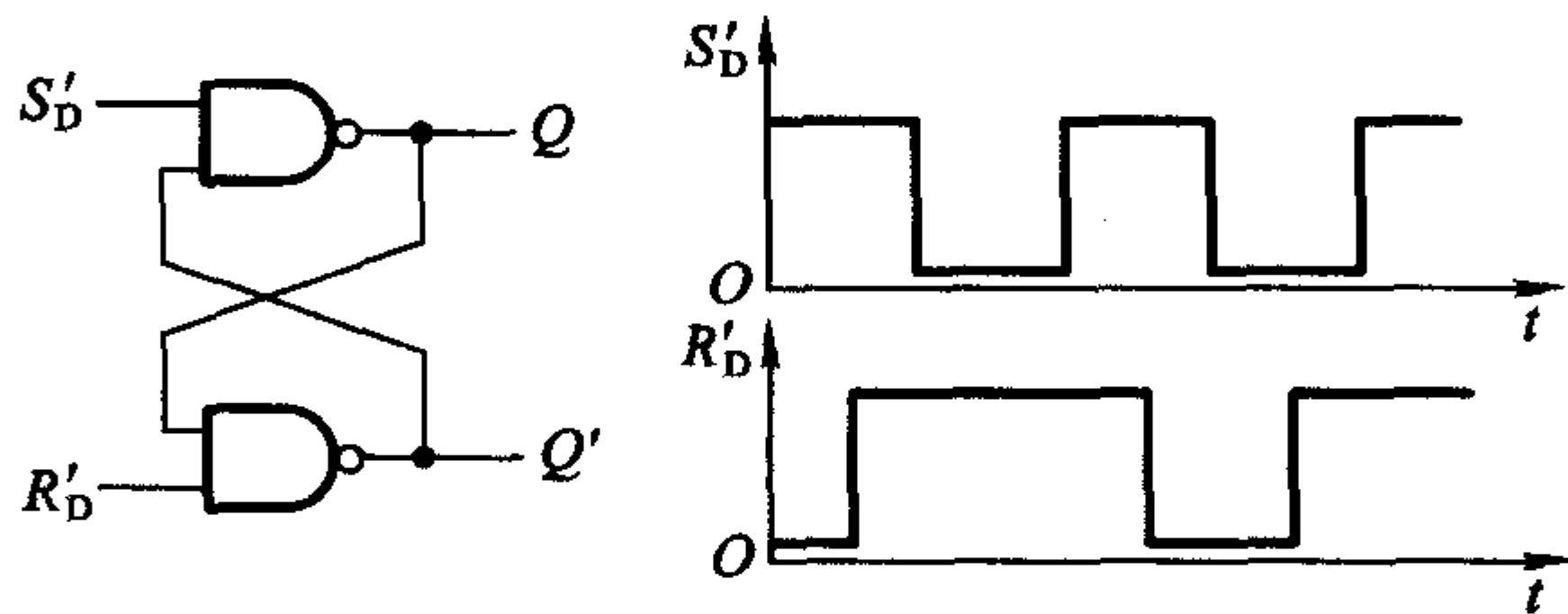


图 P5.1

[题 5.2] 画出图 P5.2 由或非门组成的 SR 锁存器输出端 Q 、 Q' 的电压波形,输入端 S_D 、 R_D 的电压波形如图中所示。

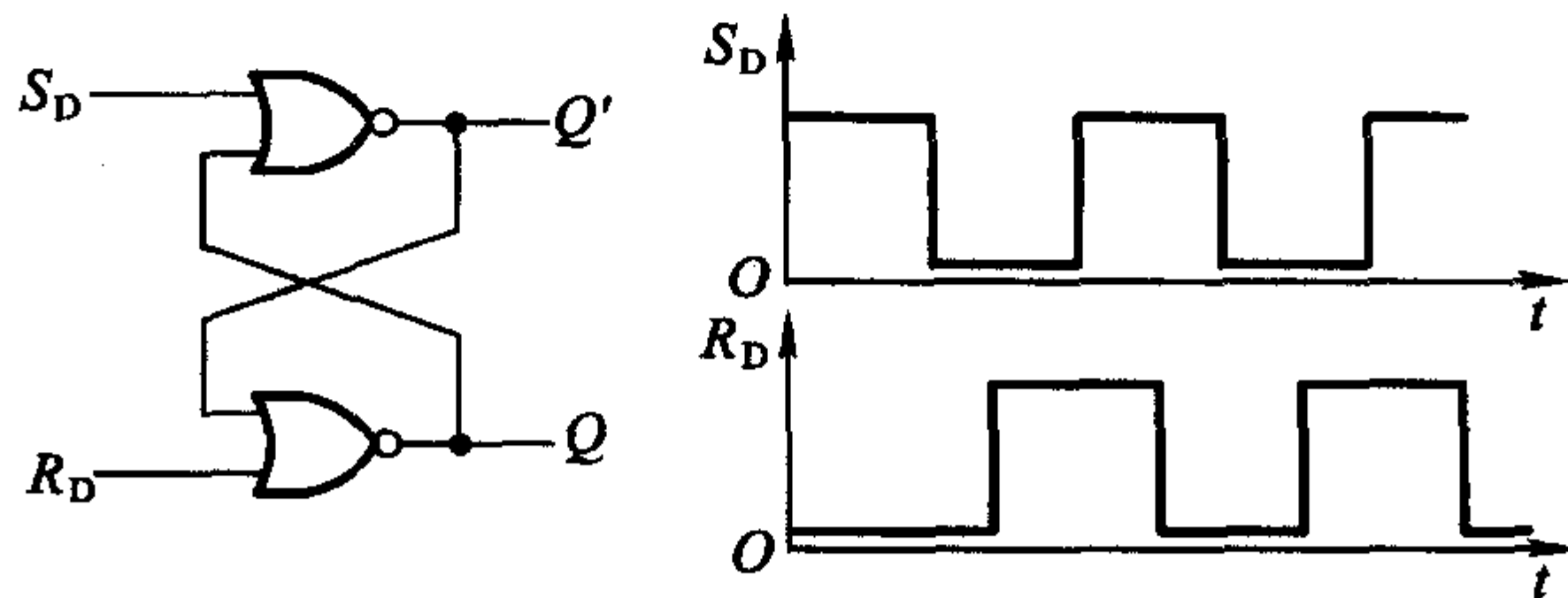


图 P5.2

[题 5.3] 试分析图 P5.3 所示电路的逻辑功能,列出真值表,写出逻辑函数式。

[题 5.4] 图 P5.4 所示为一个防抖动输出的开关电路。当拨动开关 S 时,由于开关触点接通瞬间发生振颤, S'_D 和 R'_D 的电压波形如图中所示,试画出 Q 、 Q' 端对应的电压波形。

[题 5.5] 在图 P5.5 所示电路中,若 CLK 、 S 、 R 的电压波形如图中所示,试画出 Q 和 Q'

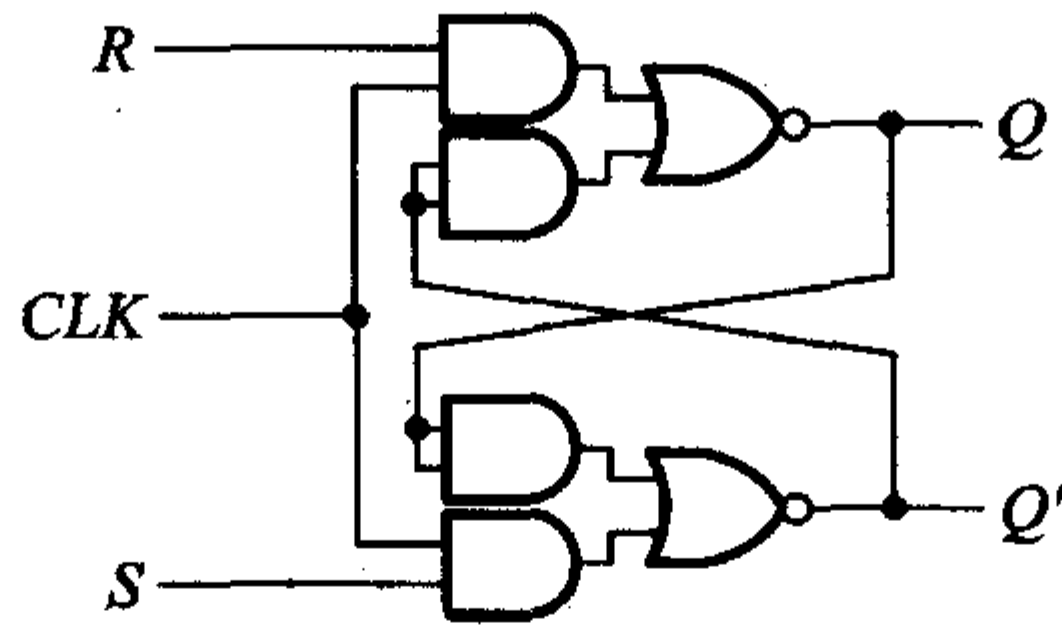


图 P5.3

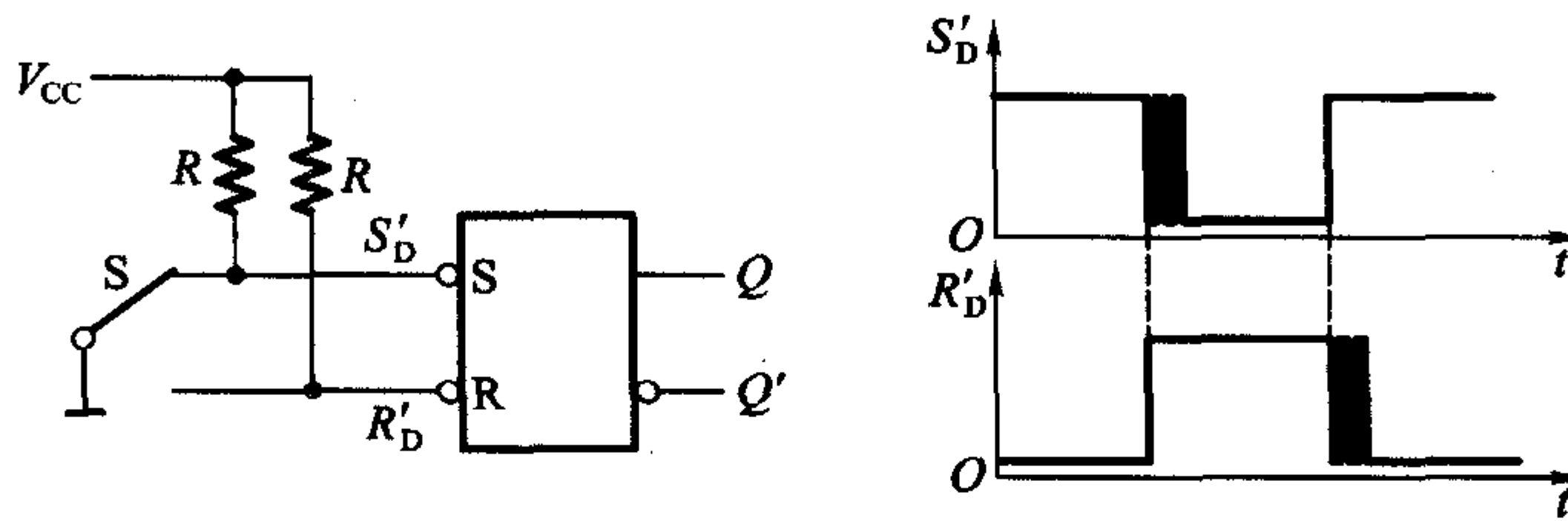


图 P5.4

端与之对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。

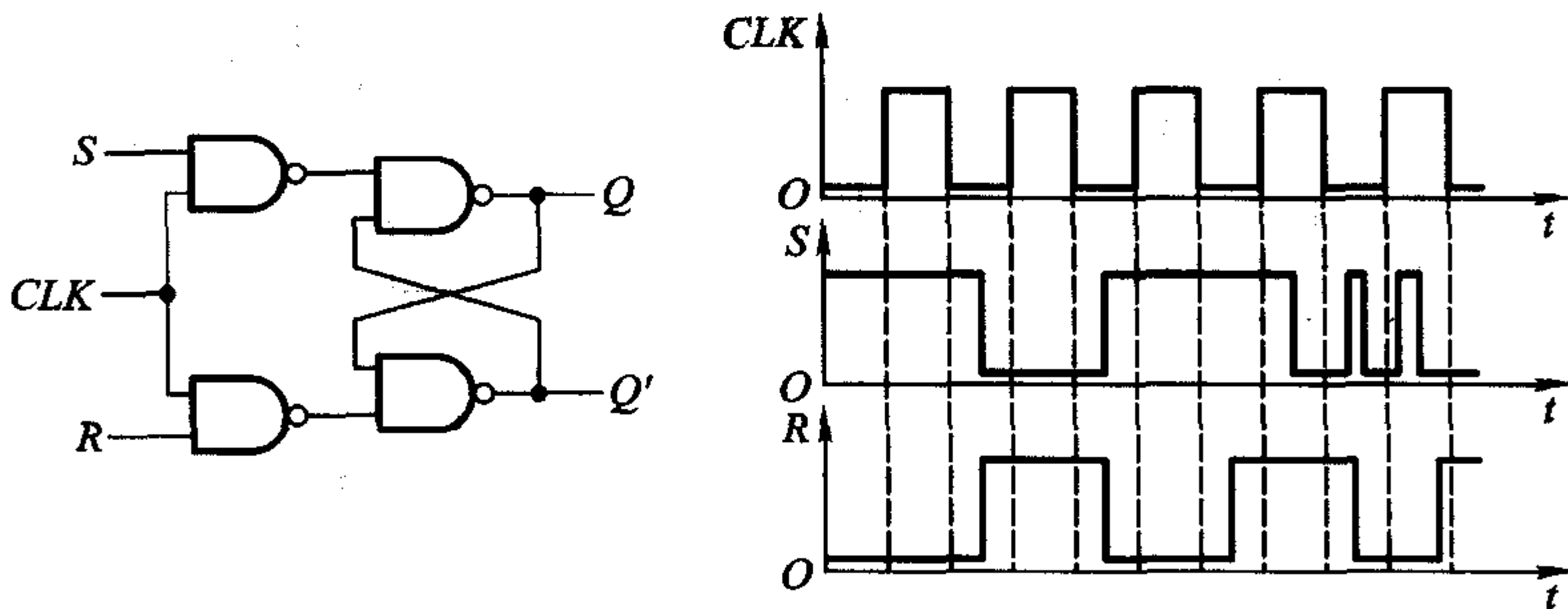


图 P5.5

[题 5.6] 若将电平触发 SR 触发器的 Q 与 R 、 Q' 与 S 相连,如图 P5.6 所示,试画出在

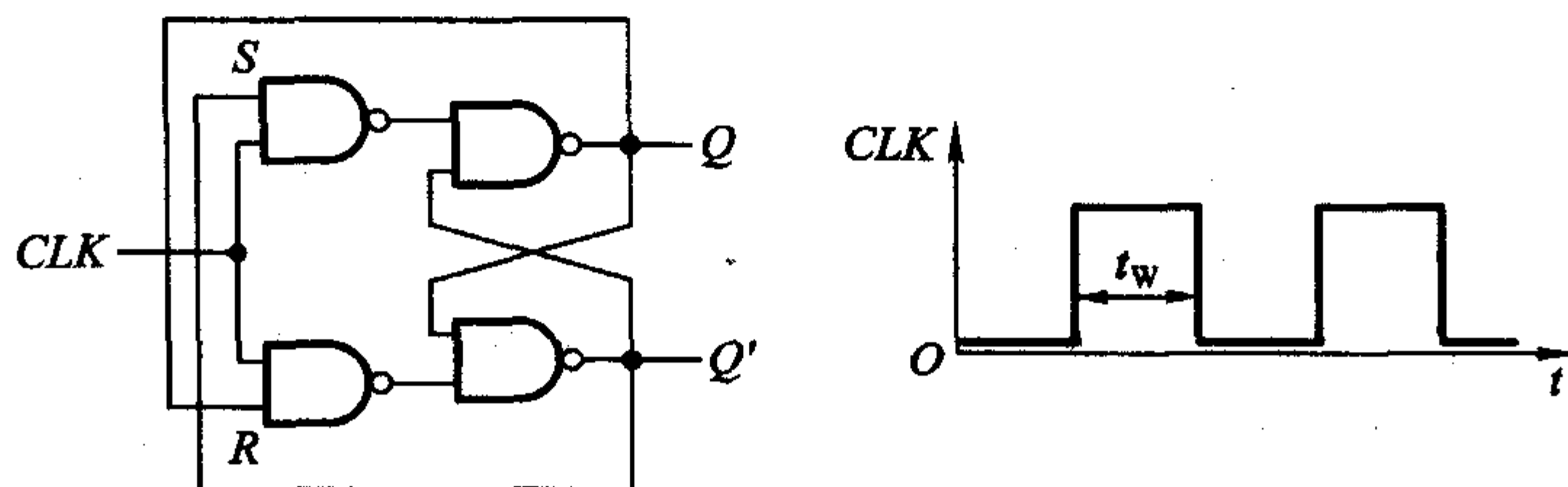


图 P5.6

CLK 信号作用下 Q 和 Q' 端的电压波形。已知 CLK 信号的宽度 $t_w = 4t_{pd}$ 。 t_{pd} 为门电路的平均传输延迟时间,假定 $t_{pd} \approx t_{PHL} \approx t_{PLH}$ 。 设触发器的初始状态为 $Q = 0$ 。

[题 5.7] 若主从结构 SR 触发器各输入端的电压波形如图 P5.7 中所给出,试画出 Q 、 Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

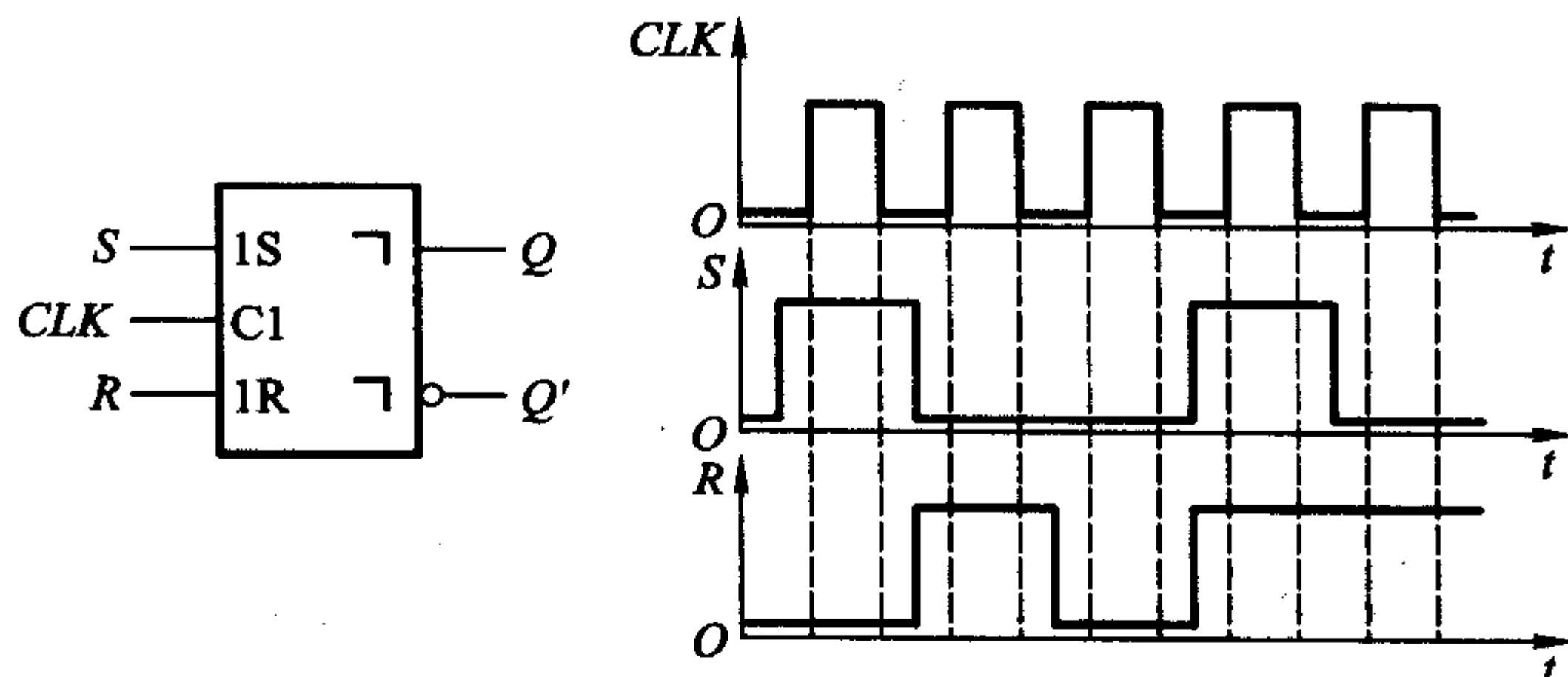


图 P5.7

[题 5.8] 在脉冲触发 SR 触发器电路中,若 S 、 R 、 CLK 端的电压波形如图 P5.8 所示,试画出 Q 、 Q' 端对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。

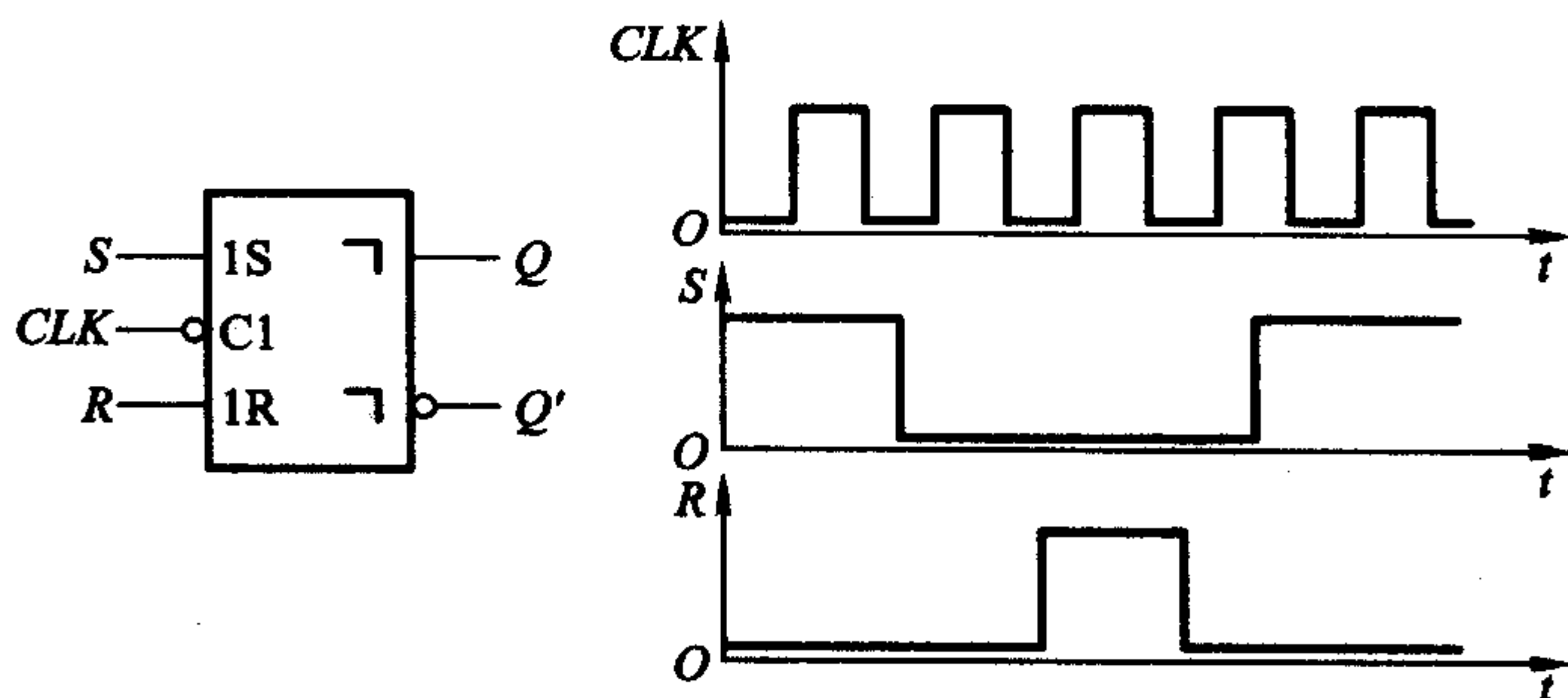


图 P5.8

[题 5.9] 若主从结构 SR 触发器的 CLK 、 S 、 R 、 R'_D 各输入端的电压波形如图 P5.9 所示, $S'_D = 1$, 试画出 Q 、 Q' 端对应的电压波形。

[题 5.10] 在脉冲触发 JK 触发器中,已知 J 、 K 、 CLK 端的电压波形如图 P5.10 所示,试画出 Q 、 Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

[题 5.11] 已知脉冲触发 JK 触发器输入端 J 、 K 和 CLK 的电压波形如图 P5.11 所示,试画出 Q 、 Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

[题 5.12] 若主从结构 JK 触发器 CLK 、 R'_D 、 S'_D 、 J 、 K 端的电压波形如图 P5.12 所示,试画出 Q 、 Q' 端对应的电压波形。

[题 5.13] 已知 CMOS 边沿触发器输入端 D 和时钟信号 CLK 的电压波形如图 P5.13 所示,试画出 Q 和 Q' 端对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。

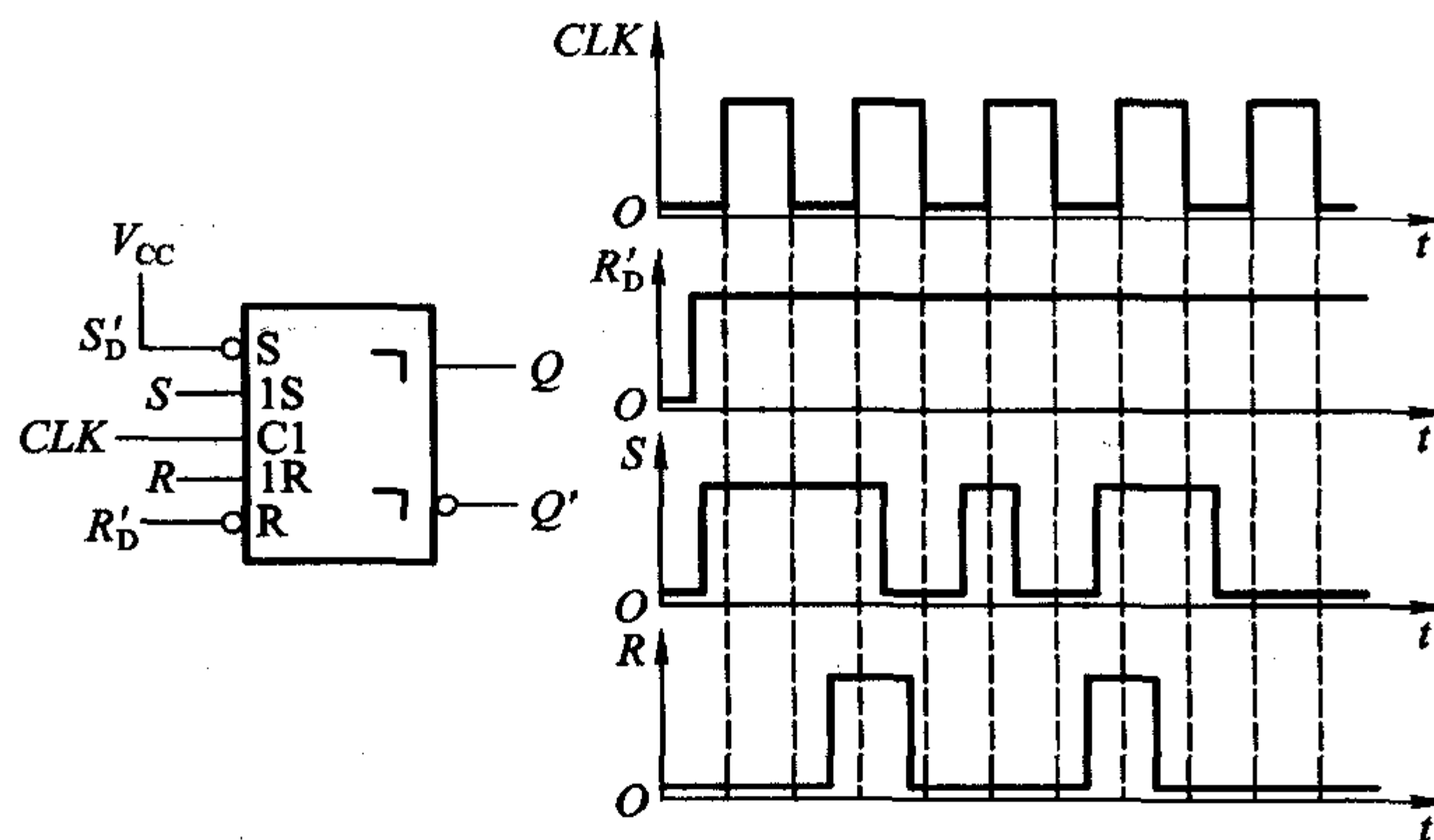


图 P5.9

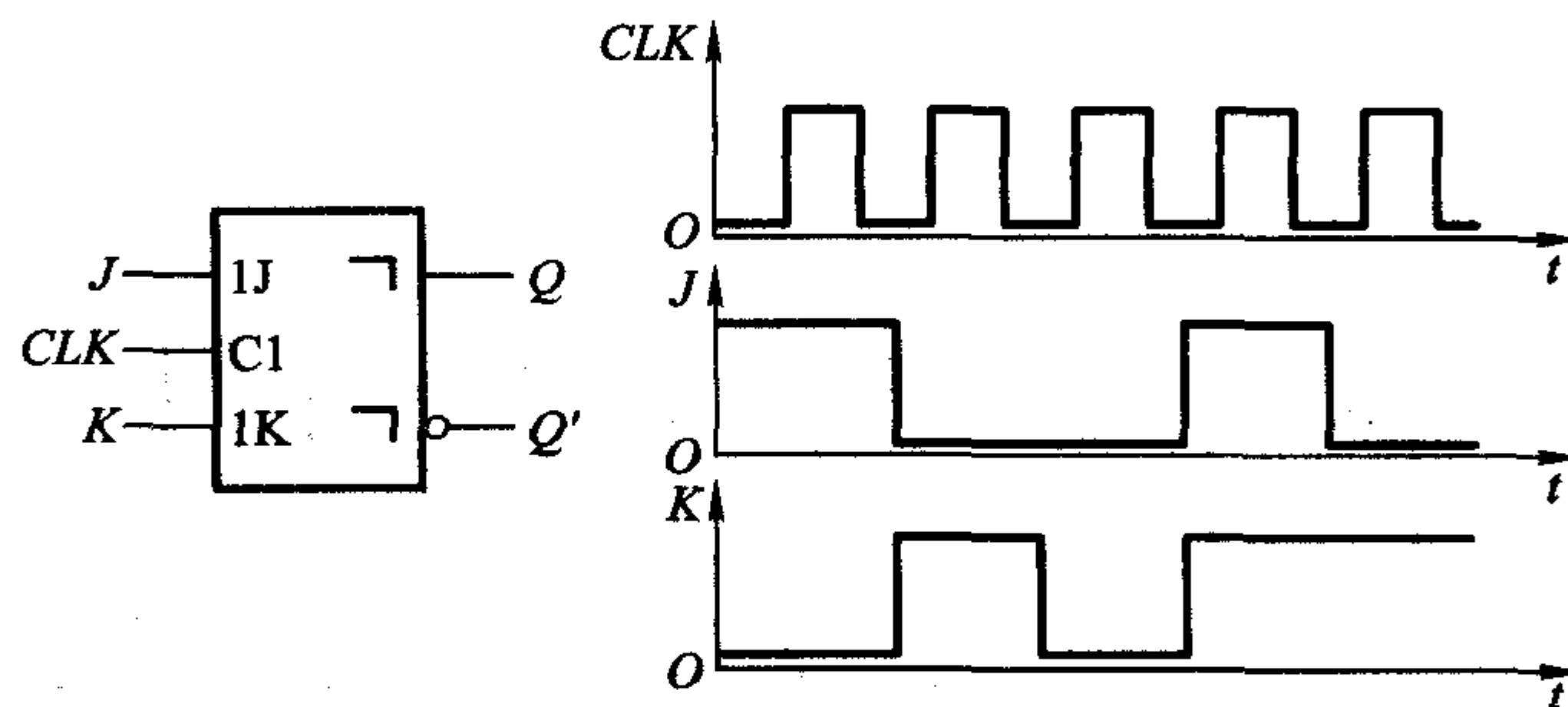


图 P5.10

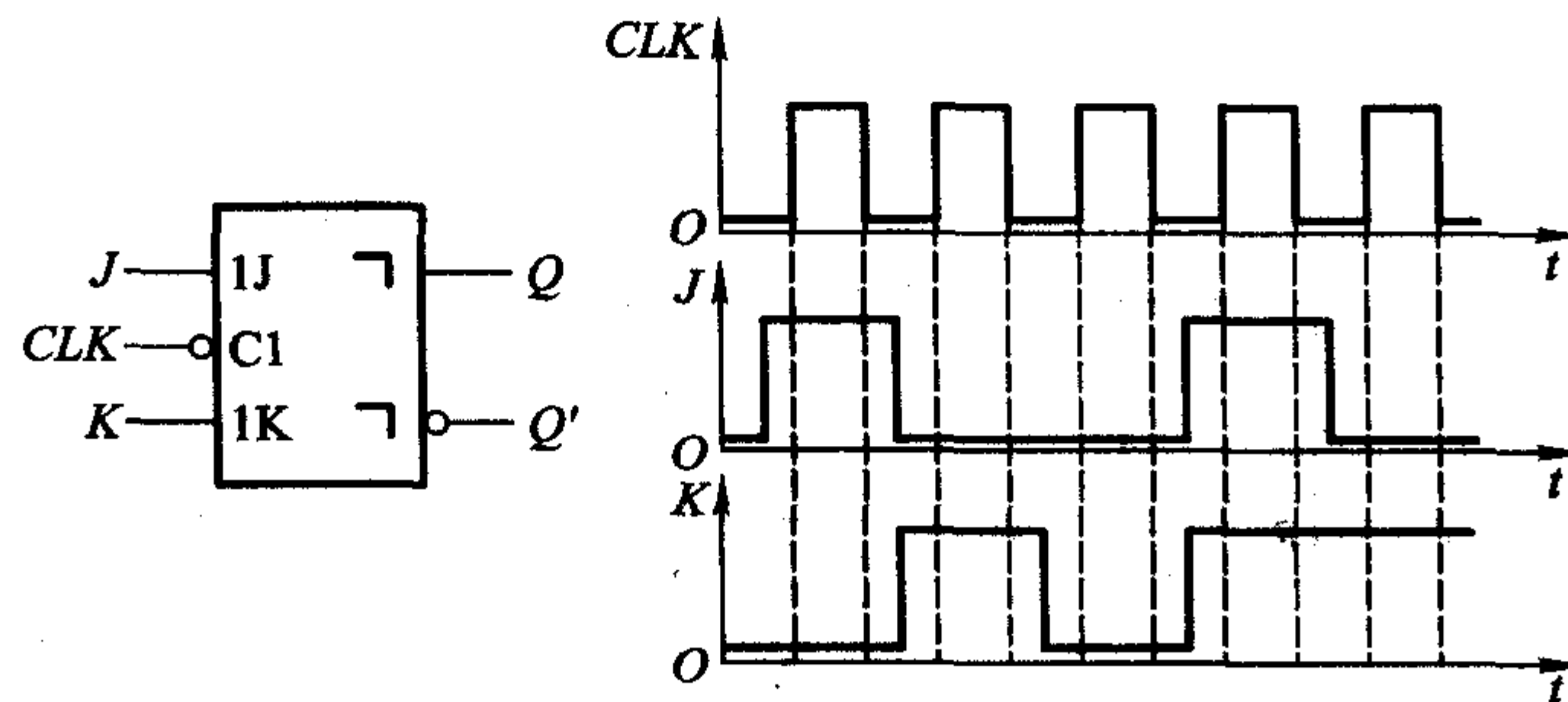


图 P5.11

[题 5.14] 已知维持阻塞结构 D 触发器各输入端的电压波形如图 P5.14 所示, 试画出 Q 、 Q' 端对应的电压波形。

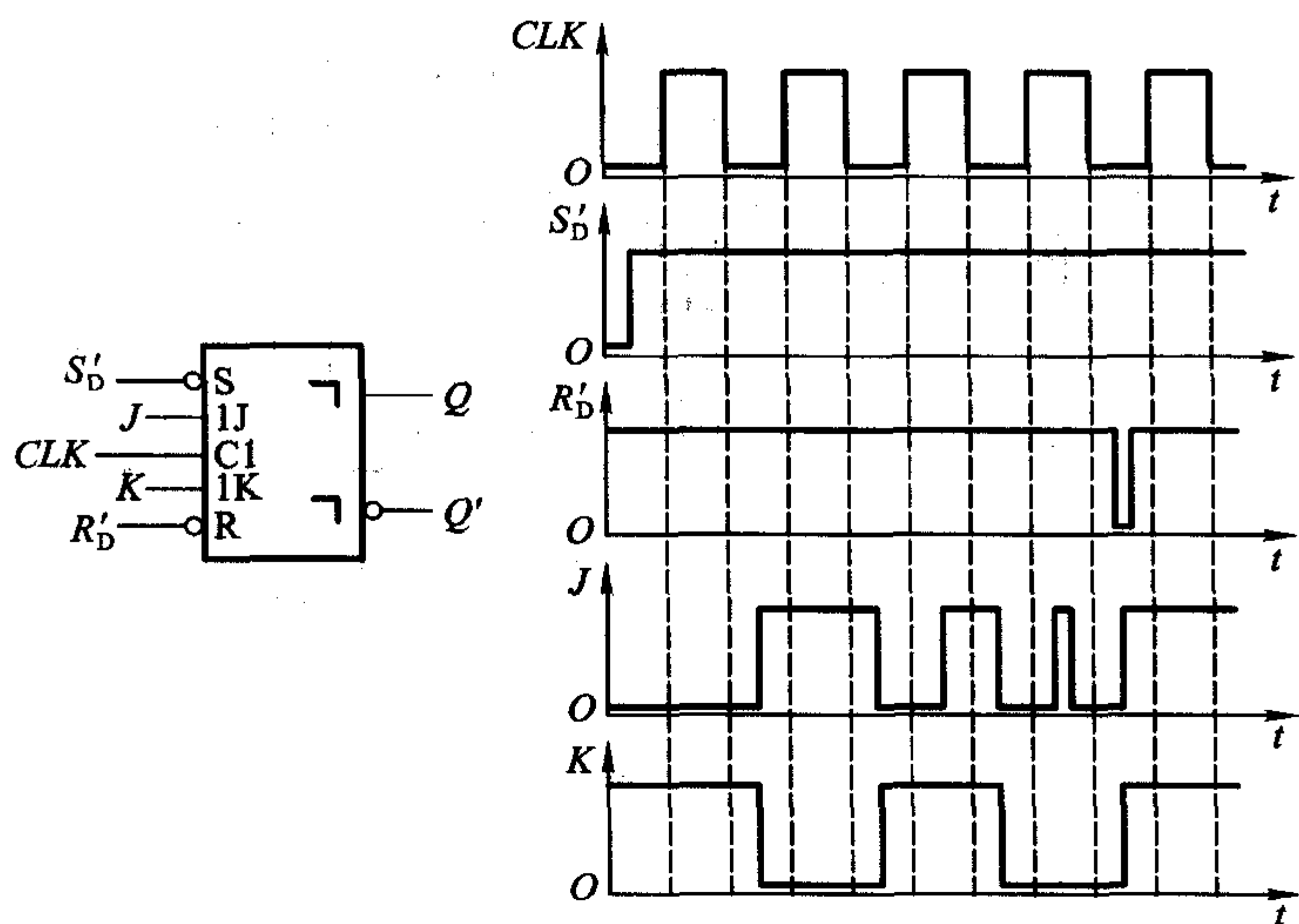


图 P5.12

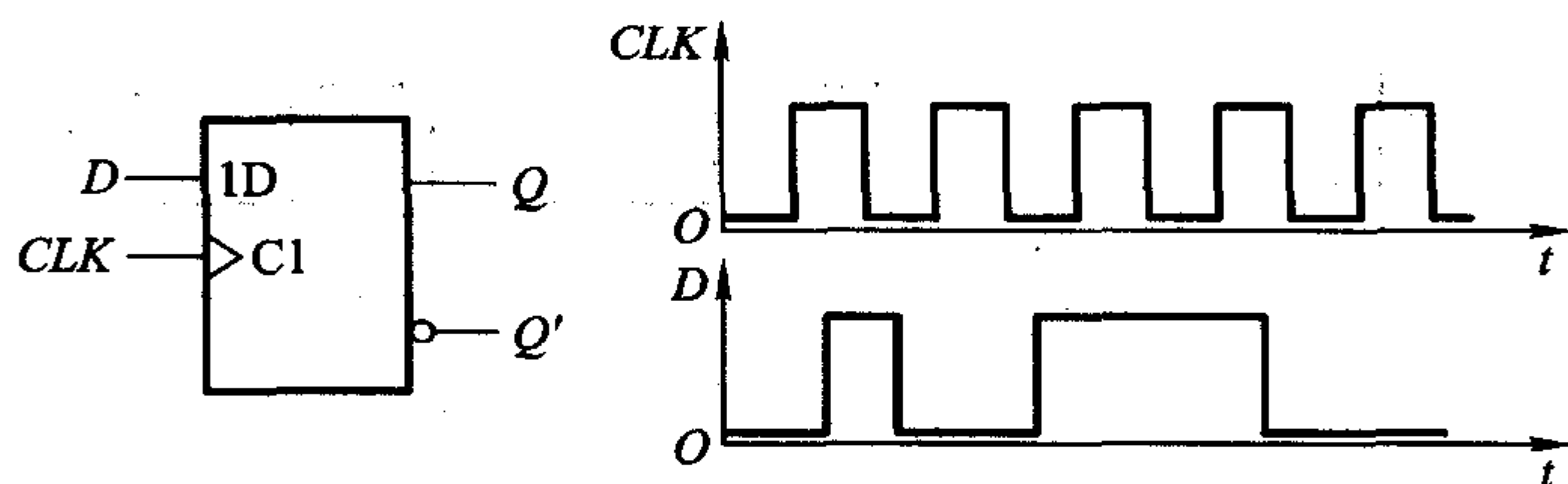


图 P5.13

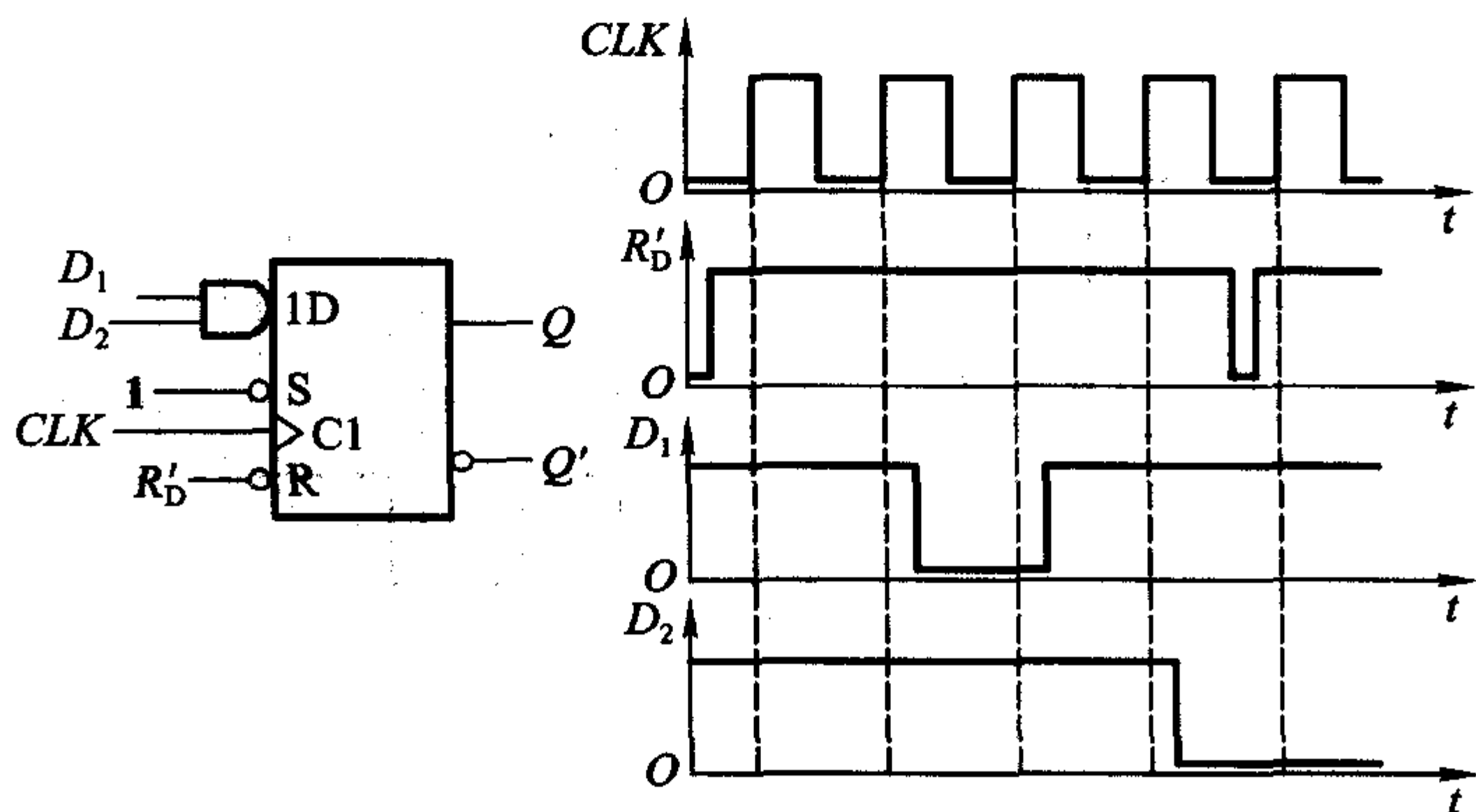


图 P5.14

[题 5.15] 已知 CMOS 边沿触发方式 JK 触发器各输入端的电压波形如图 P5.15 所示, 试画出 Q 、 Q' 端对应的电压波形。

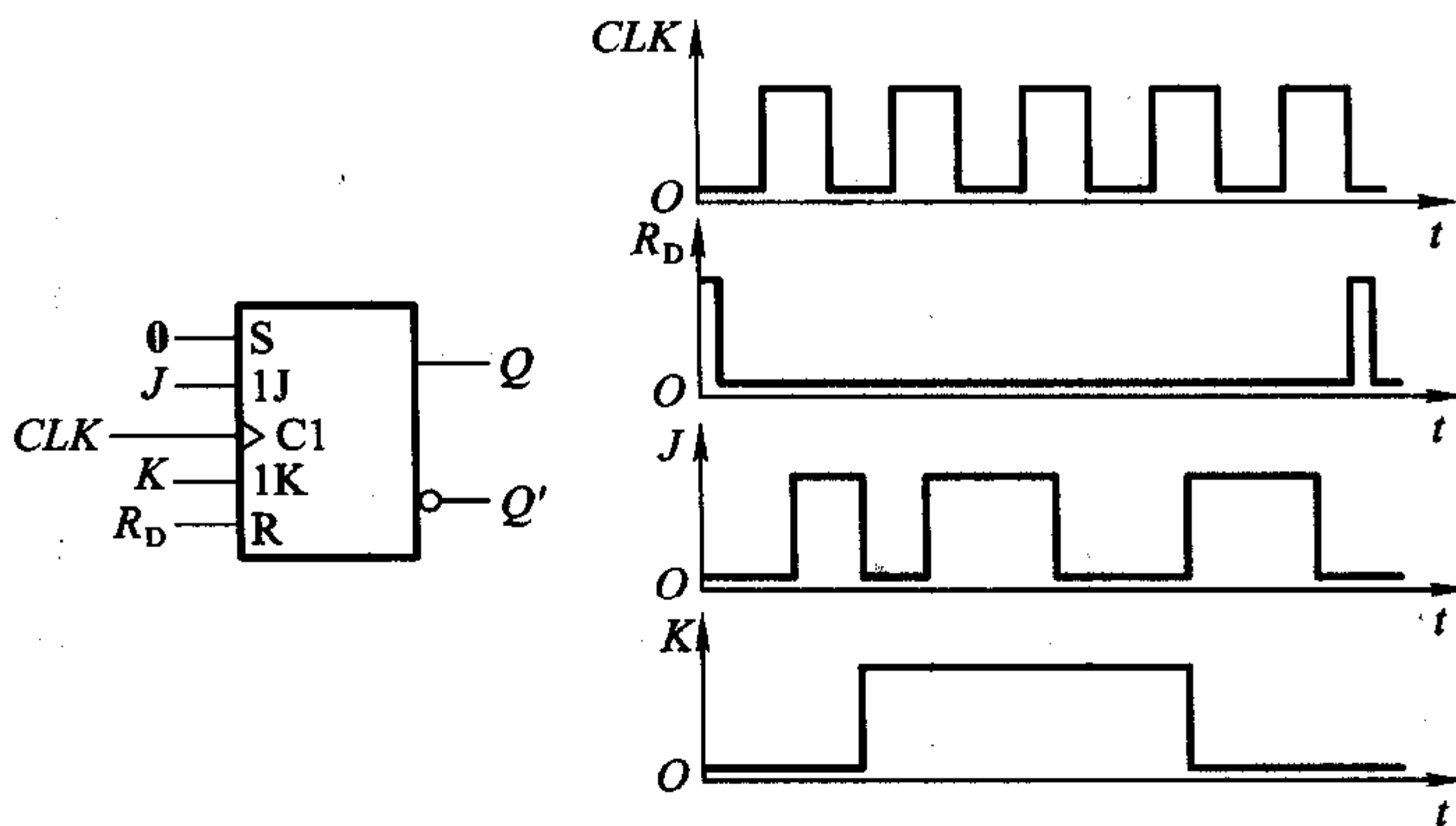


图 P5.15

[题 5.16] 在脉冲触发 T 触发器中, 已知 T 、 CLK 端的电压波形如图 P5.16 所示, 试画出 Q 、 Q' 端对应的电压波形。设触发器的起始状态为 $Q = 0$ 。

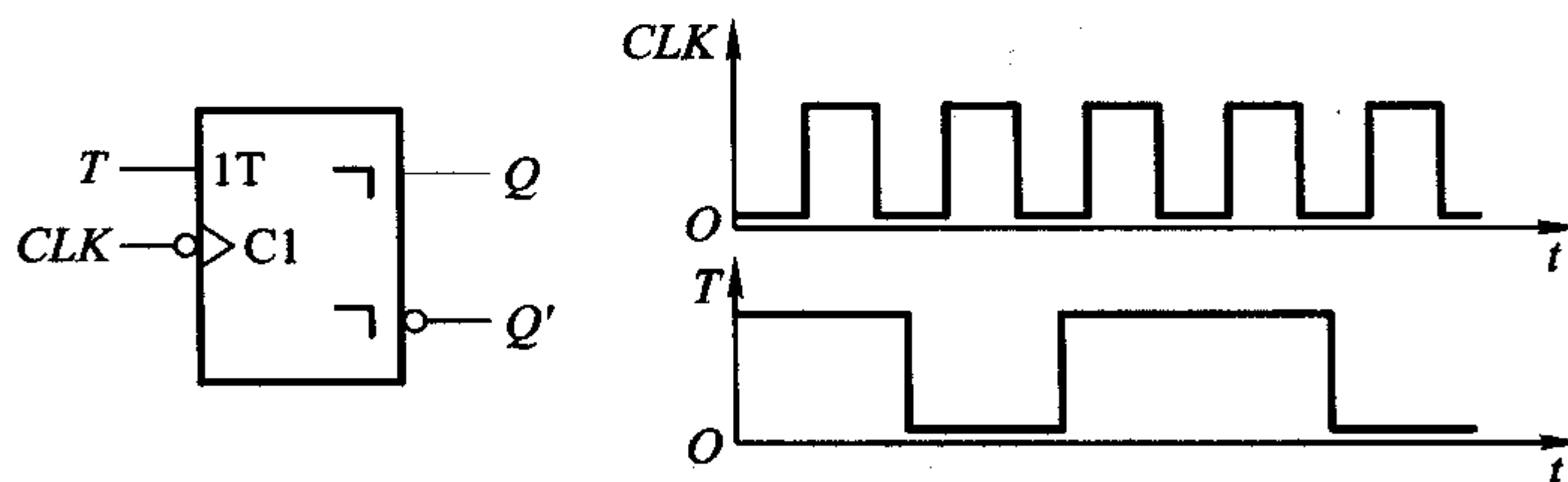


图 P5.16

[题 5.17] 在图 P5.17 所示的主从结构 JK 触发器电路中, 已知 CLK 和输入信号 T 的电压波形如图所示, 试画出触发器输出端 Q 和 Q' 的电压波形。设触发器的起始状态为

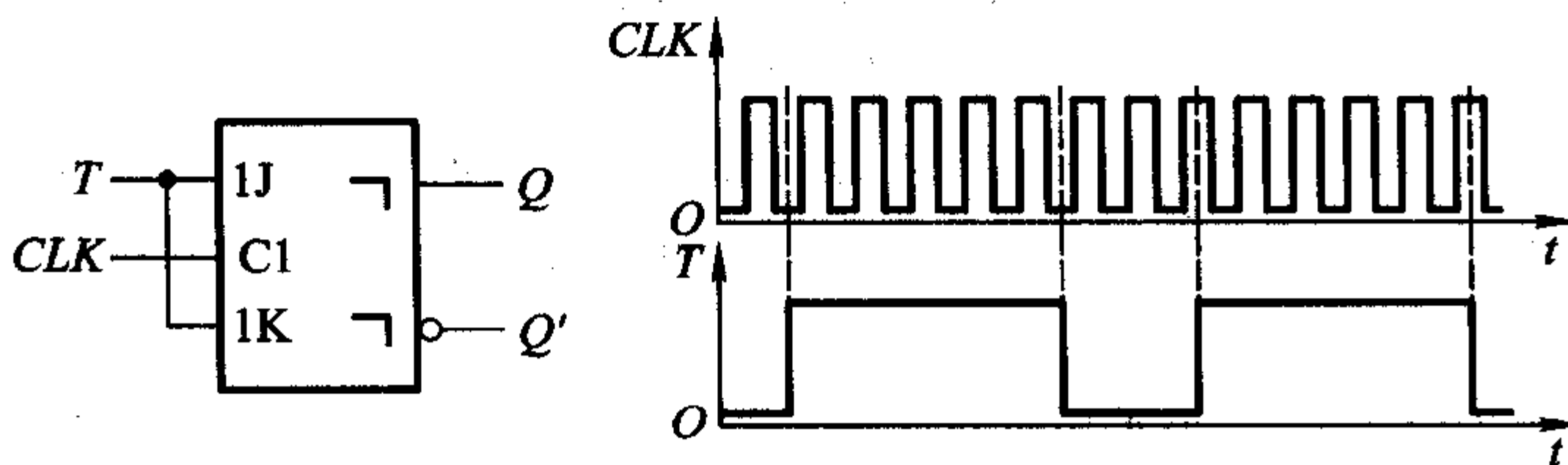


图 P5.17