

时钟脉冲 clk_i , 这个触发器就要翻转一次。由图可见, 对于除 FF_0 以外的每个触发器, 只有在低位触发器全部为 1 时, 计数脉冲 CLK 才能通过与门 $G_1 \sim G_3$ 送到这些触发器的输入端而使之翻转。每个触发器的时钟信号可表示为

$$clk_i = CLK \prod_{j=0}^{i-1} Q_j \quad (i = 1, 2, \dots, n-1) \quad (6.3.5)$$

式中的 clk_i 只表示一个完整的时钟脉冲, 既不表示高电平也不表示低电平, CLK 即输入的计数脉冲。

根据二进制减法计数规则, 在 n 位二进制减法计数器中, 只有当第 i 位以下各位触发器同时为 0 时, 再减 1 才能使第 i 位触发器翻转。因此, 采用控制 T 端方式组成同步二进制减法计数器时, 第 i 位触发器输入端 T_i 的逻辑式应为

$$\begin{aligned} T_i &= Q'_{i-1} \cdot Q'_{i-2} \cdot \dots \cdot Q'_1 \cdot Q'_0 \\ &= \prod_{j=0}^{i-1} Q'_j \quad (i = 1, 2, \dots, n-1) \end{aligned} \quad (6.3.6)$$

同理, 采用控制时钟方式组成同步二进制减法计数器时, 各触发器的时钟信号可写成

$$clk_i = CLK \prod_{j=0}^{i-1} Q'_j \quad (i = 1, 2, \dots, n-1) \quad (6.3.7)$$

图 6.3.15 所示电路是根据式 (6.3.6) 接成的同步二进制减法计数器电路, 其中的 T 触发器是将 JK 触发器的 J 和 K 接在一起作为 T 输入端而得到的。

在有些应用场合要求计数器既能进行递增计数又能进行递减计数, 这就需要做成加/减计数器(或称之为可逆计数器)。

将图 6.3.10 所示加法计数器和图 6.3.15 所示减法计数器的控制电路合并, 再通过一根加/减控制线选择加法计数还是减法计数, 就构成了加/减计数器。图 6.3.16 给出的 4 位同步二进制加/减计数器就是基于这种原理设计成的。由图可知, 当电路处在计数状态时(这时应使 $S' = 0$ 、 $LD' = 1$), 各个触发器输入端的逻辑式为

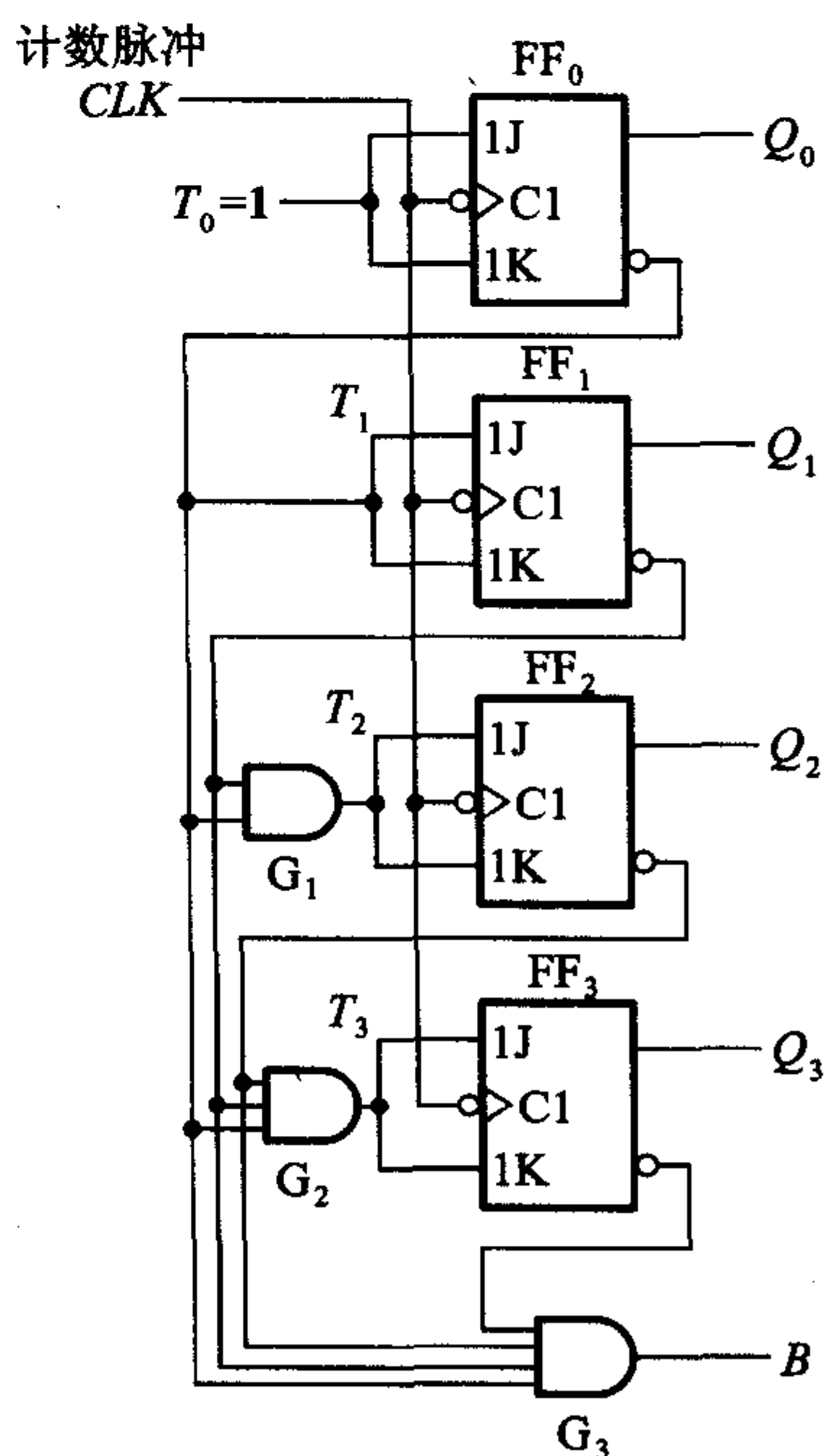


图 6.3.15 用 T 触发器接成的同步二进制减法计数器

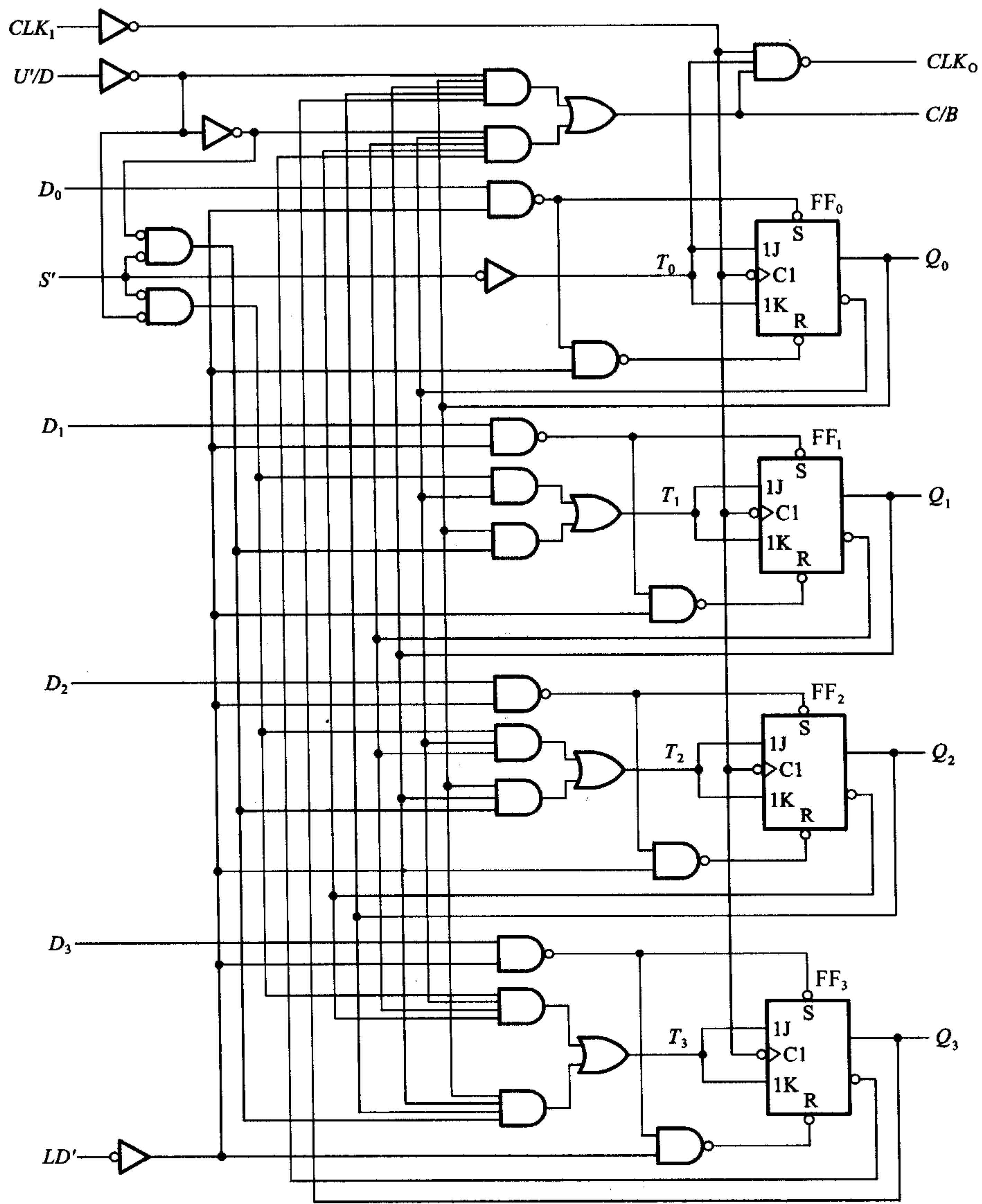


图 6.3.16 单时钟同步十六进制加/减计数器 74LS191 的逻辑图

$$\begin{cases}
 T_0 = 1 \\
 T_1 = (U'/D)' Q_0 + (U'/D) Q_0' \\
 T_2 = (U'/D)'(Q_0 Q_1) + (U'/D)(Q_0' Q_1') \\
 T_3 = (U'/D)'(Q_0 Q_1 Q_2) + (U'/D)(Q_0' Q_1' Q_2')
 \end{cases} \quad (6.3.8)$$

或写成

$$\begin{cases} T_i = (U'/D)' \prod_{j=0}^{i-1} Q_j + (U'/D) \prod_{j=0}^{i-1} Q_j' & (i = 1, 2, \dots, n-1) \\ T_0 = 1 \end{cases} \quad (6.3.9)$$

不难看出,当 $U'/D = 0$ 时上式与式(6.3.1)相同,计数器做加法计数;当 $U'/D = 1$ 时上式与式(6.3.6)相同,计数器做减法计数。

除了能做加/减计数外,74LS191 还有一些附加功能。图中的 LD' 为预置数控制端。当 $LD' = 0$ 时电路处于预置数状态, $D_0 \sim D_3$ 的数据立刻被置入 $FF_0 \sim FF_3$ 中,而不受时钟输入信号 CLK_1 的控制。因此,它的预置数是异步式的,与 74161 的同步式预置数不同。

S' 是使能控制端,当 $S' = 1$ 时 $T_0 \sim T_3$ 全部为 0,故 $FF_0 \sim FF_3$ 保持不变。 C/B 是进位/借位信号输出端(也称最大/最小输出端)。当计数器做加法计数($U'/D = 0$)且 $Q_3 Q_2 Q_1 Q_0 = 1111$ 时, $C/B = 1$,有进位输出;当计数器做减法计数($U'/D = 1$)且 $Q_3 Q_2 Q_1 Q_0 = 0000$ 时, $C/B = 1$,有借位输出。 CLK_0 是串行时钟输出端。当 $C/B = 1$ 的情况下,在下一个 CLK_1 上升沿到达前 CLK_0 端有一个负脉冲输出。

74LS191(74HC191)的功能表如表 6.3.5 所示。图 6.3.17 是它的时序图。由时序图可以比较清楚地看到 CLK_0 和 CLK_1 的时间关系。

表 6.3.5 同步十六进制加/减计数器 74LS191 的功能表

CLK_1	S'	LD'	U'/D	工作状态
x	1	1	x	保持
x	x	0	x	预置数
↑	0	1	0	加法计数
↑	0	1	1	减法计数

由于图 6.3.16 所示电路只有一个时钟信号(也就是计数输入脉冲)输入端,电路的加、减由 U'/D 的电平决定,所以称这种电路结构为单时钟结构。

倘若加法计数脉冲和减法计数脉冲来自两个不同的脉冲源,则需要使用双时钟结构的加/减计数器计数。图 6.3.18 是双时钟加/减计数器 74LS193 的电路结构图。这个电路采用的是控制时钟信号的结构形式。

图 6.3.18 中的 4 个触发器 $FF_0 \sim FF_3$ 均工作在 $T = 1$ 状态,只要有时钟信号加到触发器上,它就翻转。当 CLK_U 端有计数脉冲输入时,计数器做加法计数;当 CLK_D 端有计数脉冲输入时,计数器做减法计数。加到 CLK_U 和 CLK_D 上的计数脉冲在时间上应该错开。

74LS193 也具有异步置零和异步预置数功能。当 $R_0 = 1$ 时,将使所有触发

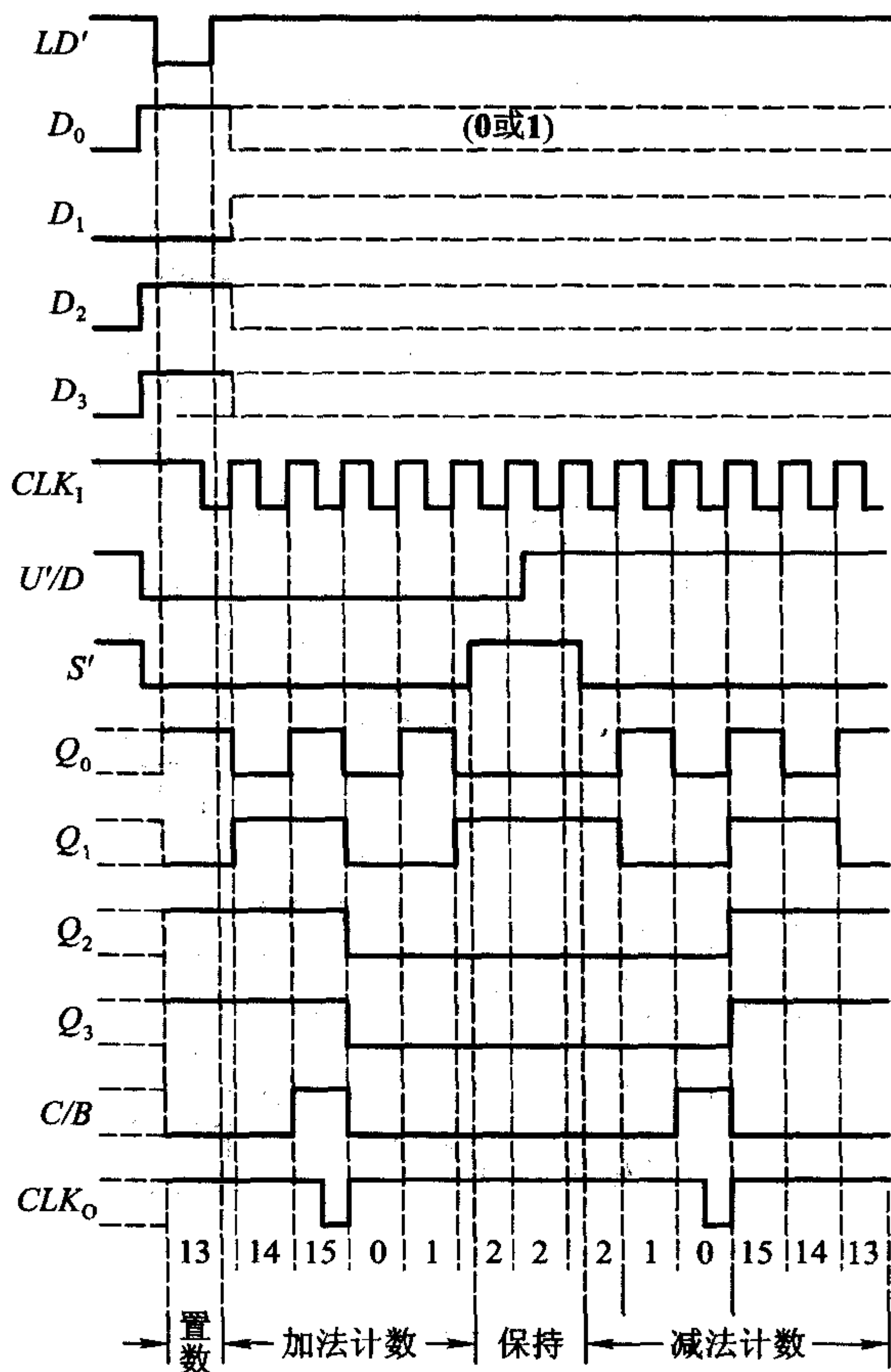


图 6.3.17 同步十六进制加/减计数器 74LS191 的时序图

器置成 $Q = 0$ 的状态,而不受计数脉冲控制。当 $LD' = 0$ (同时令 $R_D = 0$) 时,将立即把 $D_0 \sim D_3$ 的状态置入 $FF_0 \sim FF_3$ 中,与时钟脉冲无关。

2. 同步十进制计数器

图 6.3.19 所示电路是用 T 触发器组成的同步十进制加法计数器电路,它是在图 6.3.10 同步二进制加法计数器电路的基础上略加修改而成的。

由图 6.3.19 可知,如果从 **0000** 开始计数,则直到输入第九个计数脉冲为止,它的工作过程与图 6.3.10 的二进制计数器相同。计入第九个计数脉冲后电路进入 **1001** 状态,这时 Q_3' 的低电平使门 G_1 的输出为 **0**,而 Q_0 和 Q_3 的高电平使门 G_3 的输出为 **1**,所以 4 个触发器的输入控制端分别为 $T_0 = 1$ 、 $T_1 = 0$ 、 $T_2 = 0$ 、 $T_3 = 1$ 。因此,当第十个计数脉冲输入后, FF_1 和 FF_2 维持 **0** 状态不变, FF_0 和 FF_3

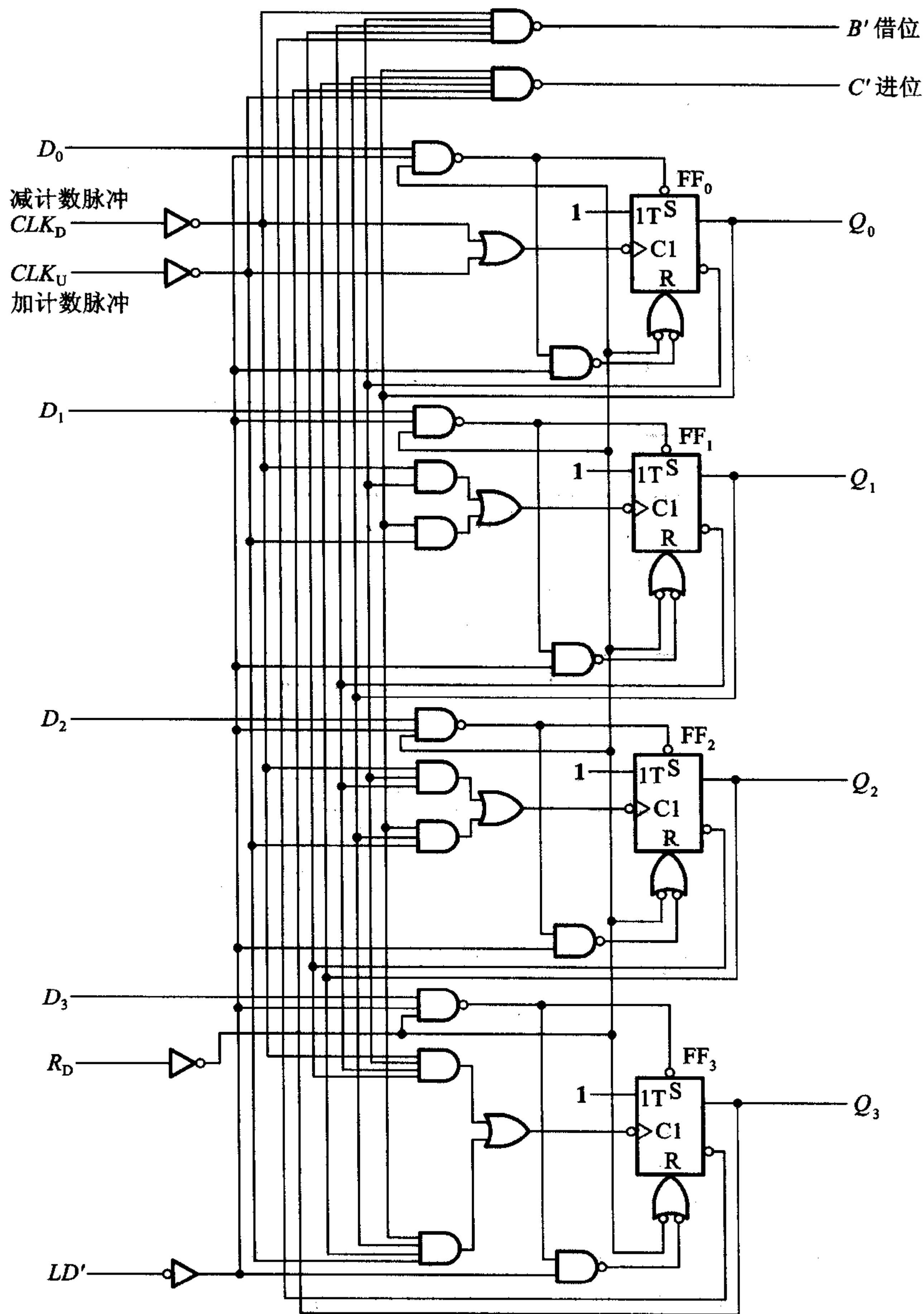


图 6.3.18 双时钟同步十六进制加/减计数器 74LS193 的逻辑图

从 1 翻转为 0,故电路返回 0000 状态。

从逻辑图上可写出电路的驱动方程为

表 6.3.6 图 6.3.19 电路的状态转换表

计 数 顺 序	电 路 状 态				等 效 十 进 制 数	输 出 C
	Q_3	Q_2	Q_1	Q_0		
0	0	0	0	0	0	0
1	0	0	0	1	1	0
2	0	0	1	0	2	0
3	0	0	1	1	3	0
4	0	1	0	0	4	0
5	0	1	0	1	5	0
6	0	1	1	0	6	0
7	0	1	1	1	7	0
8	1	0	0	0	8	0
9	1	0	0	1	9	1
10	0	0	0	0	0	0
0	1	0	1	0	10	0
1	1	0	1	1	11	1
2	0	1	1	0	6	0
0	1	1	0	0	12	0
1	1	1	0	1	13	1
2	0	1	0	0	4	0
0	1	1	1	0	14	0
1	1	1	1	1	15	1
2	0	0	1	0	2	0

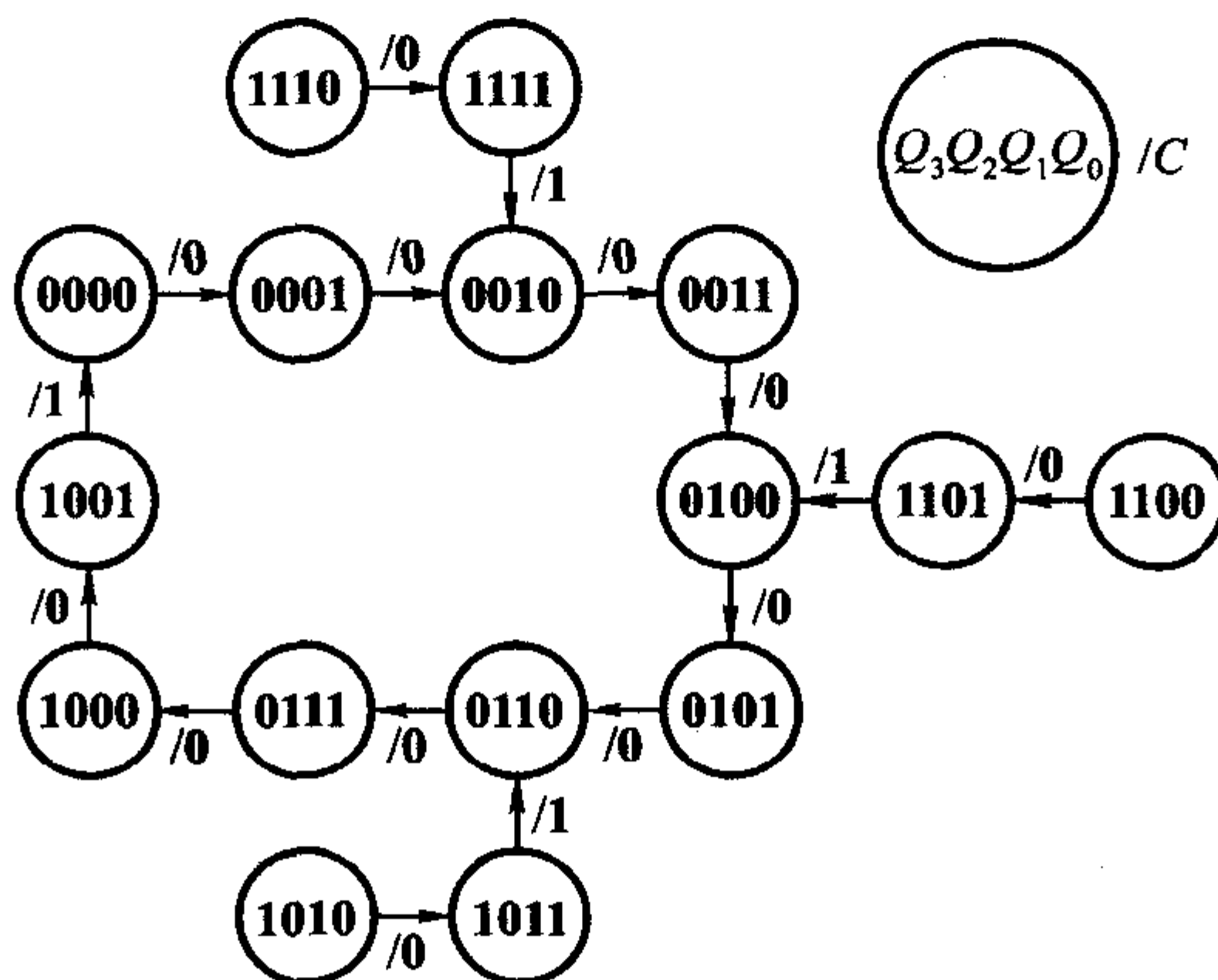


图 6.3.20 图 6.3.19 电路的状态转换图

图 6.3.21 是中规模集成的同步十进制加法计数器 74160 的逻辑图。它在图 6.3.19 所示电路的基础上又增加了同步预置数、异步置零和保持的功能。图中 LD' 、 R'_D 、 $D_0 \sim D_3$ 、 EP 和 ET 等各输入端的功能和用法与图 6.3.13 电路中对应的输入端相同,不再赘述。74160 的功能表也与 74161 的功能表(表 6.3.4)相同。所不同的仅在于 74160 是十进制而 74161 是十六进制。

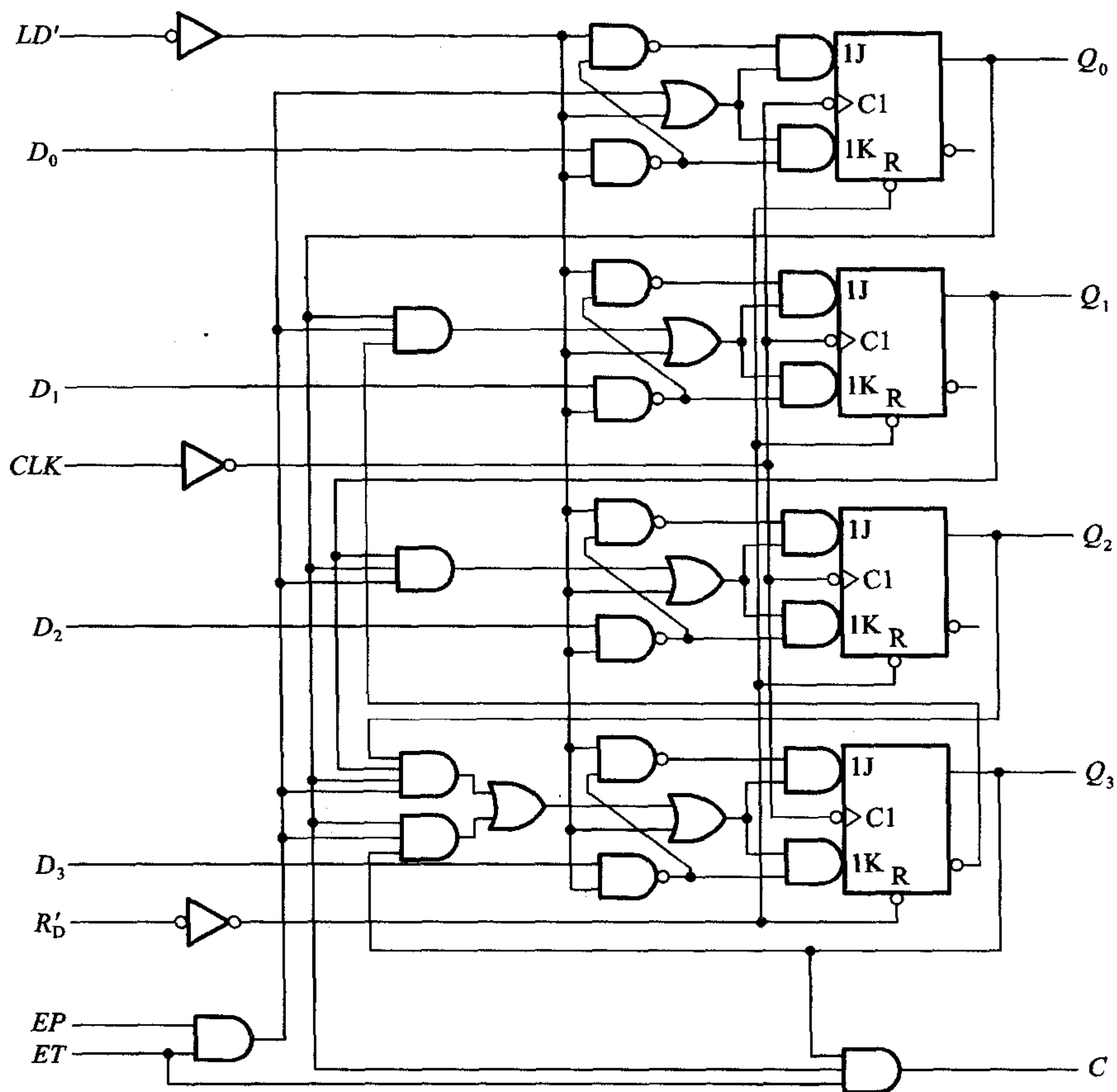


图 6.3.21 同步十进制加法计数器 74160 的逻辑图

图 6.3.22 是同步十进制减法计数器的逻辑图。它也是从同步二进制减法计数器电路的基础上演变而来的。为了实现从 $Q_3Q_2Q_1Q_0 = 0000$ 状态减 1 后跳变成 1001 状态,在电路处于全 0 状态时用与非门 G_2 输出的低电平将与门 G_1 和 G_3 封锁,使 $T_1 = T_2 = 0$ 。于是当计数脉冲到达后 FF_0 和 FF_3 翻成 1,而 FF_1 和 FF_2 维持 0 不变。以后继续输入减法计数脉冲时,电路的工作情况就与图 6.3.15 所示的同步二进制减法计数器一样了。

表 6.3.7 图 6.3.22 电路的状态转换表

计数 顺序	电 路 状 态				等效十进制数	借 位 <i>B</i>
	Q_3	Q_2	Q_1	Q_0		
0	0	0	0	0	0	1
1	1	0	0	1	9	0
2	1	0	0	0	8	0
3	0	1	1	1	7	0
4	0	1	1	0	6	0
5	0	1	0	1	5	0
6	0	1	0	0	4	0
7	0	0	1	1	3	0
8	0	0	1	0	2	0
9	0	0	0	1	1	0
10	0	0	0	0	0	1
0	1	1	1	1	15	0
1	1	1	1	0	14	0
2	1	1	0	1	13	0
3	1	1	0	0	12	0
4	1	0	1	1	11	0
5	1	0	1	0	10	0
6	1	0	0	1	9	0

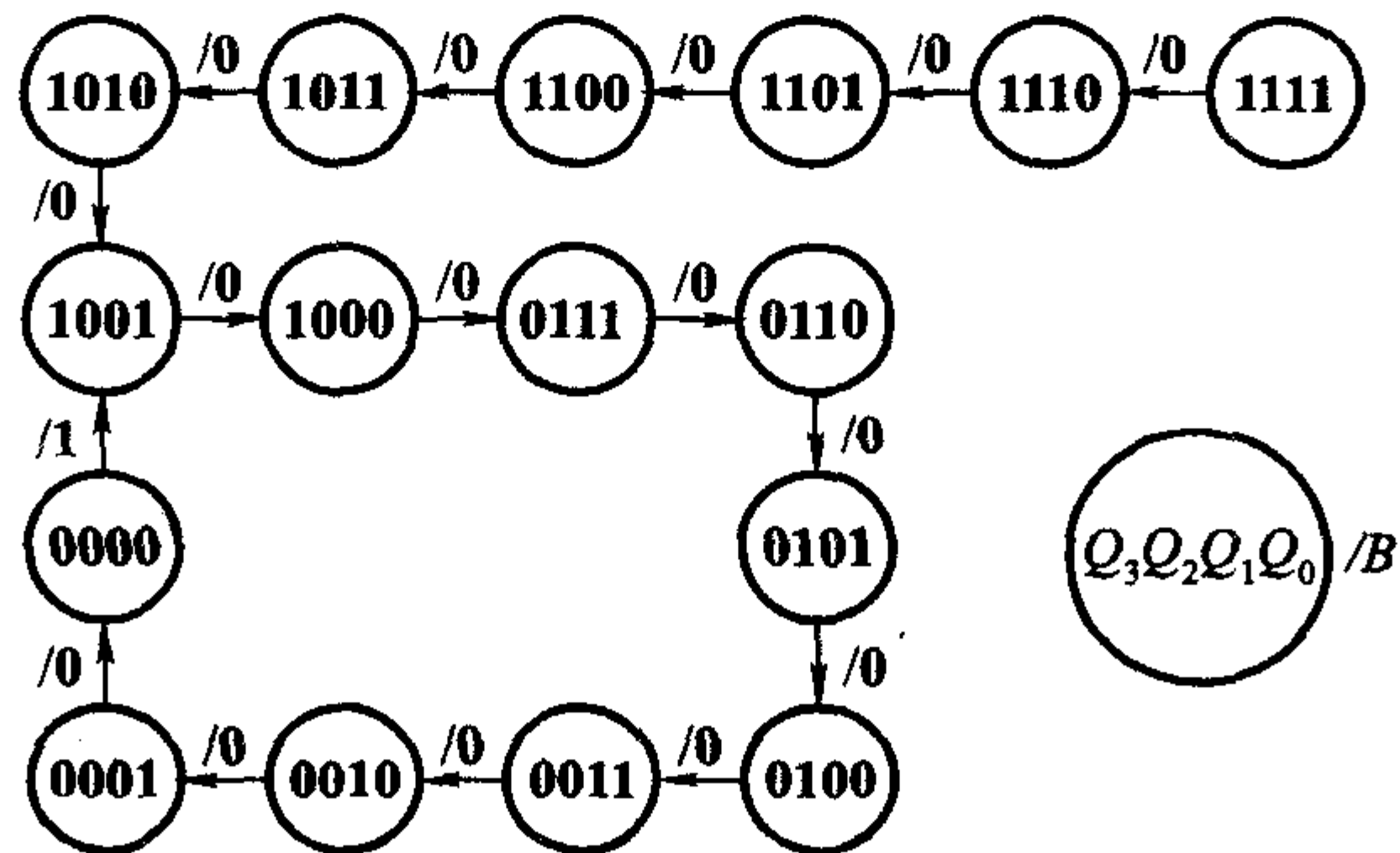


图 6.3.23 图 6.3.22 电路的状态转换图