

图 6.6.3 用 Multisim 7 中的逻辑分析仪分析图 6.6.1 电路的波形图

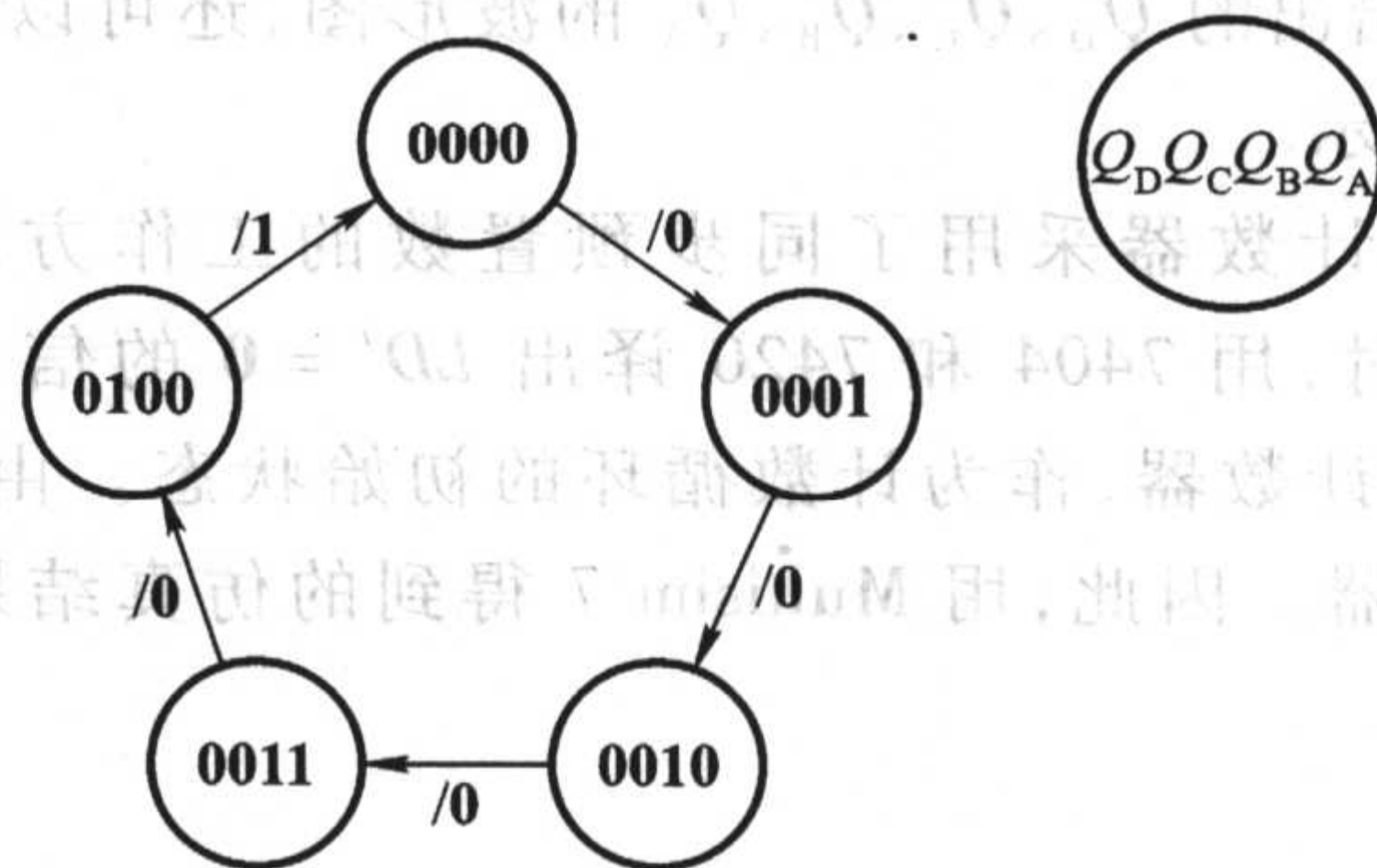


图 6.6.4 图 6.6.1 电路的状态转换图(不含无效状态)

本章小结

时序逻辑电路与组合逻辑电路不同,在逻辑功能及其描述方法、电路结构、分析方法和设计方法上都有区别于组合逻辑电路的明显特点。

在时序逻辑电路中,任一时刻的输出信号不仅和当时的输入信号有关,而且还与电路原来的状态有关,这就是时序电路在逻辑功能上的特点。因此,任意时刻下时序电路的状态和输出均可以表示为输入变量和电路原来状态(亦称状态变量)的逻辑函数。由于时序电路工作时始终是在有限个状态间按一定规律转换的,所以也将时序电路称为状态机(SM)或算法状态机(ASM)。

通常用于描述时序电路逻辑功能的方法有方程组(由状态方程、驱动方程和输出方程组成)、状态转换表、状态转换图、状态机流程图和时序图等几种。它们各具特色,在不同场合各有应用。其中方程组是和具体电路结构直接对应的一种表达方式。在分析时序电路时,一般首先是从电路图写出方程组;在设计时序电路时,也是从方程组才能最后画出逻辑图。状态转换表、状态转换图和状态机流程图的特点是给出了电路工作的全部过程,能使电路的逻辑功能一目了然,这也正是在得到了方程组以后往往还要画出状态转换图或列出状态转换表的原因。时序图的表示方法便于进行波形观察,因而最宜用在实验调试当中。

为了记忆电路的状态,时序电路必须包含存储电路,同时存储电路又和输入逻辑变量一起,决定输出的状态(如图6.1.2的结构图所示),这就是时序电路在电路结构上的特点。不过在实际的时序电路中并不是每一个都具备这样完整的结构形式。例如,有的可以没有输入逻辑变量(例如计数器),有的输出仅仅取决于电路的状态而不与输入信号直接相联系(例如穆尔型电路),有的甚至没有组合电路部分(例如环形计数器),等等。然而只要是时序电路,那么它必须包含存储电路,而且输出必须与电路状态相关。

由于具体的时序电路千变万化,所以它们的种类不胜枚举。本章介绍的寄存器、移位寄存器、计数器、顺序脉冲发生器和序列信号发生器只是其中常见的几种。因此,必须掌握时序电路的共同特点和一般的分析方法和设计方法,才能适应对各种时序电路进行分析或设计的需要。

在6.2节和6.4节中介绍了分析和设计时序电路的一般步骤,这是本章学习的重点。对于任何复杂的时序电路,这些步骤和方法都是适用的。当然,这并不是说解决任何简单的时序电路问题都必须机械地按这些步骤进行。例如,分析环形计数器和扭环形计数器时,从物理概念出发很容易画出它们的状态转换图,无需重复6.2节中的分析步骤。

由于时序电路通常包含组合电路和存储电路两部分,所以时序电路中的竞

争-冒险现象也有两个方面。一方面组合电路因竞争-冒险而产生的尖峰脉冲如果被存储电路接收,引起触发器翻转,则电路将发生误动作。另一方面存储电路本身也存在竞争-冒险问题。存储电路中竞争-冒险现象的实质是由于触发器的输入信号和时钟信号同时改变而在时间上配合不当,从而可能导致触发器误动作。因为这种现象一般只发生在异步时序电路中,所以在设计较大的时序系统时多数都采用同步时序电路。

习 题

[题 6.1] 分析图 P6.1 时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图和时序图。

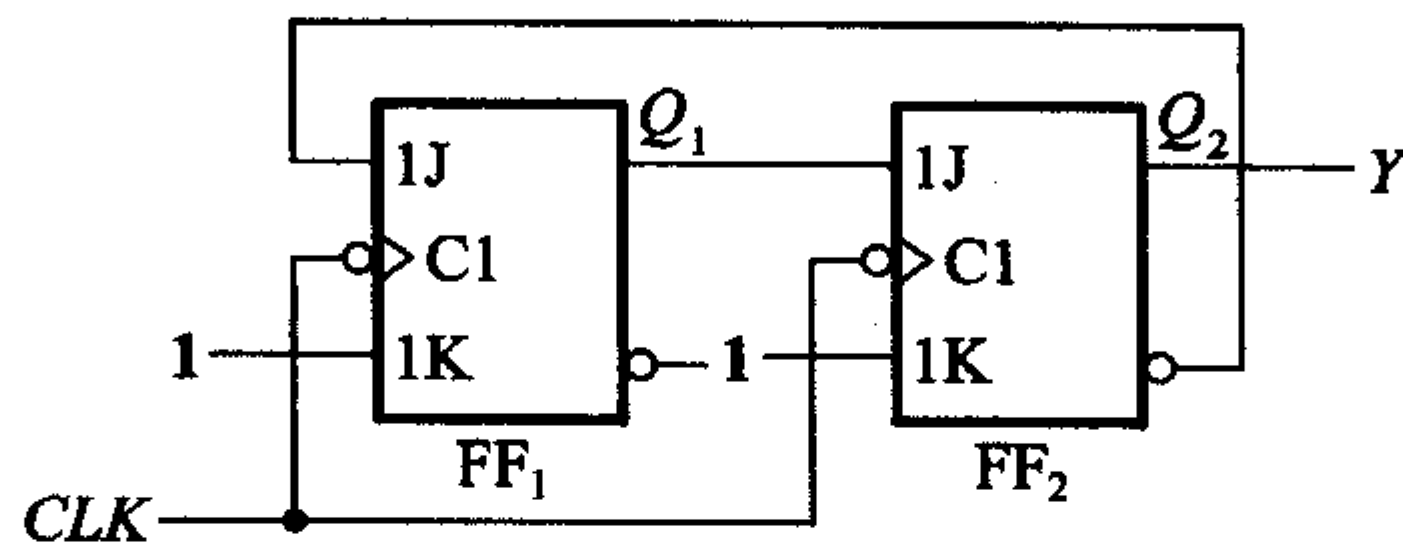


图 P6.1

[题 6.2] 分析图 P6.2 时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,并说明该电路能否自启动。

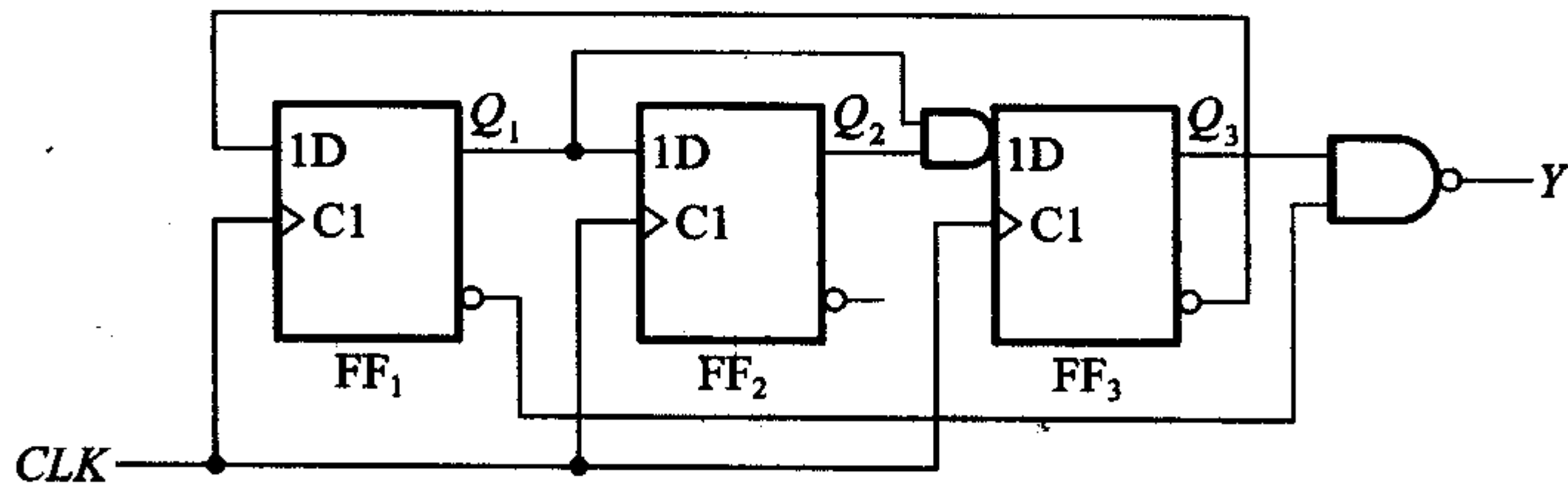


图 P6.2

[题 6.3] 分析图 P6.3 时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,说明电路能否自启动。

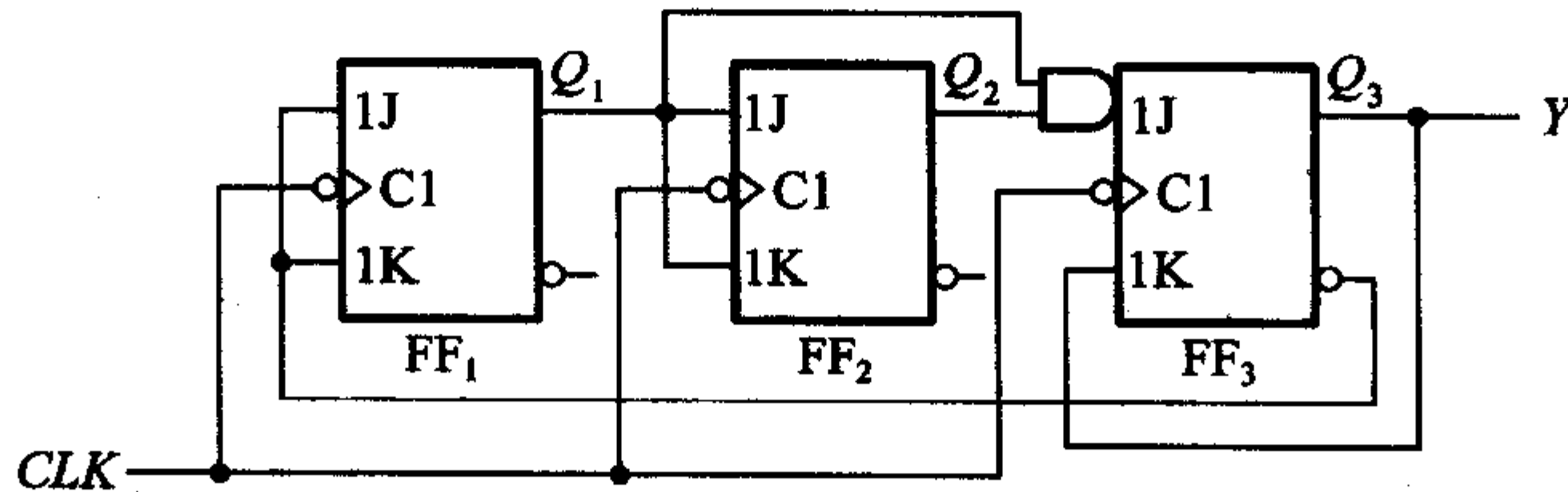


图 P6.3

[题 6.4] 试分析图 P6.4 时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,检查电路能否自启动。

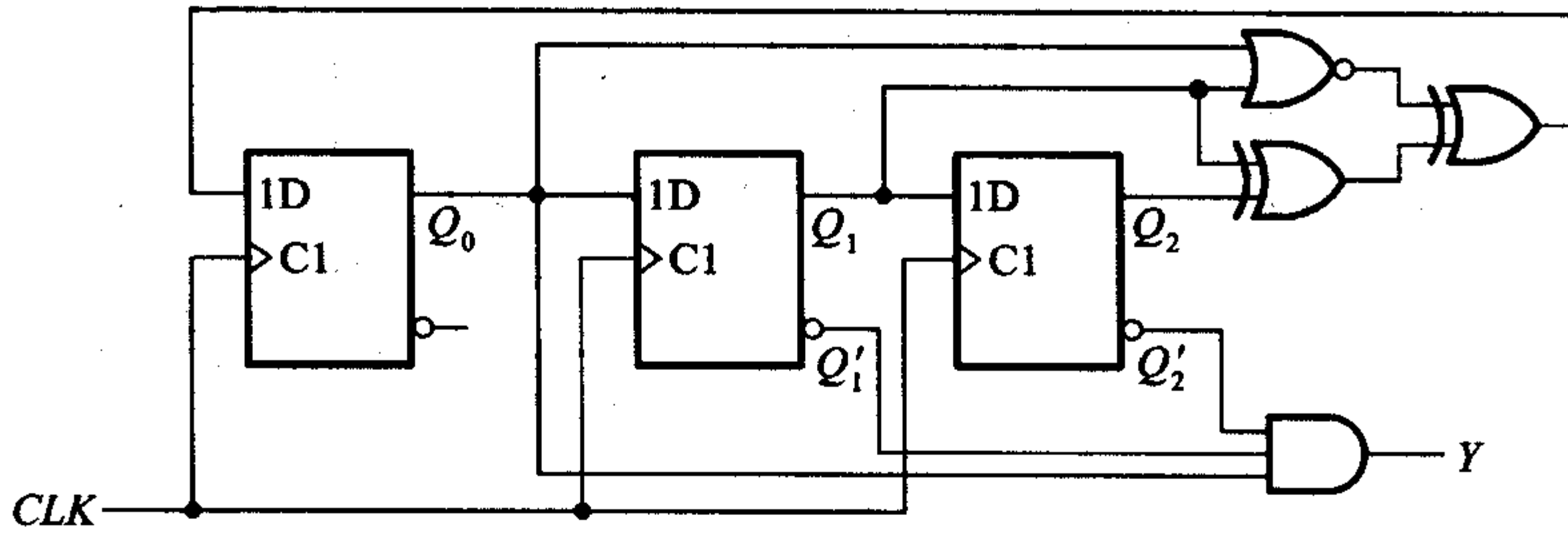


图 P6.4

[题 6.5] 试分析图 P6.5 时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图。 A 为输入逻辑变量。

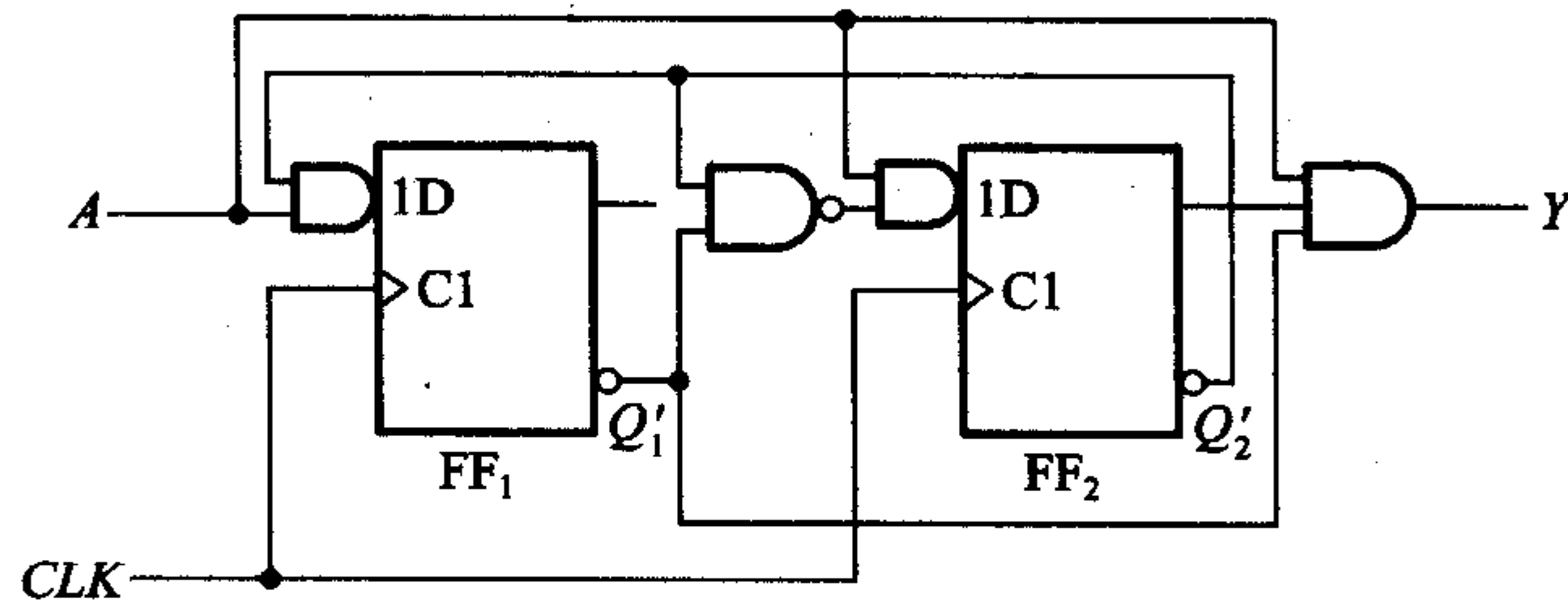


图 P6.5

[题 6.6] 分析图 P6.6 给出的时序电路,画出电路的状态转换图,检查电路能否自启动,说明电路实现的功能。 A 为输入变量。

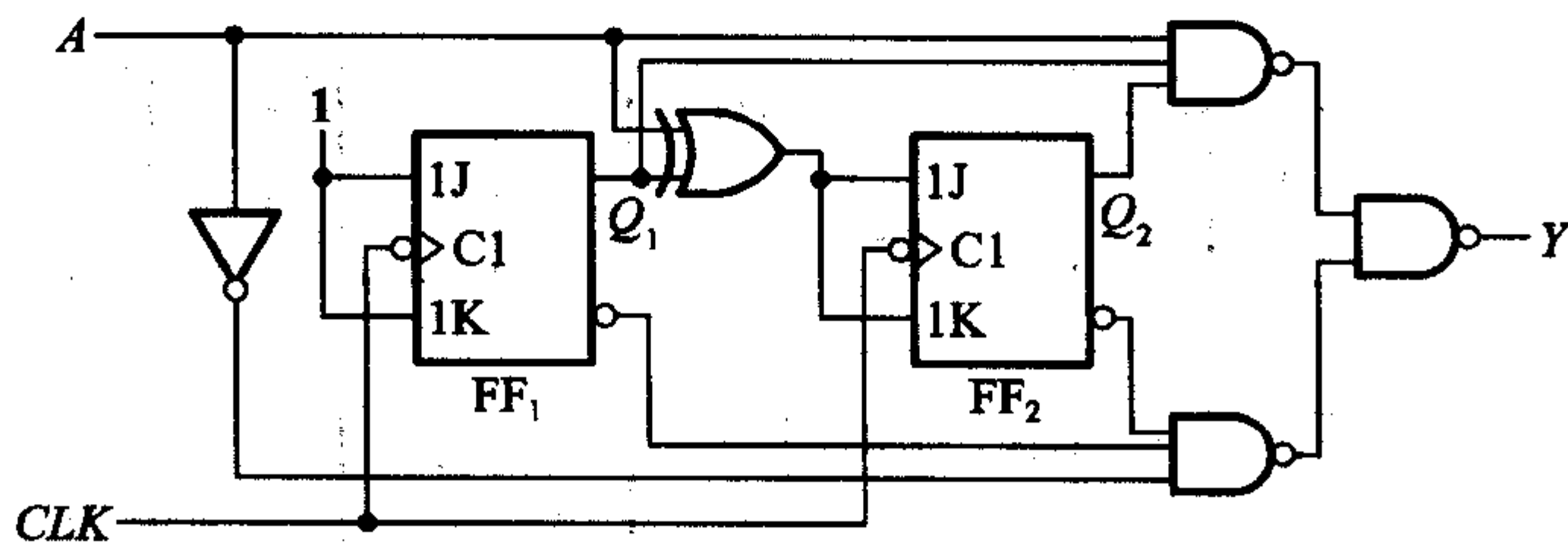


图 P6.6

[题 6.7] 分析图 P6.7 的时序逻辑电路,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,说明电路能否自启动。

[题 6.8] 分析图 P6.8 电路,写出电路的驱动方程、状态方程和输出方程,画出电路的

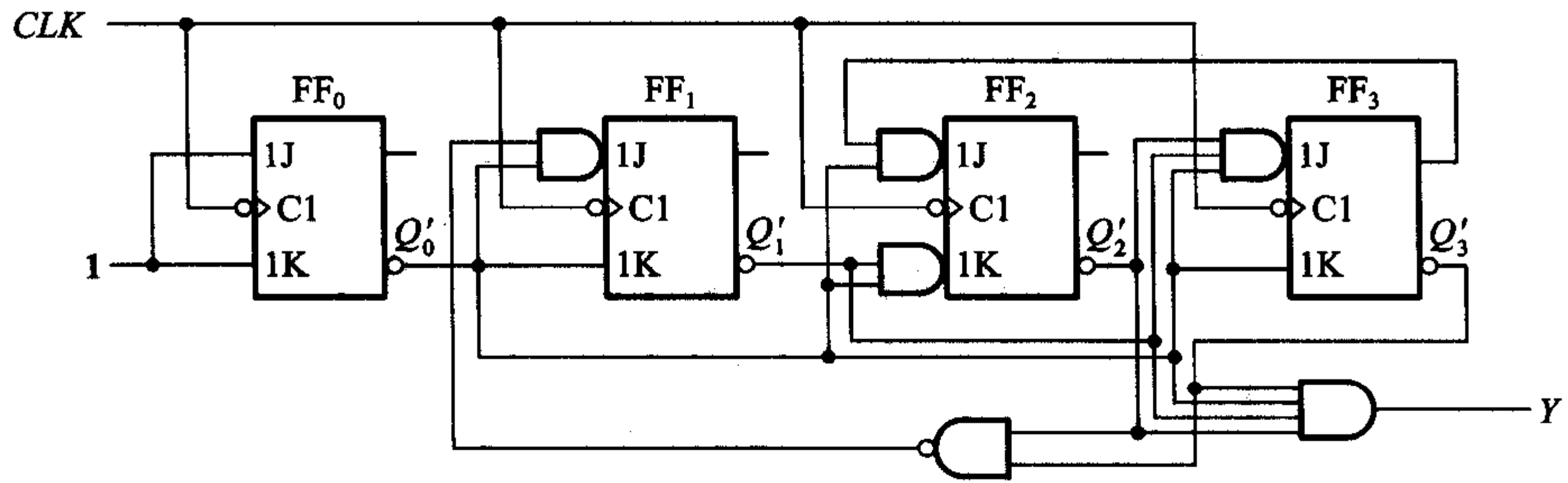


图 P6.7

状态转换图。图中的 X 、 Y 分别表示输入逻辑变量和输出逻辑变量。

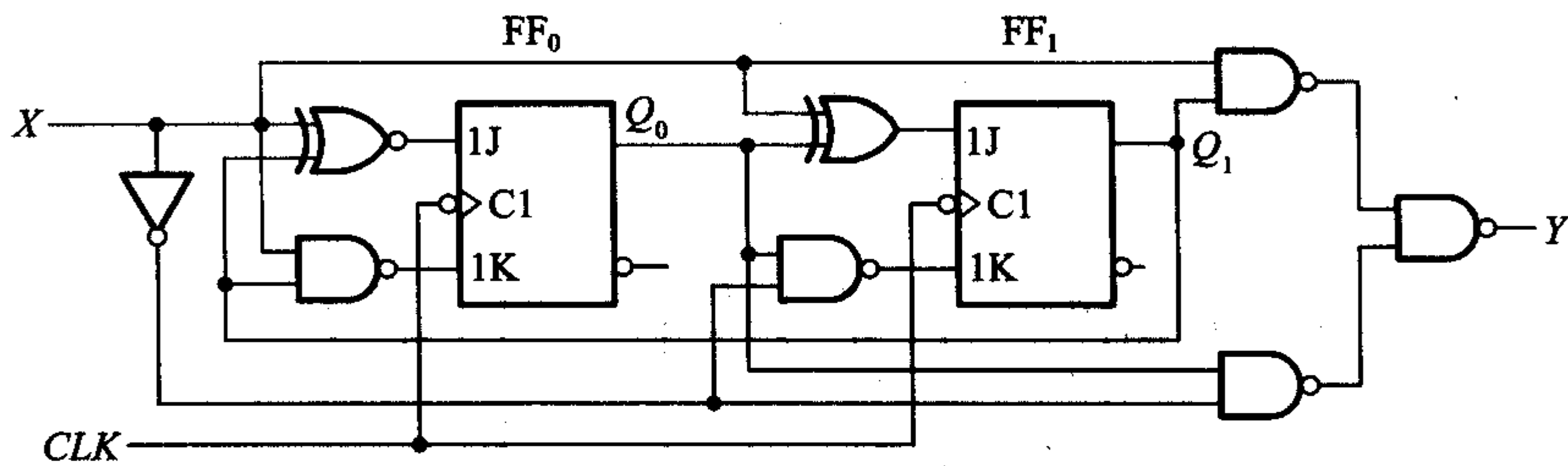


图 P6.8

[题 6.9] 试画出用 4 片 74LS194A 组成 16 位双向移位寄存器的逻辑图。74LS194A 的功能表见表 6.3.2。

[题 6.10] 在图 P6.10 电路中,若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0 = 1001$, $B_3B_2B_1B_0 = 0011$, CI 的初始值为 0,试问经过 4 个 CLK 信号作用以后两个寄存器中的数据如何? 这个电路完成什么功能?

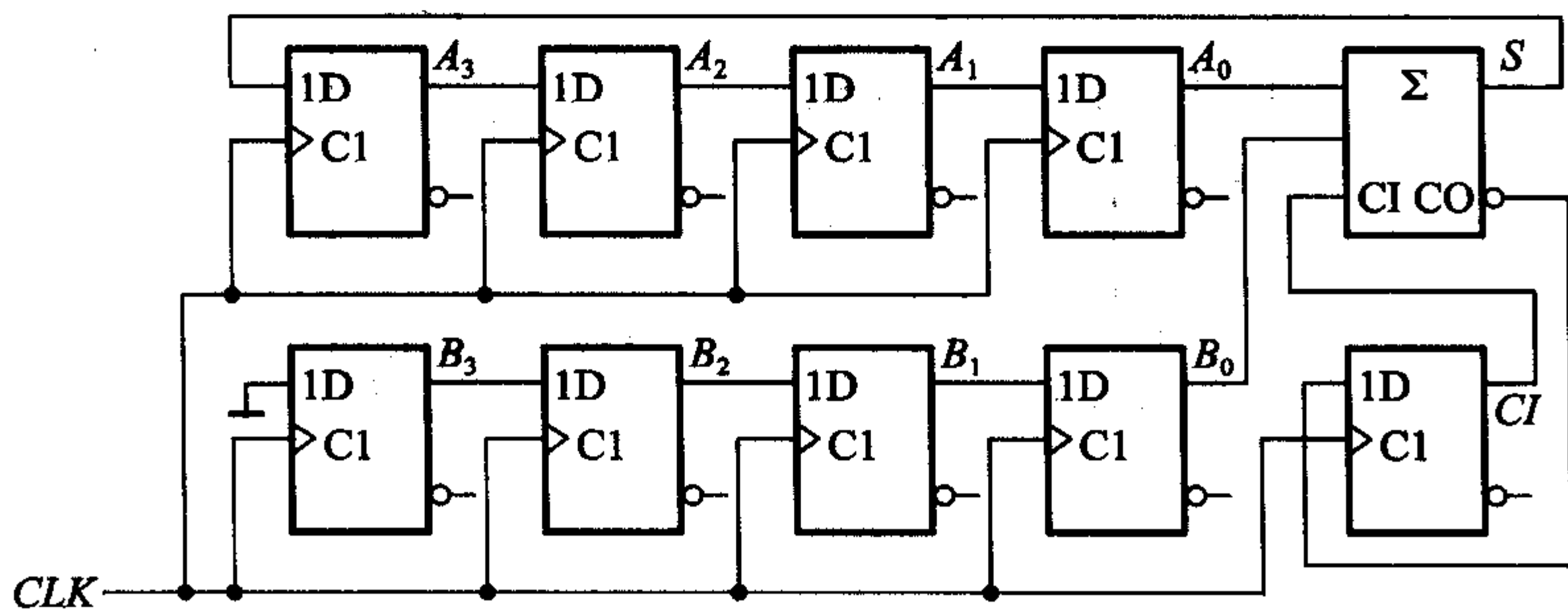


图 P6.10

[题 6.11] 分析图 P6.11 的计数器电路,说明这是多少进制的计数器。十进制计数器 74160 的功能表与表 6.3.4 相同。

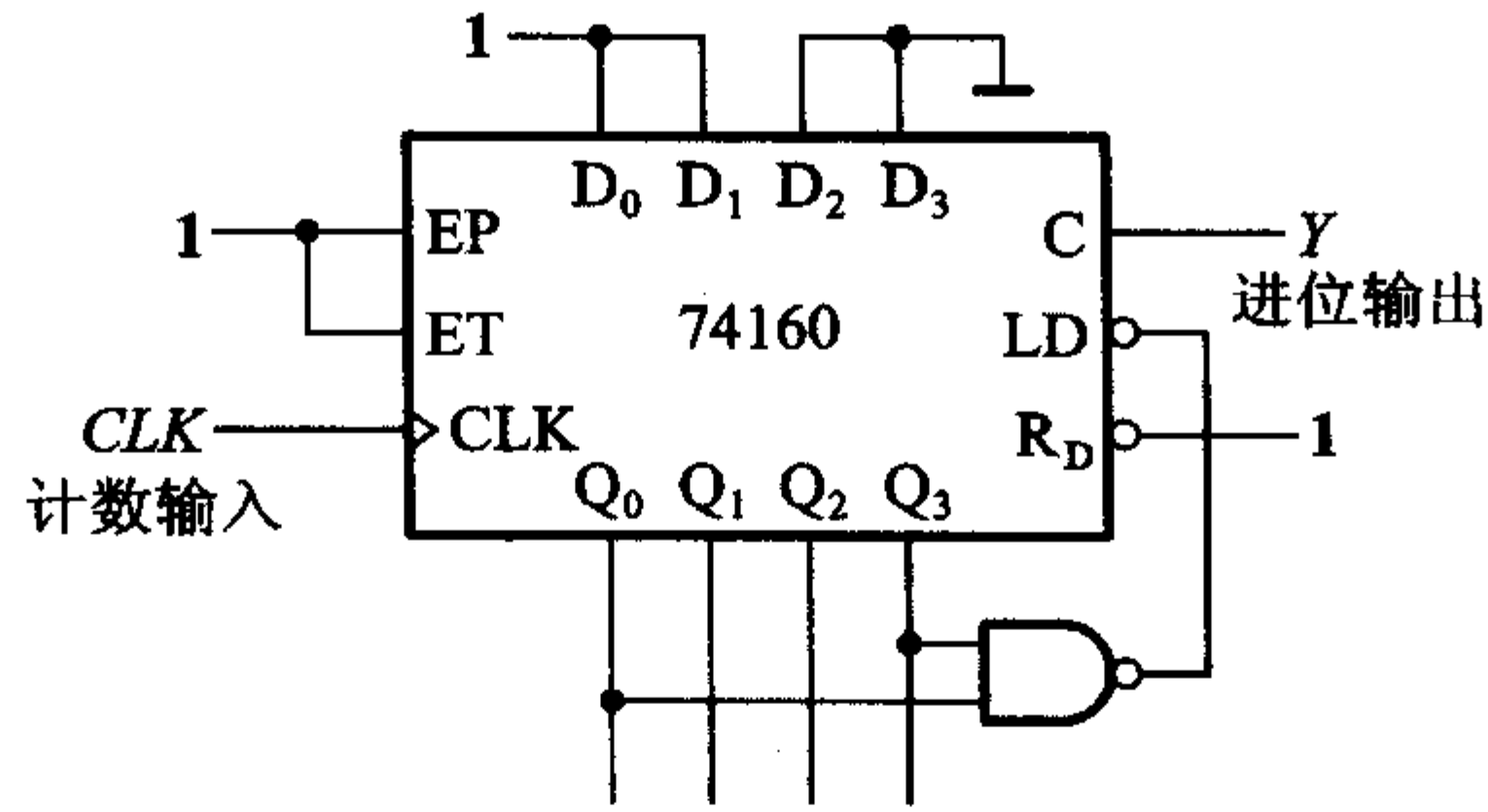


图 P6.11

[题 6.12] 分析图 P6.12 的计数器电路,画出电路的状态转换图,说明这是多少进制的计数器。十六进制计数器 74LS161 的功能表如表 6.3.4 所示。

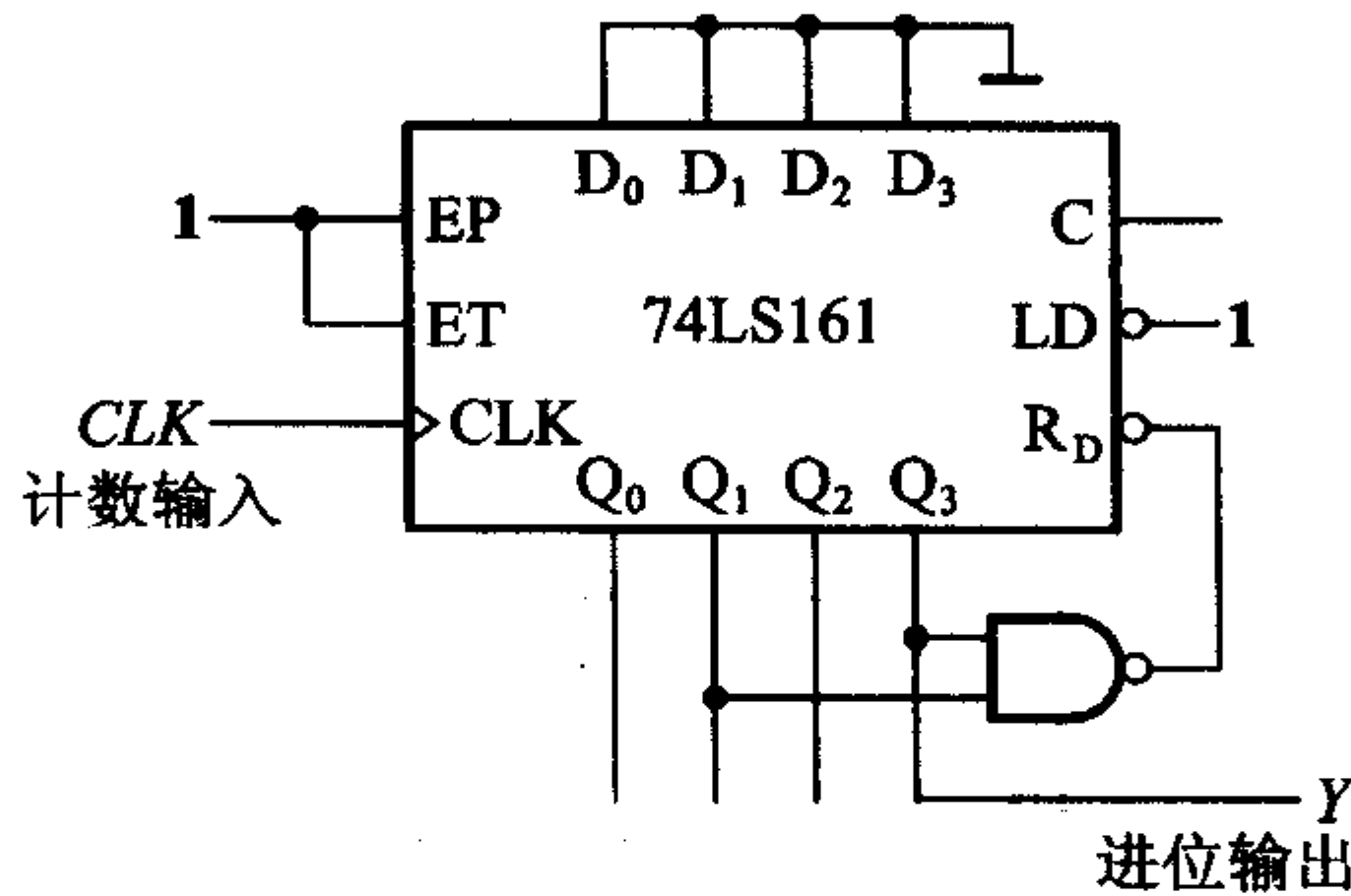


图 P6.12

[题 6.13] 试分析图 P6.13 的计数器在 $M=1$ 和 $M=0$ 时各为几进制。74160 的功能表与表 6.3.4 相同。

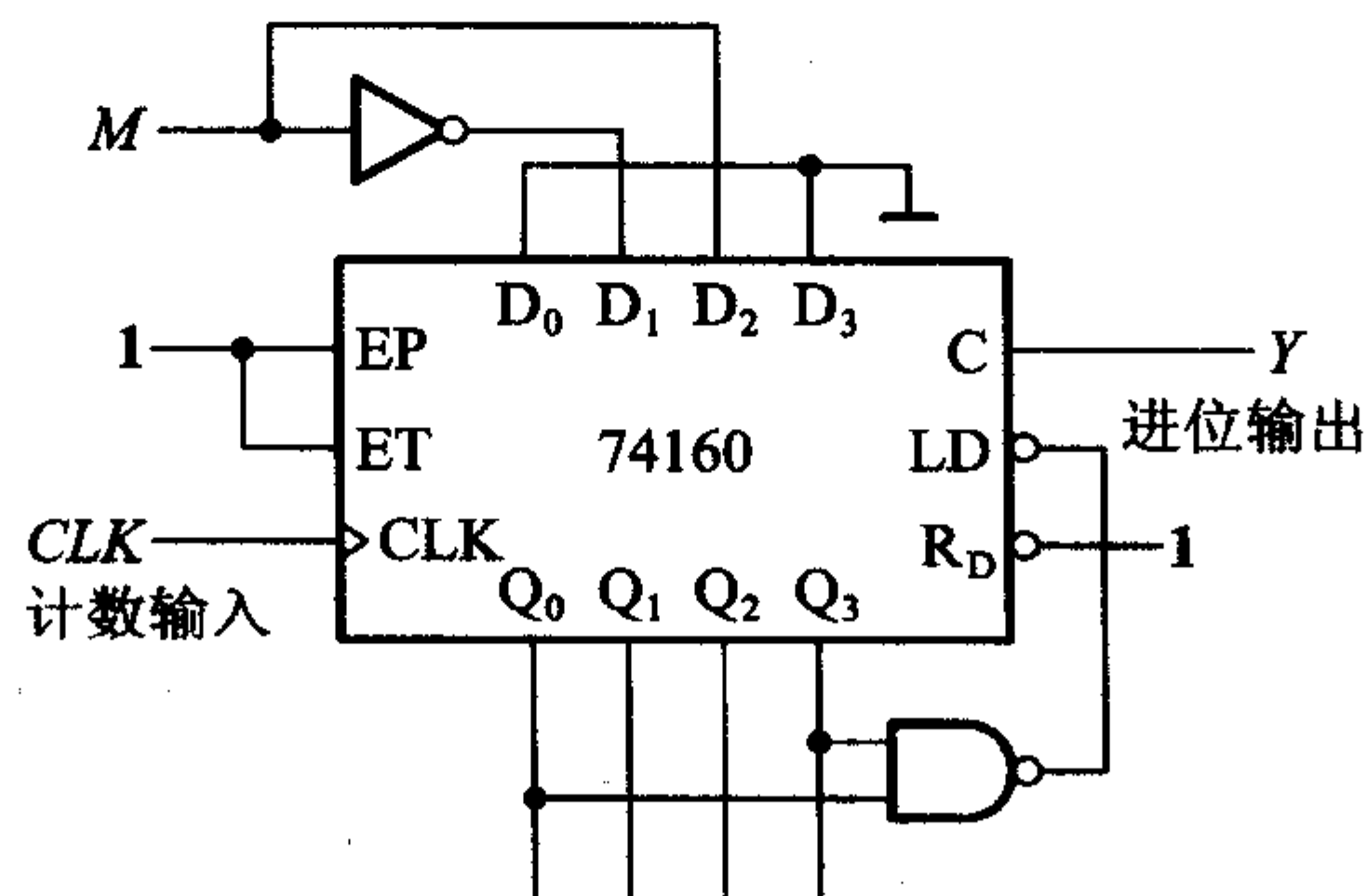


图 P6.13

[题 6.14] 试用 4 位同步二进制计数器 74LS161 接成十二进制计数器,标出输入、输出端。可以附加必要的门电路。74LS161 的功能表见表 6.3.4。

[题 6.15] 图 P6.15 电路是可变进制计数器。试分析当控制变量 A 为 1 和 0 时电路各为几进制计数器。74LS161 的功能表见表 6.3.4。

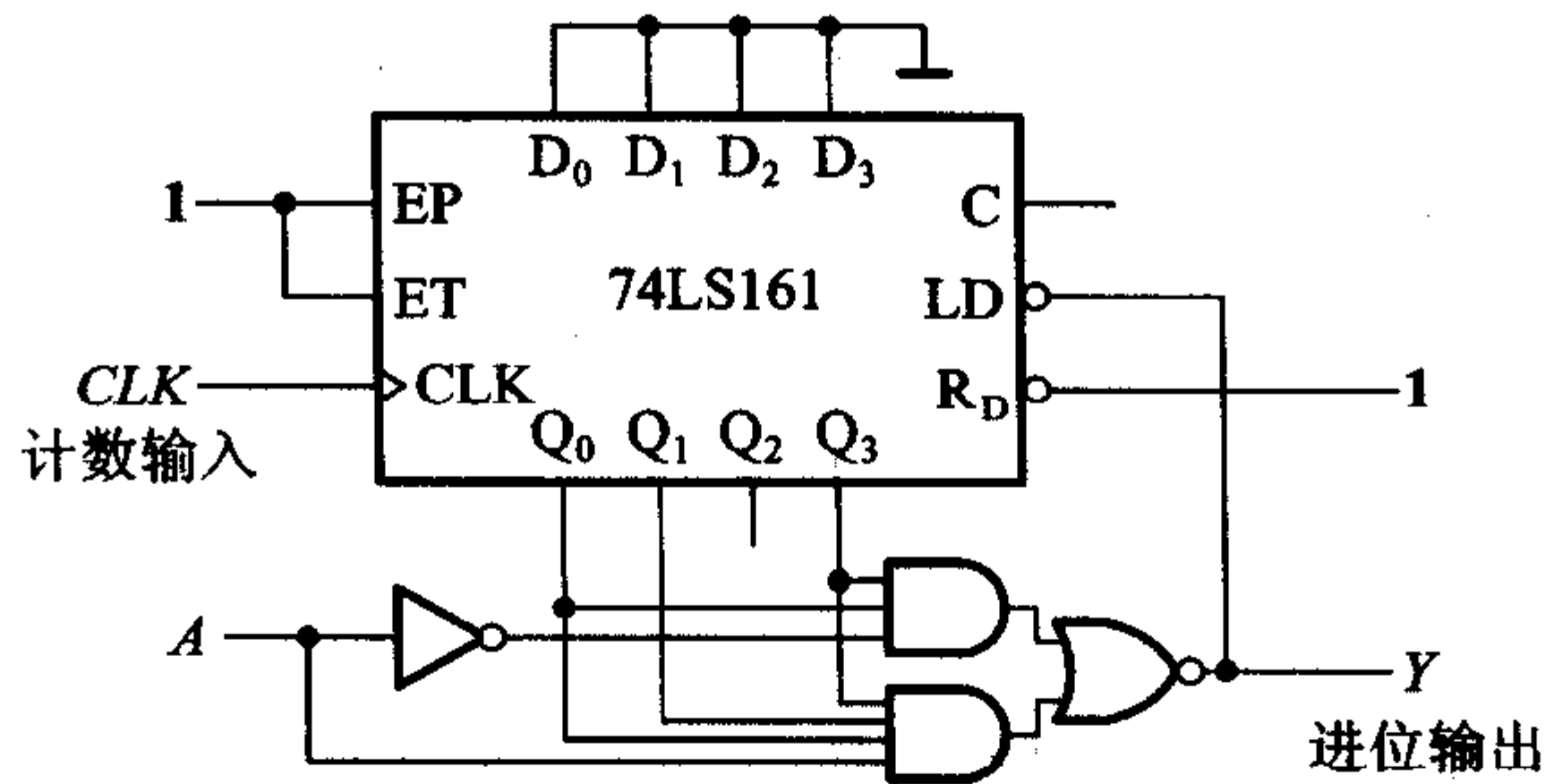


图 P6.15

[题 6.16] 设计一个可控进制的计数器,当输入控制变量 $M=0$ 时工作在五进制, $M=1$ 时工作在十五进制。请标出计数输入端和进位输出端。

[题 6.17] 分析图 P6.17 给出的计数器电路,画出电路的状态转换图,说明这是几进制计数器。74LS290 的电路见图 6.3.31。

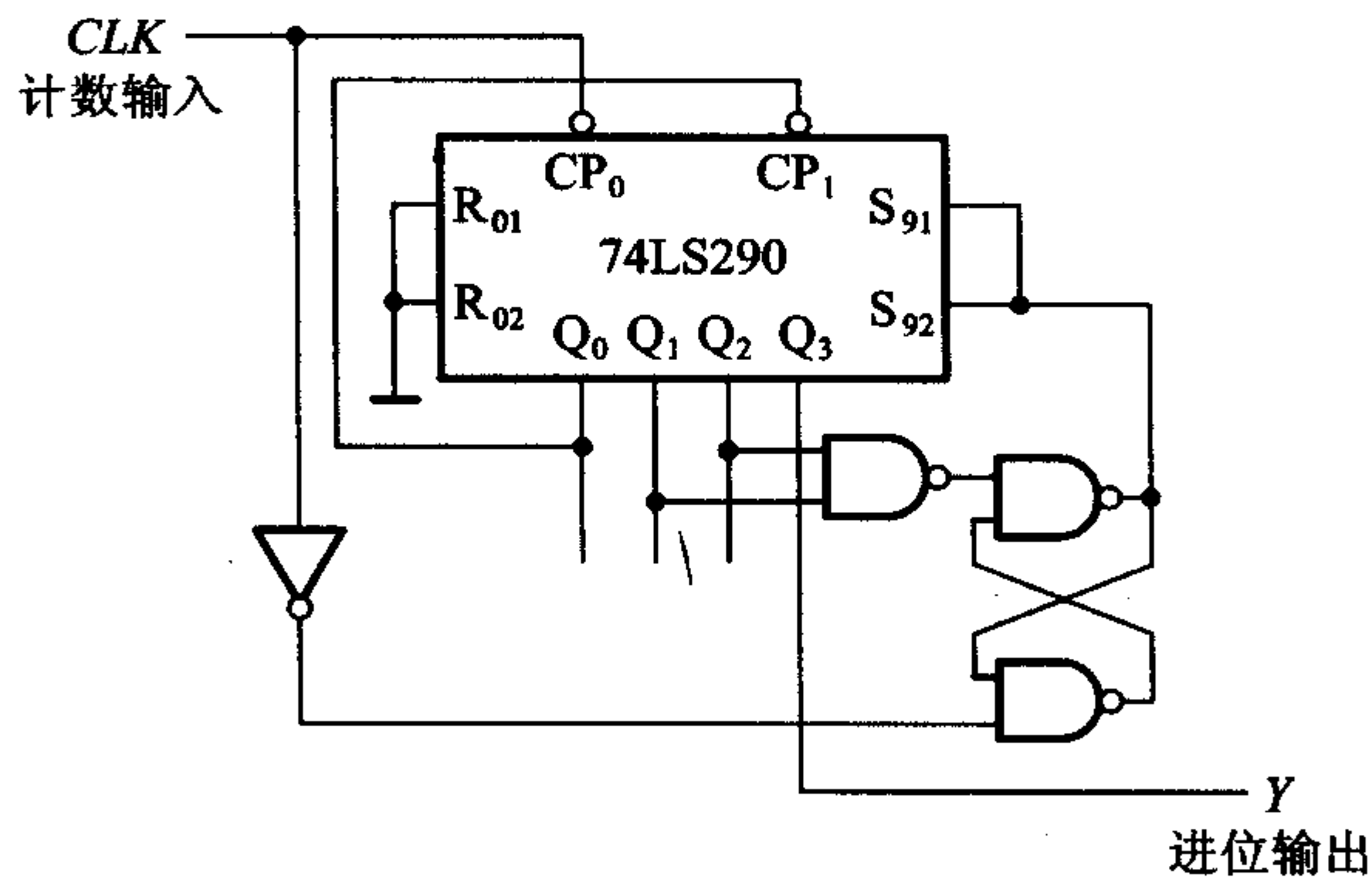


图 P6.17

[题 6.18] 试分析图 P6.18 计数器电路的分频比(即 Y 与 CLK 的频率之比)。74LS161 的功能表见表 6.3.4。

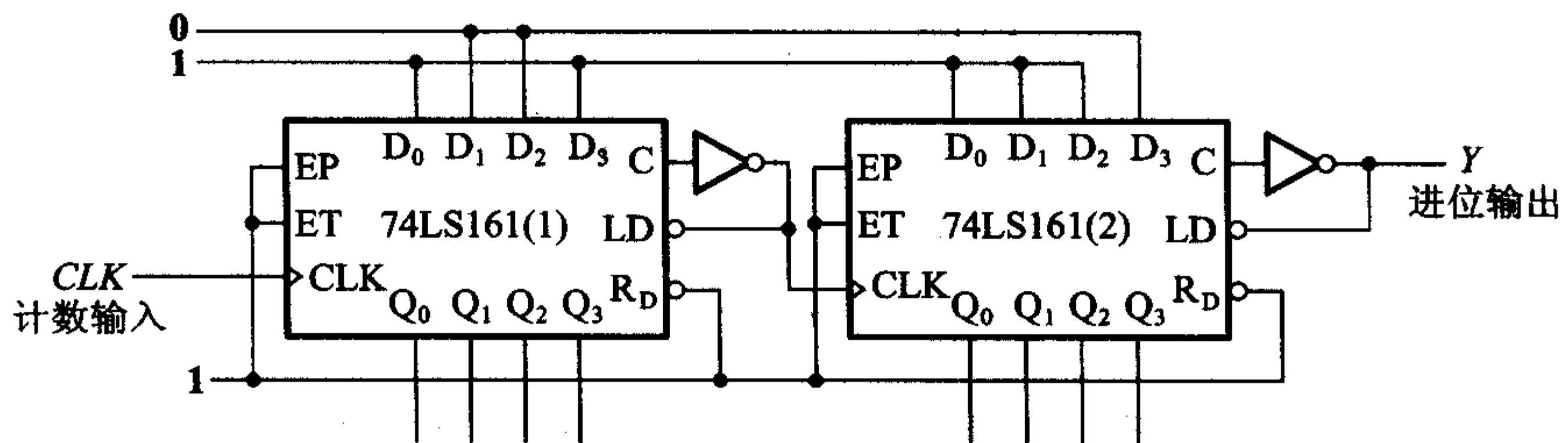


图 P6.18

[题 6.19] 图 P6.19 电路是由两片同步十进制计数器 74160 组成的计数器,试分析这是多少进制的计数器,两片之间是几进制。74160 的功能表与表 6.3.4 相同。

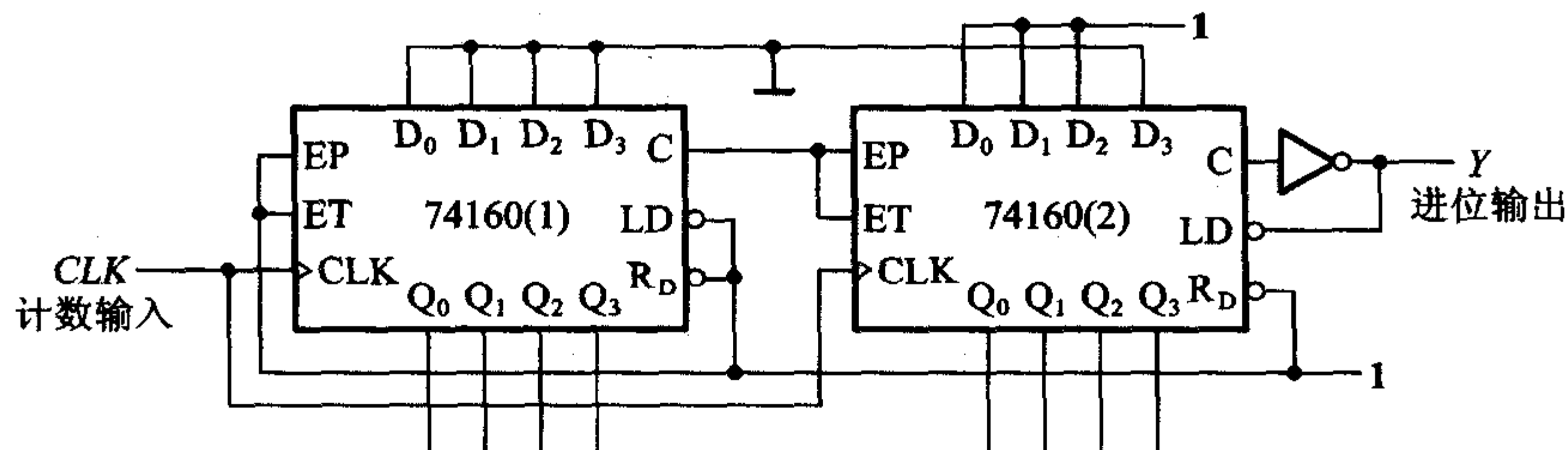


图 P6.19

[题 6.20] 分析图 P6.20 给出的电路,说明这是多少进制的计数器,两片之间是多少进制。74LS161 的功能表见表 6.3.4。

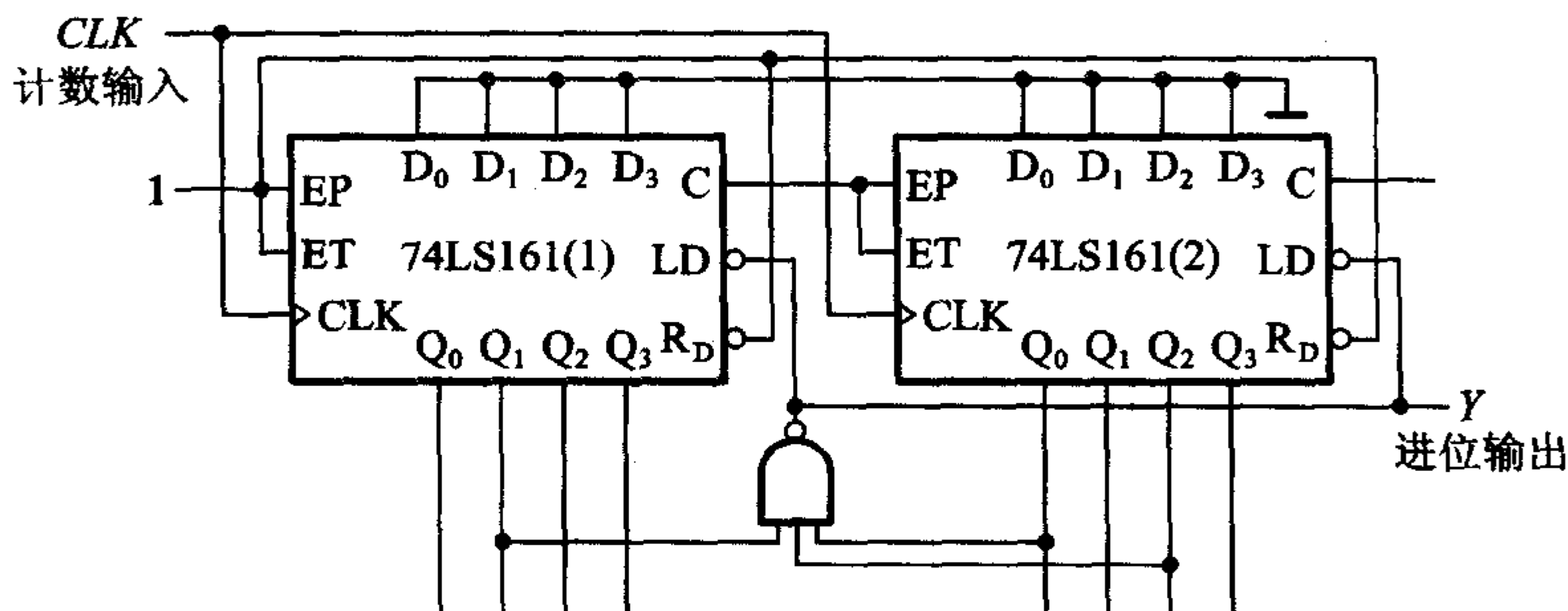


图 P6.20

[题 6.21] 画出用两片同步十进制计数器 74160 接成同步三十一进制计数器的接线图。可以附加必要的门电路。74160 的逻辑图和功能表见图 6.3.21 和表 6.3.4。

[题 6.22] 用同步十进制计数器芯片 74160 设计一个三百六十五进制的计数器。要求各位间为十进制关系。允许附加必要的门电路。74160 的功能表与表 6.3.4 相同。

[题 6.23] 设计一个数字钟电路,要求能用七段数码管显示从 0 时 0 分 0 秒到 23 时 59 分 59 秒之间的任一时刻。

[题 6.24] 图 P6.24 所示电路是用二 - 十进制优先编码器 74LS147 和同步十进制计数器 74160 组成的可控分频器,试说明当输入控制信号 A 、 B 、 C 、 D 、 E 、 F 、 G 、 H 、 I 分别为低电平时由 Y 端输出的脉冲频率各为多少。已知 CLK 端输入脉冲的频率为 10kHz。74LS147 的功能表如表 4.3.3 所示,74160 的功能表见表 6.3.4。

[题 6.25] 试用同步十进制可逆计数器 74LS190 和二 - 十进制优先编码器 74LS147 设计一个工作在减法计数状态的可控分频器。要求在控制信号 A 、 B 、 C 、 D 、 E 、 F 、 G 、 H 分别为 1 时分频比对应为 $1/2$ 、 $1/3$ 、 $1/4$ 、 $1/5$ 、 $1/6$ 、 $1/7$ 、 $1/8$ 、 $1/9$ 。74LS190 的逻辑图见图 6.3.24,它的

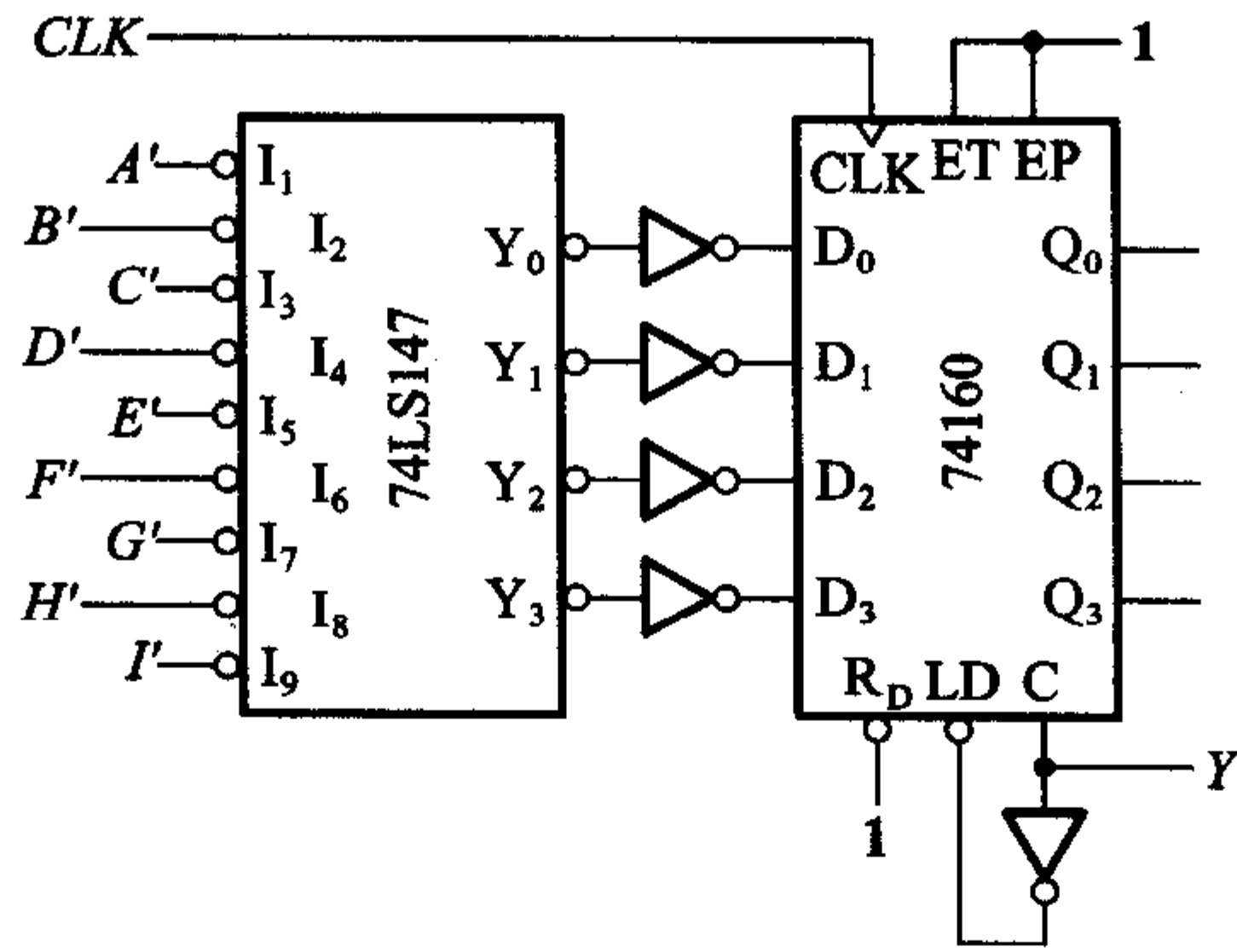


图 P6.24

功能表与表 6.3.5 相同。可以附加必要的门电路。

[题 6.26] 图 P6.26 是一个移位寄存器型计数器,试画出它的状态转换图,说明这是几进制计数器,能否自启动。

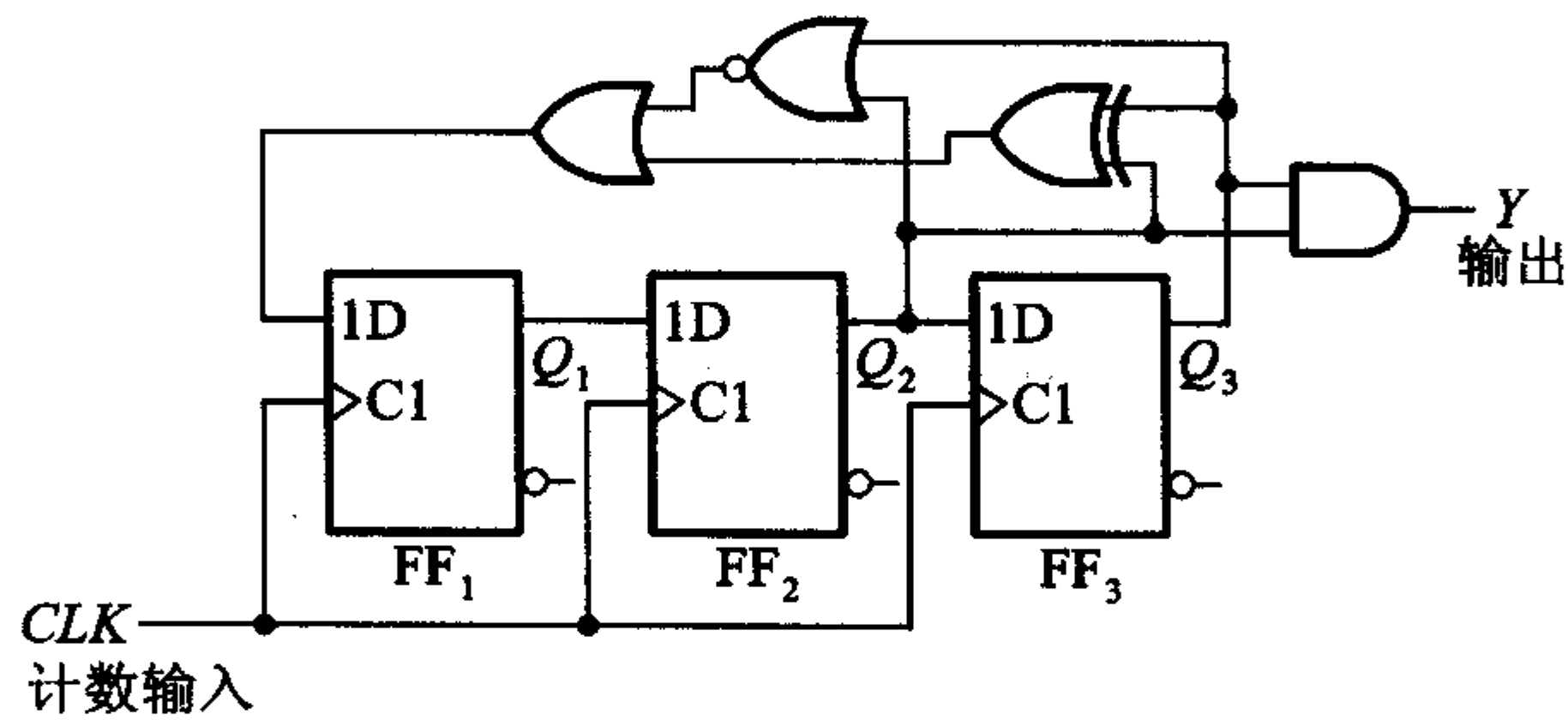


图 P6.26

[题 6.27] 图 P6.27 是一个移位寄存器型计数器。试画出电路的状态转换图,并说明这是几进制计数器,能否自启动。

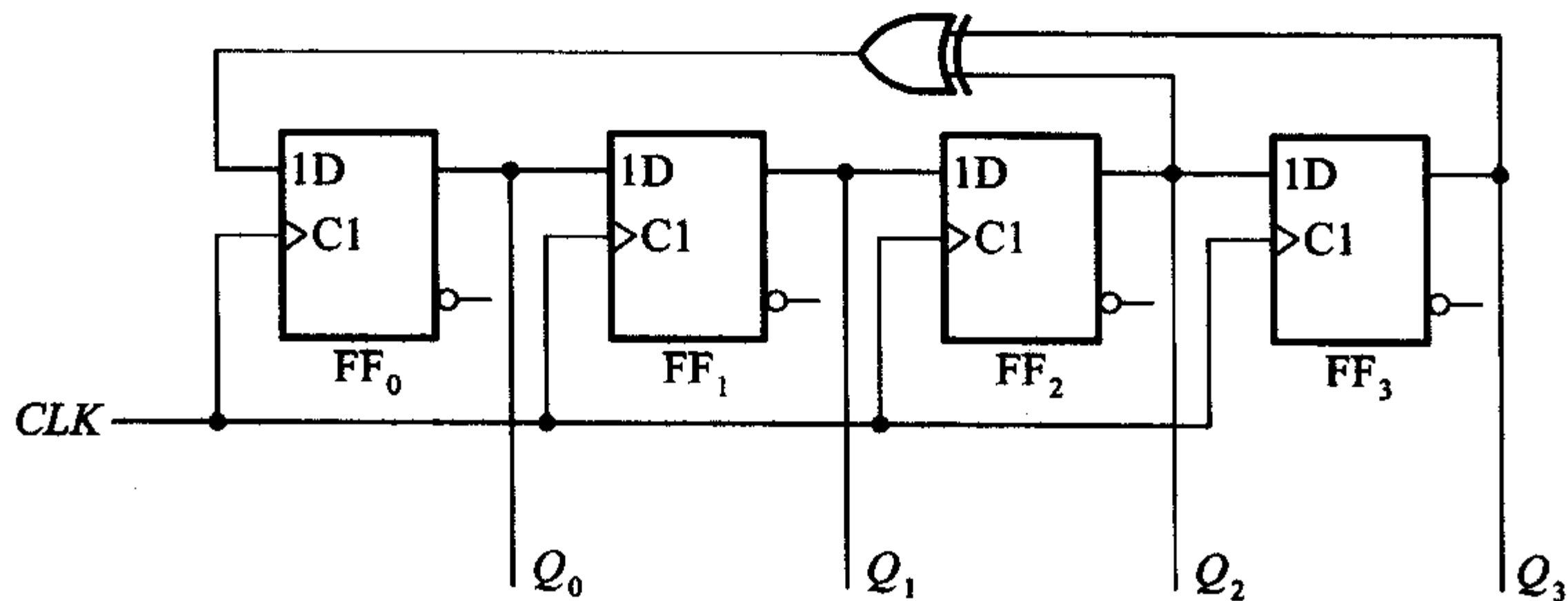


图 P6.27

[题 6.28] 试利用同步十六进制计数器 74LS161 和 4 线 - 16 线译码器 74LS154 设计节

拍脉冲发生器,要求从12个输出端顺序、循环地输出等宽的负脉冲。74LS154的逻辑框图及说明见[题4.11]。74LS161的功能表见表6.3.4。

[题6.29] 设计一个序列信号发生器电路,使之在一系列CLK信号作用下能周期性地输出“0010110111”的序列信号。

[题6.30] 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表P6.30规定的顺序转换状态。表中的1表示“亮”,0表示“灭”。要求电路能自启动,并尽可能采用中规模集成电路芯片。

表 P 6.30

CLK 顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

[题6.31] 试用JK触发器和门电路设计一个同步七进制计数器。

[题6.32] 用JK触发器和门电路设计一个4位格雷码计数器,它的状态转换表应如表P6.32所示。

表 P 6.32

计数 顺序	电路状态				进位 输出 C
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0