

表 1-1 引脚名称

引脚号	引脚名称	引脚号	引脚名称	引脚号	引脚名称
A2	NC_C	B3	XPCMEXTCLK1/GPE1	C3	XPCMSOUT1/GPE4
A3	XPCMSOUT0/GPD4	B4	XPCMSIN0/GPD3	C4	XPCMFSYNC1/GPE2
A4	VDDPCM	B5	XPCMEXTCLK0/GPD1	C5	XPCMDCLK1/GPE0
A5	XM1DQM0	B6	XM1DATA0	C6	XM1DATA4
A6	XM1DATA1	B7	XM1DATA3	C7	XM1DATA2
A7	VDDI	B8	VDDM1	C8	XM1DATA5
A8	VDDARM	B9	VDDM1	C9	XM1DATA7
A9	XM1DATA6	B10	XM1DATA13	C10	VDDARM
A10	XM1DATA9	B11	VDDARM	C11	XM1DATA14
A11	XM1DATA12	B12	XM1DATA16	C12	XM1DATA10
A12	XM1DATA18	B13	XM1DATA17	C13	XM1DATA19
A13	XM1SCLK	B14	XM1DQS2	C14	VDDM1
A14	XM1SCLKN	B15	XM1DATA22	C15	XM1DATA20
A15	XMMCDATA1_4/GHP6	B16	XMMCDATA1_2/GPH4	C16	XMMCDATA1_6/GPH8
A16	XMMCCMD1/GPH1	B17	VDDMMC	C17	XMMCDATA1_1/GPH3
A17	XMMCCDN0/GPG6	B18	XMMCDATA0_0/GPG2	C18	XMMCDATA0_2/GPG4
A18	XMMCLK0/GPG0	B19	XSPIMISO1/GPC4	C19	XSPIMOSI1/GPC6
A19	XSPIMOSI0/GPC2	B20	XSPIMISO0/GPC0	C20	XSPICS0/GPC3
A20	XI2CSCL/GPC8	B21	XUTXD3/GPB3	C21	VDDEXT
A21	XUTXD2/GPB1	B22	XUTXD1/GPA5	C22	XURTSN1/GPA7
A22	XURTSN0/GPA3	B23	XCIYDATA7/GPF12	C23	XPWMECLK/GPF13
A23	XUTXD0/GPA1	B24	XCIYDATA5/GPF10	C24	XCIYDATA2/GPF7
A24	NC_D	B25	NC_F	C25	XCIYDATA0/GPF5
B1	NC_B	C1	XM0ADDR0	D1	XM0ADDR2
B2	XPCMSIN1/GPE3	C2	VDDARM	D2	XM0ADDR3

表 1-1 引脚名称

D3	VDDARM	F1	XM0ADDR8/GPO8	G24	XM1DATA27
D6	XPCMFSYNC0/GPD2	F2	XM0ADDR6/GPO6	G25	XM1DATA30
D7	XPCMDCLK0/GPD0	F3	VDDARM	H1	VDDI
D8	VDDARM	F4	VDDM0	H2	XM0ADDR13/GPO13
D9	XM1DQS0	F22	XCIPCLK/GPF2	H3	XM0ADDR15/GPO15
D10	XM1DATA15	F23	XM1DATA24	H4	XM0ADDR12/GPO12
D11	XM1DATA11	F24	XM1DATA25	H7	XM0ADDR4
D12	XM1DATA8	F25	XM1DATA26	H8	VSSIP
D13	VDDI	G1	XM0ADDR11/GPO11	H9	XMMCDATA1_7/GPH9
D14	XM1DQM2	G2	XM0ADDR10/GPO10	H10	XMMCDATA1_3/GPH5
D15	XM1DATA21	G3	VDDM0	H11	XMMCDATA1_0/GPH2
D16	XM1DATA23	G4	XM0ADDR7/GPO7	H12	XSPICLK1/GPC5
D17	XSPICS1/GPC7	G8	XM1DQM1	H13	XMMCDATA0_1/GPG3
D18	VDDI	G9	XM1DQS1	H14	XSPICLK0/GPC1
D19	XURXD2/GPB0	G10	VDDM1	H15	XUCTSN1/GPA6
D20	XURXD0/GPA0	G11	XMMCDATA1_5/GPH7	H16	XPWMTOUT0/GPF14
D23	XPWMTOUT1/GPF15	G12	XMMCDATA0_3/GPG5	H17	XCIYDATA4/GPF9
D24	XCIVSYNC/GPF4	G13	XMMCCMD0/GPG1	H18	VSSPERI
D25	XCIHREF/GPF1	G14	XI2CSDA/GPC9	H19	XCIRSTN/GPF3
E1	XM0ADDR5	G15	XIRSBW/GPB4	H22	XM1DQM3
E2	VDDARM	G16	XUCTSN0/GPA2	H23	XM1DATA31
E3	XM0ADDR1	G17	XCIYDATA6/GPF11	H24	XM1ADDR0
E23	XCIYDATA1/GPF6	G18	XCIYDATA3/GPF8	H25	XM1ADDR3
E24	XM1DATA28	G22	XCICLK/GPF0	J1	XM0AP/GPQ8
E25	XM1DQS3	G23	XM1DATA29	J2	XM0WEN

表 1-1 引脚名称

J3	VDDARM	K24	XM1ADDR12	M19	XM1WEN
J4	XM0ADDR14/GPO14	K25	XM1ADDR5	M22	VDDI
J7	VSSMEM	L1	XM0DQM0	M23	XM1ADDR10
J8	XM0ADDR9/GPO9	L2	XM0DATA13	M24	XM1CKE1
J11	XMMCLK1/GPH0	L3	XM0SMCLK/GPp1	M25	XHIDATA17/GPL14
J12	VSSIP	L4	XM0OEN	N1	XM0DATA1
J13	VSSPERI	L7	XM0DATA10	N2	XM0DATA0
J14	XURXD3/GPB2	L8	XM0DATA12	N3	XM0DATA3
J15	XURXD1/GPA4	L9	VSSIP	N4	XM0DATA6
J18	VDDI	L17	VDDI	N7	XM0CSN0
J19	VDDM1	L18	XM1CSN1	N8	XM0CSN5/GPO3
J22	XM1ADDR9	L19	XM1ADDR4	N9	VSSIP
J23	XM1ADDR2	L22	XM1RASN	N17	XHIDATA16/GPL13
J24	XM1ADDR1	L23	XM1CSN0	N18	XHIDATA14/GPK14
J25	XM1ADDR6	L24	XM1CASN	N19	VDDUH
K1	XM0DATA15	L25	XM1ADDR15	N22	XUHDP
K2	VDDM0	M1	VDDM0	N23	XHIDATA15/GPK15
K3	VDDARM	M2	XM0DATA8	N24	XHIDATA13/GPK13
K4	XM0DATA14	M3	XM0DATA11	N25	XHIDATA12/GPK12
K7	XM0DQM1	M4	XM0DATA9	P1	VDDI
K8	VSSIP	M7	XM0DATA2	P2	XM0DATA5
K18	XM1ADDR7	M8	XM0DATA4	P3	XM0DATA7
K19	XM1ADDR11	M9	VSSMEM	P4	XM0CSN2/GPO0
K22	XM1ADDR13	M17	XM1ADDR14	P7	XM0CSN7/GPO5
K23	XM1ADDR8	M18	XM1CKE0	P8	XM0CASN/GPQ1

表 1-1 引脚名称

P9	VSSMEM	T4	XM0DQS0/GPQ5	U25	XHIADR8/GPL8
P17	VSSIP	T7	XEFFVDD	V1	VDDM0
P18	XHIDATA11/GPK11	T8	VSSMPLL	V2	XM0DQS1/GPQ6
P19	XHIDATA9/GPK9	T18	XHIADR7/GPL7	V3	XM0CKE/GPQ4
P22	XUHDN	T19	XHIADR9/GPL9	V4	XM0WEATA/GPP12
P23	XHIDATA10/GPK10	T22	XHIDATA1/GPK1	V7	VSSEPLL
P24	VDDHI	T23	XHIDATA3/GPK3	V8	XOM3
P25	XHIDATA8/GPK8	T24	XHIDATA2/GPK2	V9	XNRESET
R1	VDDM0	T25	XHIDATA0/GPK0	V10	XEINT1/GPN1
R2	XM0CSN3/GPO1	U1	XM0SCLKN/GPQ3	V11	XEINT6/GPN6
R3	XM0CSN1	U2	XM0RASN/GPQ0	V12	XEINT12/GPN12
R4	XM0WAITN/GPP2	U3	XM0WENDMC/GPQ7	V13	XVVD3/GPI3
R7	XM0INTATA/GPP8	U4	XM0INTSM1_FREN/GPP6	V14	XVVD8/GPI8
R8	XM0RDY0_ALE/GPP3	U7	XM0CDATA/GPP14	V15	XVVD12/GPI12
R9	VSSIP	U8	VSSMEM	V16	XVVD16/GPJ0
R17	VSSPERI	U11	VSSPERI	V17	VSSPERI
R18	VDDALIVE	U12	VSSPERI	V18	XHICSN_MAIN/GPM1
R19	XHIADR12/GPL12	U13	VSSIP	V19	XVCLK/GPJ11
R22	XHIDATA5/GPK5	U14	VSSPERI	V22	XHIOEN/GPM4
R23	XHIDATA4/GPK4	U15	VDDALIVE	V23	XHIADR6/GPL6
R24	XHIDATA6/GPK6	U18	XHIADR2/GPL2	V24	VDDHI
R25	XHIDATA7/GPK7	U19	XHIADR0/GPL0	V25	XHIADR5/GPL5
T1	XM0SCLK/GPQ2	U22	XHIADR4/GPL4	W1	VDDI
T2	XM0CSN6/GPO4	U23	XHIADR11/GPL11	W2	XM0RDY1_CLE/GPP4
T3	XM0CSN4/GPO2	U24	XHIADR10/GPL10	W3	XM0RESETATA/GPP9

W4	VSSAPLL	AA2	XM0INPACKATA/GPP10	AB25	XVVD20/GPJ4
W8	VSSMEM	AA3	XM0REGATA/GPP11	AC1	XADCAIN0
W9	XOM1	AA23	XHICSN/GPM0	AC2	XADCAIN1
W10	VDDALIVE	AA24	XVDEN/GPJ10	AC3	XADCAIN7
W11	XEXTCLK	AA25	XVHSYNC/GPJ8	AC4	VDDADC
W12	XEINT8/GPN8	AB1	VDDEPLL	AC5	VSSDAC
W13	XEINT14/GPN14	AB2	VDDMPLL	AC6	XDACOUT0
W14	XVVD1/GPI1	AB3	XM0OEATA/GPP13	AC7	XDACCOMP
W15	XVVD6/GPI6	AB6	VSSMEM	AC8	XUSBREXT
W16	XVVD11/GPI11	AB7	VSSOTG	AC9	VDDOTG
W17	XVVD14/GPI14	AB8	VSSOTGI	AC10	VDDOTGI
W18	XVVD22/GPJ6	AB9	XRTCXTI	AC11	VDDRTC
W22	XVVSYNC/GPJ9	AB10	XJTRSTN	AC12	XJTDO
W23	XHIADR3/GPL3	AB11	XJTCK	AC13	XOM2
W24	XHIADR1/GPL1	AB12	XJTDI	AC14	VSSPERI
W25	XHIIRQN/GPM5	AB13	XJDBGSEL	AC15	VDDSYS
Y1	XM0RPN_RNB/GPP7	AB14	XXTO27	AC16	XXTI
Y2	XM0ADRVALID/GPP0	AB15	XXTI27	AC17	XXTO
Y3	XM0INTSM0_FWEN/GPP5	AB16	XSELNAND	AC18	XEINT5/GPN5
Y4	XPLLEFILTER	AB17	XEINT3/GPN3	AC19	XEINT7/GPN7
Y22	XVVD18/GPJ2	AB18	XEINT10/GPN10	AC20	VDDI
Y23	XHIWEN/GPM3	AB19	VDDALIVE	AC21	XVVD9/GPI9
Y24	XHICSN_SUB/GPM2	AB20	XVVD5/GPI5	AC22	XVVD10/GPI10
Y25	VDDI	AB23	XVVD23/GPJ7	AC23	VDDLCD
AA1	VDDAPLL	AB24	XVVD21/GPJ5	AC24	XVVD15/GPI15

表 1-1 引脚名称

AC25	XVVD19/GPJ3	AD25	NC_J		
AD1	NC_G	AE2	NC_H		
AD2	XADCAIN2	AE3	XADCAIN4		
AD3	XADCAIN3	AE4	XADCAIN6		
AD4	XADCAIN5	AE5	XDACOUT1		
AD5	VSSADC	AE6	XDACIREF		
AD6	VDDDAC	AE7	XDACVREF		
AD7	XUSBXTI	AE8	VSSOTG		
AD8	XUSBXTO	AE9	XUSBDM		
AD9	XUSBVBUS	AE10	XUSBDP		
AD10	XUSBID	AE11	XUSBDRVVBUS		
AD11	VDDOTG	AE12	XJTMS		
AD12	XRTCXTO	AE13	XJRTCK		
AD13	XOM0	AE14	XOM4		
AD14	XPWRRGTON	AE15	XNBATF		
AD15	XNWRESET	AE16	VDDI		
AD16	XNRSTOUT	AE17	XEINT0/GPN0		
AD17	XEINT2/GPN2	AE18	XEINT4/GPN4		
AD18	VDDSYS	AE19	XEINT9/GPN9		
AD19	XEINT11/GPN11	AE20	XEINT13/GPN13		
AD20	XEINT15/GPN15	AE21	XVVD0/GPI0		
AD21	XVVD4/GPI4	AE22	XVVD2/GPI2		
AD22	VDDLCD	AE23	XVVD7/GPI7		
AD23	XVVD13/GPI13	AE24	NC_J		
AD24	XVVD17/GPJ1				

1.3 S3C6410 引脚信号描述

下面根据 S3C6410 引脚所能实现的不同功能来进行分类描述。

1. 外部存储器接口

S3C6410 共享存储器端口（SR0MC/OneNAND/NAND/ATA/DRAM0）具体信号描述如表 1-2 所示。

表 1-2 S3C6410 共享存储器端口信号

信号	I/O	描述
ADDR[15: 0]	0	存储器端口 0 共同地址总线
DATA[15: 0]	0	存储器端口 0 共同数据总线
nCS[7: 6]	0	存储器端口 0DRAM 片选支持高达两个存储页
nCS[5: 4]	0	存储器端口 0SR0M/CF 片选支持高达两个存储页
nCS[3:2]	0	存储器端口 0SR0M/OneNAND/NAND Flash 片选支持高达两个存储页
nCS[1: 0]	0	存储器端口 0SR0M 片选支持高达两个存储页
nBE[1: 0]	0	存储器端口 0SR0M 字节有效
WAITn	I	存储器端口 0SR0M 等待
nOE	0	存储器端口 0SR0M/OneNAND 输出有效
new	0	存储器端口 0SR0M/OneNAND 写入有效
ADDRVALID	0	存储器端口 0OneNAND 地址有效
SMCLK	0	存储器端口 0OneNAND 时钟
RDY[0]	I	存储器端口 0OneNAND 组件 0 准备
RDY[1]	I	存储器端口 0OneNAND 组件 1 准备
INT[0]	I	存储器端口 0OneNAND 组件 0 中断
INT[1]	I	存储器端口 0OneNAND 组件 1 中断
RP	0	存储器端口 0OneNAND 复位
ALE	0	存储器端口 0 NAND Flash 地址锁存有效
CLE	0	存储器端口 0 NAND Flash 命令锁存有效

FWEn	0	存储器端口 0 NAND Flash 写入有效
FREn	0	存储器端口 0 NAND Flash 读有效
RnB	I	存储器端口 0 NAND Flash 准备/忙
nLORD_CF	0	存储器端口 0 CF 读选通作为 I/O 模式
nLOWR_CF	0	存储器端口 0 CF 写选通作为 I/O 模式
IORDY	I	存储器端口 0 CF 从 CF 卡等待信号
INT	I	存储器端口 0 CF 从 ATAPI 控制器中断请求
RESET	0	存储器端口 0 CF 卡复位
INPACK	I	存储器端口 0 CF 输入确认在 I/O 模式
REG	0	存储器端口 0 CF 从 CF 卡中断请求
WEn	0	存储器端口 0 CF 写入有效选通
OEn	0	存储器端口 0 CF 输出有效选通
CDn	I	存储器端口 0 CF 卡检测
DQM[1:0]	0	存储器端口 0 DRAM 数据屏蔽
RAS	0	存储器端口 0 DRAM 行地址选通
CAS	0	存储器端口 0 DRAM 列地址选通
SCLK	0	存储器端口 0 DRAM 时钟
SCLKn	0	存储器端口 0 DRAM 反转时钟的 Xm0SCLK
SCKE	0	存储器端口 0 DRAM 时钟有效
DQS[1:0]	IO	存储器端口 0 DRAM 数据选通
WEn	0	存储器端口 0 DRAM 写入有效
AP	0	存储器端口 0 DRAM 自动预充电

S3C6410 共享存储器端口（SR0MC/ DRAM1）具体信号描述如表 1-3 所示。

表 1-3 S3C6410 共享存储器端口（SR0MC/ DRAM1）信号

信号	I/O	描述
Xm1CKE[1: 0]	0	存储器端口 1DRAM 时钟有效
Xm1SCLK	0	存储器端口 1DRAM 时钟
Xm1SCLKn	0	存储器端口 1DRAM 反转时钟的 Xm1SCLK
Xm1CSn[1: 0]	0	存储器端口 1DRAM 片选支持高达两个存储页
Xm1ADDR[15: 0]	0	存储器端口 1DRAM 地址总线
Xm1RASn	0	存储器端口 1DRAM 行地址选通
Xm1CASn	0	存储器端口 1DRAM 列地址选通
Xm1WEn	0	存储器端口 1DRAM 写入有效
Xm1DATA[15: 0]	IO	存储器端口 1DRAM 低于半数据总线
Xm1DATA[31: 16]	IO	可以作为存储器端口 1DRAM 高于半数据总线使用，通过吸同控制器设置
Xm1DQM[3: 0]	0	存储器端口 1DRAM 数据屏蔽
Xm1DQS[3: 0]	IO	存储器端口 1DRAM 数据选通

2. 串行通信

UART/IrDA/CF 具体信号描述如表 1-4 所示。

表 1-4 UART/IrDA/CF 信号

信号	I/O	描述
XuRXD[0]	I	UART 0 接收数据输入
XuTXD[0]	0	UART0 传输数据输出
XuCTS _n [0]	I	UART 0 清除发送数据信号
XuRTS _n [0]	0	UART 0 请求发送输出信号
XuRXD[1]	I	UART 1 接收数据输入
XuTXD[1]	0	UART 1 传输数据输出
XuCTS _n [1]	I	UART 1 清除发送数据信号
XuRTS _n [1]	0	UART 1 请求发送输出信号

XuRXD[2]	I	UART 2 接收数据输入
XuTXD[2]	O	UART 2 传输数据输出
XuRXD[3]	I	UART 3 接收数据输入
XuTXD[3]	O	UART 3 传输数据输出
XirSDBW	O	IrDA 收发控制信号（关机和带宽控制）
XirRXD	I	IrDA 接收数据
XirTXD	O	IrDA 发送数据
ADDR_CF[2:0]	O	CF 卡地址
EINT1[12:0]	I	外部中断 1

IIC 总线具体信号描述如表 1-5 所示。

表 1-5 IIC 总线信号

信号	I/O	描述
Xi2cSCL	I/O	IIC 总线时钟
Xi2cSDA	I/O	IIC 总线数据
EINT1[14: 13]	I	外部中断 1

SPI（2 通道）具体信号描述如表 1-6 所示。

表 1-6 SPI（2 通道）信号

信号	I/O	描述
XspiMISO[0]	I/O	SPI MISO[0]。SPI 主设备数据输入线路
XspiCLK[0]	I/O	SPI CLK[0]。SPI 时钟作为通道 0
XspiMOS[0]	I/O	SPI MOS[0]。SPI 主设备数据输出线路
XspiCS[0]	I/O	SPI 片选（只对于从模式）
XspiMISO[1]	I/O	SPI MISO[1]。SPI 主设备数据输入线路
XspiCLK[1]	I/O	SPI CLK[1]。SPI 时钟作为通道 1
XspiMOS[1]	I/O	SPI MOS[1]。SPI 主设备数据输出线路
XspiCS[1]	I/O	SPI 片选（只对于从模式）
ADDR_CF[2: 0]	O	CF 卡地址