

EINT2[7: 2]	I	外部中断 2
XmmcCMD2	IO	命令/响应 (SD/SDIO/MMC 卡接口通道 2)
XmmcCLK2	0	时钟 (SD/SDIO/MMC 卡接口通道 2)

PCM (2 通道) /IIS/AC97 具体信号描述如表 1-7 所示。

表 1-7 PCM (2 通道) /IIS/AC97 信号

信号	I/O	描述
XpcmDCLK[0]	0	PCM 串行移动时钟
XpcmEXTCLK[0]	I	可选参考时钟
XpcmFSYNC[0]	0	PCM 同步指示字的开始
XpcmSIN[0]	I	PCM 串行数据输入
XpcmSOUT[0]	0	PCM 串行数据输出
XpcmDCLK[1]	0	PCM 串行移动时钟
XpcmEXTCLK[1]	I	可选参考时钟
XpcmFSYNC[1]	0	PCM 同步指示字的开始
XpcmSIN[1]	I	PCM 串行数据输入
XpcmSOUT[1]	0	PCM 串行数据输出
Xi2sLRCK[1:0]	IO	IIS 总线通道选择时钟
Xi2sCDCLK[1:0]	0	IIS 编解码器系统时钟
Xi2sCLK[1:0]	IO	IIS 总线串行时钟
Xi2sDI[1:0]	I	IIS 总线串行数据输入
Xi2sDO[1:0]	0	IIS 总线串行数据输出
X97BITCLK	I	AC-Link 位总线 (12.288MHz) 从 AC97 编解码器到 AC97 控制器
X97RESETn	0	AC-Link 复位至编解码器
X97SYNC	0	从 AC97 控制器 AC-Link 帧同步 (采样频率 48kHz)
X97SDI	I	AC-Link 串行数据输入从 AC97 编解码器
X97SDO	0	AC-Link 串行数据输出至 AC97 编解码器
ADDR_CF[2:0]	0	CF 卡地址
EINT3[4:0]	I	外部中断 3

USB 主设备具体信号描述如表 1-8 所示。

表 1-8 USB 主设备信号

信号	I/O	描述
XuhDN	IO	USB 数据引脚 DATA (-) 用作 USB1.1 主设备
XuhDP	IO	USB 数据引脚 DATA (+) 用作 USB1.1 主设备

USB OTG 具体信号描述如表 1-9 所示。

表 1-9 USB OTG 信号

信号	I/O	描述
XusbDP	IO	USB 数据引脚 DATA (+)
XusbDM	IO	USB 数据引脚 DATA (-)
XusbXTI	I	晶体振荡器 XI 信号
XusbXTO	I	晶体振荡器 XO 信号
XusbREXT	IO	外部 3.4k Ω (+/-1%) 电阻连接
XusbVBUS	IO	USB 迷你插座 Vbus
XusbID	I	USB 迷你插座标识
XusbDRVVBUS	O	驱动 Vbus 作为芯片外电荷泵

3. 并行通信

外部中断具体信号描述如表 1-10 所示。

表 1-10 外部中断信号

信号	I/O	描述
XEINT[15: 0]	I	外部中断
XkpROW[7: 0]	I	便携式键盘 I/F 行
ADDR_CF[2: 0]	O	CF 卡地址

4. 调制解调器接口

主设备 I/F/HIS (MIPI) /Key I/F/ATA 具体信号描述如表 1-11 所示。

表 1-11 主设备 I/F/HIS (MIPI) /Key I/F/ATA 信号

信号	I/O	描述
XhiCSn	I	片选, 通过调制解调器芯片驱动
XhiCSn_main	I	片选作为主 LCD 旁路, 通过调制解调器芯片驱动
XhiCSn_sub	I	片选作为子 LCD 旁路, 通过调制解调器芯片驱动
XhiWEn	I	写入使能, 通过调制解调器芯片驱动
XhiOEn	I	读使能, 通过调制解调器芯片驱动
XhiINTR	0	调制解调器芯片中断请求
XhiADDR[12: 0]	I	地址总线, 通过调制解调器芯片驱动
XhiDATA[17: 0]	IO	数据总线, 通过调制解调器芯片驱动
XEINT[27: 16]	I	外部中断
XkpCOL[7: 0]	0	便携式键盘接口列输出
XhrxREADY	0	准备信号指示传输一个新的物理层帧可以开始
XhrxWAKE	I	唤醒信号用来指示接收器发射将开始一个传输
XhpROW[7: 0]	I	便携式键盘接口行输入
DATA_CF [15: 0]	IO	CF 卡数据
CE_CF[1: 0]	0	CF 卡使能选通
IOWR_CF	0	CF 读选通为 I/O 模式
IOWR_CF	0	CF 写选通为 I/O 模式
IORDY_CF	I	CF 从 CF 卡等待信号
ADDR_CR[2: 0]	0	CF 卡地址

PWM 具体信号描述如表 1-12 所示。

表 1-12 PWM 信号

信号	I/O	描述
XpwmECLK	I	PWM 定时器外部时钟
XpwmTOUT[1: 0]	0	PWM 定时器输出
XCLKOUT	0	时钟输出信号
EINT4[13]	I	外部中断 4

5. 图像/视频处理

相机接口具体信号描述如表 1-13 所示。

表 1-13 相机接口信号

信号	I/O	描述
XciCLK	0	主时钟相机处理器 A
XciHREF	I	水平同步，通过相机处理器 A 驱动
XciPCLK	I	像素时钟，通过相机处理器 A 驱动
XciVSYNC	I	垂直同步，通过相机处理器 A 驱动
XciRSTn	0	软件复位到相机处理器 A 驱动
XciYDATA[7: 0]	I	在 8 位模式，像素数据为 YCbCr，或在 16 位模式下为 Y，通过相机处理器 A 驱动
EINT4[12: 0]	I	外部中断 4

6. 显示器控制

2 通道 DAC 具体信号描述如表 1-14 所示。

表 1-14 2 通道 DAC 信号

信号	I/O	描述
XdacVREF	AI	参考电压输入
Xdac1REF	AI	外部寄存器连接
XdacCOMP	AI	外部电容器连接
XdacOUT_0	AO	DAC 模拟输出
XdacOUT_1	AO	DAC 模拟输出

ADC 具体信号描述如表 1-15 所示。

表 1-15 ADC 信号

信号	I/O	描述
Xdac_AIN [7: 0]	AI	ADC 模拟输入

PLL 具体信号描述如表 1-16 所示。

表 1-16 PLL 信号

信号	I/O	描述
Xp11EFILTER		环路滤波器电容器

7. 存储设备

MMC 2 通道具体信号描述如表 1-17 所示。

表 1-17 MMC 2 通道信号

信号	I/O	描述
XmmcCLK0	0	时钟 (SD/SDIO/MMC 卡接口通道 0)
XmmcCMD0	IO	命令/响应 (SD/SDIO/MMC 卡接口通道 0)
XmmcDAT0[3: 0]	IO	数据 (SD/SDIO/MMC 卡接口通道 0)
XmmcCDN0	I	卡删除 (SD/SDIO/MMC 卡接口通道 0)
XmmcCLK1	0	时钟 (SD/SDIO/MMC 卡接口通道 1)
XmmcCMD1	IO	命令/响应 (SD/SDIO/MMC 卡接口通道 1)
XmmcDAT1[7: 0]	IO	数据 (SD/SDIO/MMC 卡接口通道 1)
XmmcCLK2	0	时钟 (SD/SDIO/MMC 卡接口通道 2)
XmmcCMD2	IO	命令/响应 (SD/SDIO/MMC 卡接口通道 2)
XmmcDAT2[3: 0]	IO	数据 (SD/SDIO/MMC 卡接口通道 2)
ADDR_CF[2: 0]	0	CF 卡地址
EINT5[6: 0]	I	外部中断 5
EINT 6[9: 0]	I	外部中断 6

8. 系统管理器

复位具体信号描述如表 1-18 所示。

表 1-18 复位信号

信号	I/O	描述
XnRESET	I	XnRESET 暂停任何操作在处理和取代 S3C6410 到一个已知的复位状态。对于复位，XnRESET 必须保持 L 电平至少四个 FCLK，在处理器功率稳定下来之后
XnWRESET	I	系统热复位。当维护 SDRAM 内容时复位整个系统
XsRSTOUTn	0	外部设备复位控制 (sRSTOUTn = nRESET & nWDTRST & SW_RESET)

时钟具体信号描述如表 1-19 所示。

表 1-19 时钟信号

信号	I/O	描述
XrtcXTI	I	RTC 32kHz 晶体输入
XrtcXT0	0	RTC32kHz 晶体输出
X27mXTI	I	显示器模式 27MHz 晶体输入
X27mXT0	0	显示器模式 27MHz 晶体输出
XXTI	I	内部振荡器电路晶体输入
XXT0	0	内部振荡器电路晶体输出
XEXTCLK	I	外部时钟源

JTAG 具体信号描述如表 1-20 所示。

表 1-20 JTAG 信号

信号	I/O	描述
XjTRSTn	I	XjTRSTn (TAP 控制器复位) 在开始复位 TAP 控制器。如果使用调试器，一个 10k Ω 上拉电阻必须被连通。如果不使用调试器，XjTRSTn 引脚必须在 L 或低又小脉冲
XjTMS	0	XjTMS (TAP 控制器模式选择) 控制 TAP 控制器状态的顺序。一个 10k Ω 的上拉电阻必须被连接到 TMS 引脚
XjTCK	I	XjTCK (TAP 控制器时钟) 提供 JTAG 逻辑的时钟输入。一个 10k Ω 的下拉电阻必须被连接到 TMS 引脚

XjRTCK	0	XjRTCK (TAP 控制器返回的时钟) 提供 JTAG 逻辑时钟输出
XjTDI	I	XjTDI (TAP 控制器数据输入) 是测试指令和数据的串行输入。一个 10k 的上拉电阻必须连接到 TDI 引脚
XjTDO	0	XjTDO (TAP 控制器数据输出) 测试指令和数据的串行输入。它可能通过 GPIO 电阻控制下拉
XjDBGSEL	I	JTAG 选择。1: 外设 JTAG, 0: ARM1176JZF-S 核心 JTAG

MISC 具体信号描述如表 1-21 所示。

表 1-21 MISC 信号

信号	I/O	描述
XOM[4: 0]	I	操作模式选择。
XPWRRGTON	0	功率调节器使能
XSELNAND	I	选择 Flash 存储器。1: OneNAND, 1: NAND
XnBATF	I	电池故障指示

9. 电源组

VDD 具体信号描述如表 1-22 所示。

表 1-22 VDD 信号

信号	I/O	描述	电压
VDDALIVE	P	带电组件的内部 VDD	1.0
VDDARM	P	ARM1176 核和缓存的内部 VDD	TBD
VDDINT	P	逻辑的内部 VDD	TBD
VDDMPLL	P	MPLL 核的 VDD	TBD
VDDEPLL	P	APLL 核的 VDD	TBD
VDDOTG	P	EPLL 核的 VDD	3.3
VDDOTGI	P	USB OTG PHY 的 VDD	1.0
VDDMMC	P	USB OTG PHY 的内部 VDD	2.5~3.3
VDDHI	P	SDMM 的 IO VDD	2.5~3.3
VDDLCD	P	主设备 I/F 的 IO VDD	2.5~3.3

VDDPCM	P	LCD 的 IO VDD	2.5~3.3
VDDEXT	P	PCM 的 IO VDD (音频 I/F-I ² S, AC97)	3.3
VDDSYS	P	外部 I/F 的 IO VDD (UART, I ² C, 相机 I/F, USB 主设备等)	3.3
VDDADC	P	ADC 核和 IO 的 VDD	3.3
VDDDAC	P	DAC 核和 IO 的 VDD	3.3
VDDRTC	P	RTC 逻辑和 IO 的 VDD	2.5
VDDMO	P	存储器端口 0 的 IO VDD	1.8~2.5
VDDM1	P	存储器端口 1 的 IO VDD	1.8~2.5

VSS 具体信号描述如表 1-23 所示。

表 1-23 VSS 信号

信号	I/O	描述
VSSIP	G	内部逻辑接地&ARM1176 核和缓存
VSSMEM	G	存储器端口 0 和 1 的 IO 接地
VSSOTG	G	USB OTG PHY 的接地
VSSOTGI	G	USB OTG PHY 的内部接地
VSSPERI	P	USB 主设备, SDMMC, 主设备 I/F, LCD, PCM, 外部 I/F 和系统控制器
VSSAPLL	G	APLL 核接地
VSSMPLL	G	MPLL 核接地
VSSEPLL	G	EPLL 核接地
VSSADC	G	ADC 核接地
VSSDAC	G	DAC 核接地

注意:

- (1) I/O 表示输入/输出;
- (2) AI/AO 表示模拟输入/输出;
- (3) ST 表示施密特触发;
- (4) P 表示电源。

2 存储器映射

S3C6410 支持 32 位物理地址域，并且这些地址域分成两部分，一部分用于存储，另一部分用于外设。

2.1 存储器系统模块图

通过 SPINE 总线访问主存，主存的地址范围是 0x0000_0000~0x6FFF_FFFF。主存部分分成四个区域：引导镜像区、内部存储区、静态存储区和动态存储区。

引导镜像区的地址范围是从 0x0000_0000~0x07FF_FFFF，但是没有实际的映射内存。引导镜像区反映一个镜像，这个镜像指向内存的一部分区域或者静态存储区。引导镜像的开始地址是 0x0000_0000。

内部存储区用于启动代码访问内部 ROM 和内部 SRAM，也被称做 Steppingstone。每块内部存储器的起始地址是确定的。内部 ROM 的地址范围是 0x0800_0000~0x0BFF_FFFF，但是实际存储仅 32KB。该区域是只读的，并且当内部 ROM 启动被选择时，该区域能映射到引导镜像区。内部 SRAM 的地址范围是 0x0C00_0000~0x0FFF_FFFF，但是实际存储仅 4KB。该区域能被读和写，当 NAND 闪存启动被选择时能映射到引导镜像区。

静态存储区的地址范围是 0x1000_0000~0x3FFF_FFFF。通过该地址区域能访问 SRAM、NOR Flash、同步 NOR 接口设备、和 Steppingstone。每一块区域代表一个芯片选择，例如，地址范围从 0x1000_0000~0x17FF_FFFF 代表 X_mOCS_n[0]。每一个芯片选择的开始地址是固定的。NAND Flash 和 CF/ATAPI 不能通过静态存储区访问，因此任何 X_mOCS_n[5:2] 映射到 NFCON 或 CFCON，相关地址区域应当被访问。一个例外，如果 X_mOCS_n[2] 用于 NAND Flash，Steppingstone 映射到存取区从 0x2000_0000~27FF_FFFF。

动态存储区的地址范围是 0x4000_0000~0x6FFF_FFFF。DMC0 有权使用地址 0x4000_0000~0x4FFF_FFFF，并且 DMC1 有权使用地址 0x5000_0000~0x6FFF_FFFF。对于每一块芯片选择的起始地址是可以进行配置的。

外设区域通过 PERI 总线被访问，它的地址范围是 0x7000_0000~0x7FFF_FFFF。这个地址范围的所有 SFR 能被访问。而且如果数据需要从 NFCON 或 CFCON 传输，这些数据需要通过 PERI 总线传输。

存储器系统模块的地址映射图，如图 2-1 所示。

