

0x2800_0000	0x2FFF_FFFF	128MB	SMC Bank 3	
0x3000_0000	0x37FF_FFFF	128MB	SMC Bank 4	
0x3800_0000	0x3FFF_FFFF	128MB	SMC Bank 5	
0x4000_0000	0x47FF_FFFF	128MB	存储器端口 1 DDR/SDRAM Bank0	
0x4800_0000	0x4FFF_FFFF	128MB	存储器端口 1 DDR/SDRAM Bank1	
0x5000_0000	0x5FFF_FFFF	256MB	存储器端口 2DDR/SDRAM Bank0	
0x6000_0000	0x6FFF_FFFF	256MB	存储器端口 2DDR/SDRAM Bank1	

如表2-2所示，显示了AHB总线存储器映射。

表 2-2 AHB 总线存储器映射

		描述	备注
0x7000_0000	0x700F_FFFF	SROM SFR	
0x7010_0000	0x701F_FFFF	OneNAND SFR	
0x7020_0000	0x702F_FFFF	NFCON SFR	
0x7030_0000	0x703F_FFFF	CFCON SFR	
0x7040_0000	0x70FF_FFFF	保留	
0x7100_0000	0x710F_FFFF	TZIC0	
0x7110_0000	0x711F_FFFF	TZIC1	
0x7120_0000	0x712F_FFFF	INTC0	
0x7130_0000	0x713F_FFFF	INTC1	
0x7140_0000	0x71FF_FFFF	保留	
0x7200_0000	0x72FF_FFFF	保留	
0x7300_0000	0x7300_0FFF	ETB 存储器	
0x7310_0000	0x731F_FFFF	ETB寄存器	
0x7320_0000	0x73FF_FFFF	保留	

0x7400_0000	0x740F_FFFF	间接主机I/F	
0x7410_0000	0x741F_FFFF	直接主机I/F	
0x7420_0000	0x742F_FFFF	保留	
0x7430_0000	0x743F_FFFF	USB Host	
0x7440_0000	0x744F_FFFF	MDP I/F	
0x7450_0000	0x74FF_FFFF	保留	
0x7500_0000	0x750F_FFFF	DMA0	
0x7510_0000	0x751F_FFFF	DMA1	
0x7520_0000	0x752F_FFFF	保留	
0x7530_0000	0x753F_FFFF	保留	
0x7540_0000	0x75FF_FFFF	保留	
0x7600_0000	0x760F_FFFF	保留	
0x7610_0000	0x761F_FFFF	2D图形	
0x7620_0000	0x762F_FFFF	TV编码器	
0x7630_0000	0x763F_FFFF	TV定标器	

如表7-3所示，显示了APB总线存储器映射。

表 2-3 APB 总线存储器映射

地址		描述	备注
0x7640_0000	0x76FF_FFFF	保留	
0x7700_0000	0x770F_FFFF	Post处理器	
0x7710_0000	0x771F_FFFF	LCD控制器	
0x7720_0000	0x772F_FFFF	旋转器	

0x7730_0000	0x77FF_FFFF	保留	
0x7800_0000	0x783F_FFFF	相机I/F	
0x7840_0000	0x787F_FFFF	保留	
0x7880_0000	0x78BF_FFFF	JPEG	
0x78C0_0000	0x78FF_FFFF	保留	
0x7900_0000	0x79FF_FFFF	保留	
0x7A00_0000	0x7AFF_FFFF	保留	
0x7B00_0000	0x7BFF_FFFF	保留	
0x7C00_0000	0x7C0F_FFFF	USB OTG	
0x7C10_0000	0x7C1F_FFFF	USB OTG SFR	
0x7C20_0000	0x7C2F_FFFF	SD-MMC 控制器 0 (高速/CE-ATA)	
0x7C30_0000	0x7C3F_FFFF	SD-MMC 控制器 1(高速/CE-ATA)	
0x7C40_0000	0x7C4F_FFFF	SD-MMC 控制器 2 (高速/CE-ATA)	
0x7C50_0000	0x7C5F_FFFF	保留	
0x7D00_0000	0x7D0F_FFFF	D&I (安全总线系统配置) SFR	
0x7D10_0000	0x7D1F_FFFF	AES_RX	
0x7D20_0000	0x7D2F_FFFF	DES_RX	
0x7D30_0000	0x7D3F_FFFF	HASH (SHA/PRNG)_RX	
0x7D40_0000	0x7D4F_FFFF	RX FIFO SFR	
0x7D50_0000	0x7D5F_FFFF	AES_TX	
0x7D60_0000	0x7D6F_FFFF	DES_TX	
0x7D70_0000	0x7D7F_FFFF	HASH(SHA/PRNG)_TX	
0x7D80_0000	0x7D8F_FFFF	TX FIFO SFR	
0x7D90_0000	0x7D9F_FFFF	RX_FIFO	
0x7DA0_0000	0x7DAF_FFFF	TX_FIFO	

0x7DB0_0000	0x7DBF_FFFF	SDMA0	
0x7DC0_0000	0x7DCF_FFFF	SDMA1	

如表2-4所示，显示了APB总线存储器映射。

表 2-4 APB 总线存储器映射

地址		描述	备注
0x7DD0_0000	0x7DFE_FFFF	保留	
0x7E00_0000	0x7E00_0FFF	DMC0 SFR	
0x7E00_1000	0x7E00_1FFF	DMC1 SFR	
0x7E00_2000	0x7E00_2FFF	MFC SFR	
0x7E00_3000	0x7E00_3FFF	保留	
0x7E00_4000	0x7E00_4FFF	看门狗定时器	
0x7E00_5000	0x7E00_5FFF	RTC	
0x7E00_6000	0x7E00_6FFF	HSI TX	
0x7E00_7000	0x7E00_7FFF	HIS RX	
0x7E00_8000	0x7E00_8FFF	保留	
0x7E00_9000	0x7E00_9FFF	保留	
0x7E00_A000	0x7E00_AFFF	键盘I/F	
0x7E00_B000	0x7E00_BFFF	ADC/触摸屏	
0x7E00_C000	0x7E00_CFFF	ETM	
0x7E00_D000	0x7E00_DFFF	Key	
0x7E00_E000	0x7E00_EFFF	芯片 ID	
0x7E00_F000	0x7E00_FFFF	系统控制器	
0x7F00_0000	0x7F00_0FFF	TZPC	
0x7F00_1000	0x7F00_1FFF	AC97	
0x7F00_2000	0x7F00_2FFF	IIS 通道0	
0x7F00_3000	0x7F00_3FFF	IIS 通道1	
0x7F00_4000	0x7F00_4FFF	IIC	

0x7F00_5000	0x7F00_5FFF	UART	
0x7F00_6000	0x7F00_6FFF	PWM定时器	
0x7F00_7000	0x7F00_7FFF	IrDA	
0x7F00_8000	0x7F00_8FFF	GPIO	
0x7F00_9000	0x7F00_9FFF	PCM通道0	
0x7F00_A000	0x7F00_AFFF	PCM通道1	
0x7F00_B000	0x7F00_BFFF	SPI0	
0x7F00_C000	0x7F00_CFFF	SPI1	
0x7F00_D000	0x7F00_DFFF	保留	
0x7F00_E000	0x7F00_EFFF	保留	
0x7F00_F000	0x7F00_FFFF	保留	

## 3 系统控制器

本小节主要介绍系统控制器在 S3C6410 RISC 微处理器中的功能和使用。系统控制器由两部分组成：分别是系统时钟控制和系统电源管理控制。系统时钟控制逻辑，在 S3C6410 中生成所需的系统时钟信号，用于 CPU 的 ARMCLK，AXI/AHB 总线外设的 HCLK 和 APB 总线外设的 PCLK。在 S3C6410 中有三个 PLL。一个仅用于 ARMCLK，一个用于 HCLK 和 PCLK，最后一个用于外设，特别用于音频相关的时钟。通过外部提供的时钟源，时钟控制逻辑产生慢速时钟信号 ARMCLK，HCLK 和 PCLK。该每个外设块的时钟信号可能被启用或禁用，由软件控制以减少电源消耗。

在电源控制逻辑中，S3C6410 有多种电源管理方案，以保持电力系统的最佳消耗，用于一个给定的任务。在 S3C6410 中，电源管理由四个模块组成：通用时钟门控模式，空闲模式，停止模式和睡眠模式。

在 S3C6410 中，通用时钟门控模式用来控制内部外设时钟的开/关。可以通过用于外设所要求的特定应用提供时钟，使用通用时钟门控模式来优化 S3C6410 的电源消耗。例如：如果定时器没有要求，则可以中断时钟定时器，以降低功耗。

闲置模式仅中断 ARMCLK 到 CPU 内核，它提供时钟给所有外设。通过使用闲置模式，电力消耗通过 CPU 内核而减少。

停止模式通过禁用 PLL 冻结所有时钟到 CPU 以及外设。在 S3C6410 中，电力消耗仅因为漏电流。

睡眠模式断开内部电源。因此，电力消耗因为除了唤醒逻辑，CPU 和内部逻辑将为零。为了使用睡眠模式，两个独立的电源是必需的。两个电源中的一个用于唤醒逻辑提供电力，另一个提供其他内部逻辑，包括 CPU 和为了旋转开/关所必须进行的控制。

### 3.1 系统控制器的特性

系统控制器包含的特性有以下几个方面：

- 三个 PLL：ARM PLL，主 PLL，额外的 PLL（这些模块用于使用特殊频率）。
- 五种省电模式：正常，闲置，停止，深度停止和睡眠。
- 五种可控制的电源范围：domain-V，domain-I，domain-P，domain-F，domain-S。
- 内部子块的控制操作时钟。

- 控制总线优先级。

## 3.2 功能描述

这部分主要介绍 S3C6410 系统控制器的功能。包含时钟的体系结构，复位设计和电源管理模式。

### 1. 硬件体系结构

如图 2-2 所示，说明了 S3C6410 的结构框图。S3C6410 是由 ARM1176 处理器，几个多媒体协处理器和各种外设 IP 组成的。ARM1176 处理器是通过 64 位 AXI 总线连接到几个内存控制器上的。这样做是为了满足带宽需求。多媒体协处理器分为五个电源域，包括 MFC（多格式编解码器），JPEG，Camera 接口，TV 译码器等等。当 IP 没有被一个应用程序所要求时，五个电源域可以进行独立的控制，以减少不必要的电力消耗。

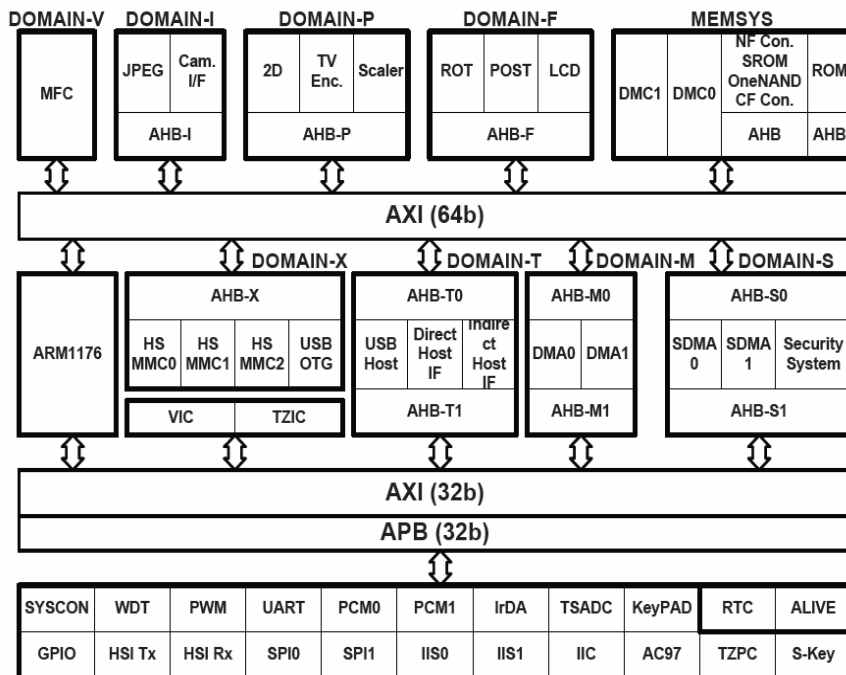


图 3-1 S3C6410 的结构框图

### 2. 时钟体系结构

如图 3-2 所示，说明了时钟发生器模块的结构框图。时钟源在外部晶体 (XXTIp11) 和外部时钟 (XEXTCLK) 两者之间进行选择。该时钟发生器由三个 PLL（锁相环）组成，产生高频率的时钟信号可以达到 1.6GHz。

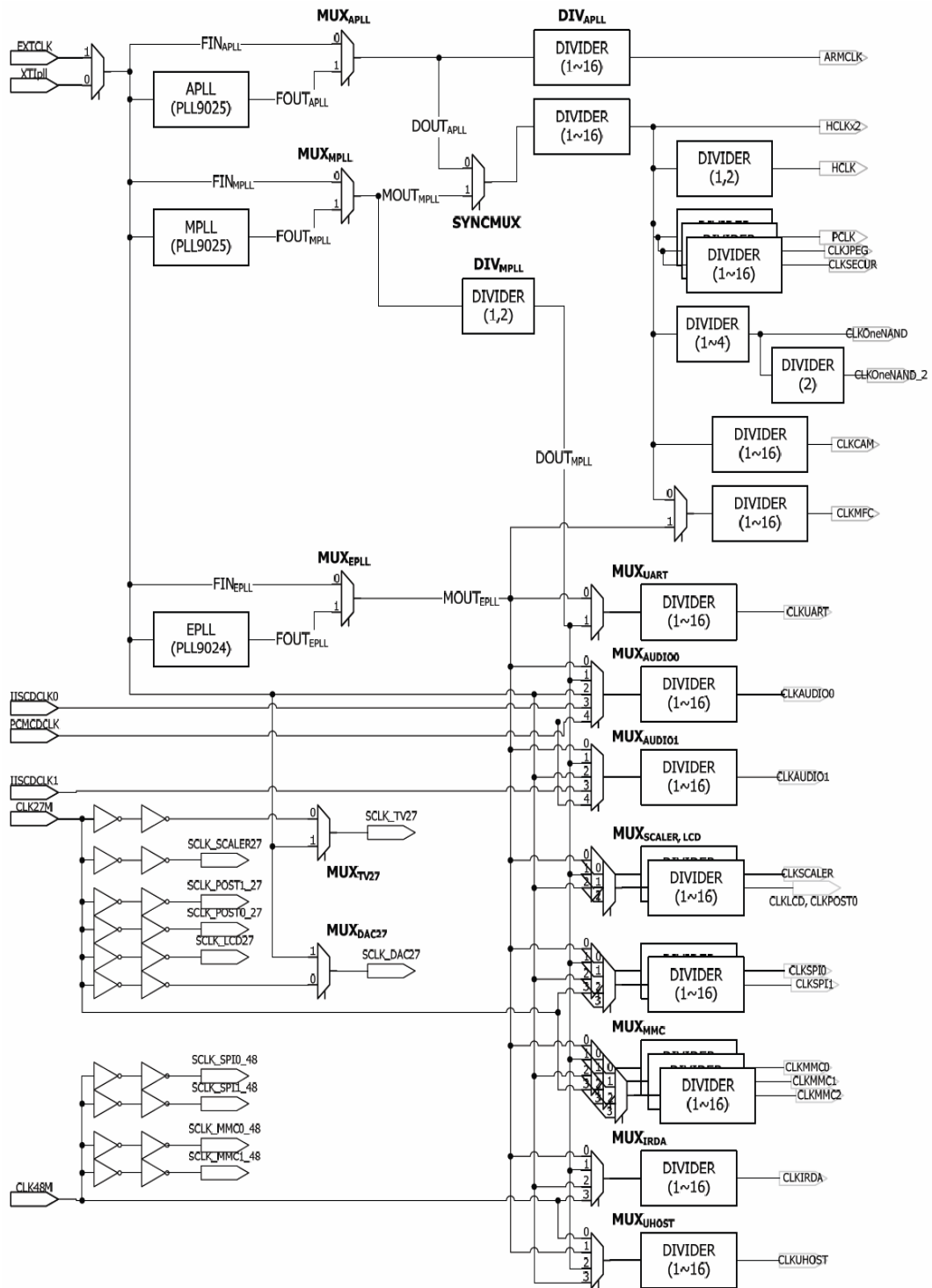


图 3-2 时钟发生器的结构框图



### 3. 时钟源的选择

内部时钟会产生用于外部的时钟源，其说明如表 3-1 所示。当外部复位信号被声明时，OM[4:0]引脚决定了 S3C6410 的操作模式。OM[0]引脚选择外部时钟源，例如，如果 OM[0]是 0，则 XXTIp11（外部晶体）被选择。否则，XEXTCLK 被选择。

表 3-1 启动时设备操作模式的选择

OM[4:0]	启动设备	功能	时钟源
0000X	NAND	AdvFlash=0, AddrCycle=3	如果OM[0] 是0, XXTIp11 被选择。 如果 OM[0] 是 1,XEXTCLK 被选择。
0001X		AdvFlash=0, AddrCycle=4	
0010X		AdvFlash=1, AddrCycle=4	
0011X		AdvFlash=1, AddrCycle=5	
0100X	SROM	-	
0101X	NOR (26 位)	-	
0110X	OneNAND	-	
0111X	MODEM	-	
RESERVED	保留	-	
1111X	内部 ROM	-	

操作模式根据启动设备主要分为六种类别。启动设备可以是 NAND，SROM，NOR，OneNAND，MODEM 和内部 ROM 其中的一种。当启动设备是 NAND 时，可以选择的额外的特征如表 6-108 所示。当 NAND Flash 设备被使用时，XSELNAND 引脚必须是 1，即使它用来作为启动设备或存储设备。当 OneNAND Flash 设备被使用时，XSELNAND 引脚必须是 0，即使它用来作为启动设备或存储设备。当 NAND/OneNAND 设备不使用时，XSELNAND 可以是 0 或 1。

### 4. 锁相环 (PLL)

S3C6410 内部的三个 PLL，分别是 APLL，MPLL 和 EPLL。带有一个参考输入时钟操作频率和相位的同步输出信号。在这个应用当中，包括基本模块的说明，如图 3-3 所示。电压控制振荡器 (VCO) 产生的输出频率成正比，输入到直流电压。通过 P，前置配器划分输入频率 (FIN)。通过 M，主分频器分割 VCO 的输出频率，用于输入到相位频率检测器，(PFD)。通过 S，post 定标器划分为 VCO 的输出频率。相位差探测器计算相位差和电荷泵的增加/减少输出电压。每个 PLL 的输出时钟频率是可以计算的。

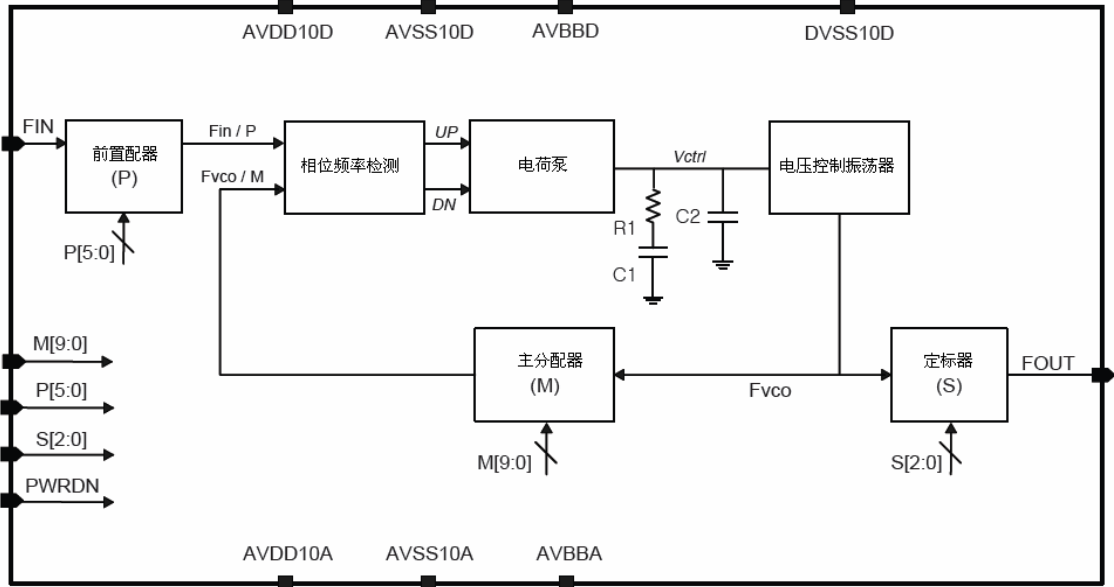


图 3-3 PLL 结构框图(只有 APLL, MPLL)

### 5. PLL 和输入参考时钟之间时钟选择

如图 3-4 所示，说明了时钟发生器逻辑。S3C6410 有三个 PLL，APLL 用于 ARM 时钟操作，MPLL 用于主时钟操作，EPLL 用于特殊用途。时钟操作被分为三组。第一组是 ARM 时钟，从 APLL 产生。MPLL 产生主系统时钟，用于操作 AXI, AHB 和 APB 总线操作。最后一组是从 EPLL 产生的，产生的时钟主要用于外设 IP's，例如，UART, IIS 和 IIC 等等。

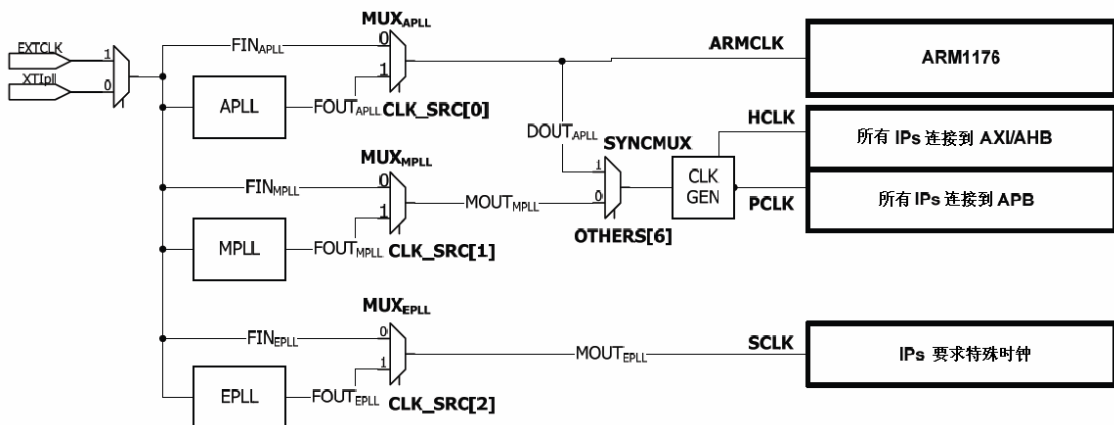


图 3-4 从 PLL 输出时钟发生器