

CLK\_SRC 寄存器的最低三位控制三组时钟源。当位为 0 时，则输入时钟绕过组，否则，PLL 输出将被应用到组。

## 6. ARM 和 AXI/AHB/APB 总线时钟发生器

S3C6410 的 ARM1176 处理器运行时最大可达 227MHz。操作频率可以通过内部时钟分频器来控制，DIVARM，没有改变 PLL 频率。该分频器的比率从 1~8 不同。ARM 处理器降低了运行速度，以减少功耗。

S3C6410 由 AXI 总线，AHB 总线和 APB 总线组成，以优化性能要求。内部的 Ips 连接到适当的总线系统，以满足 I/O 带宽和操作性能。当在 AXI 总线或 AHB 总线上时，操作速度可以最大达到 133MHz。当在 APB 总线上时，最大的操作速度可以达到 66MHz。而且，总线速度在 AHB 和 APB 之间有高度依赖同步数据传输。如图 3-5 所示，该图说明了总线时钟发生器部分满足总线系统时钟的要求。

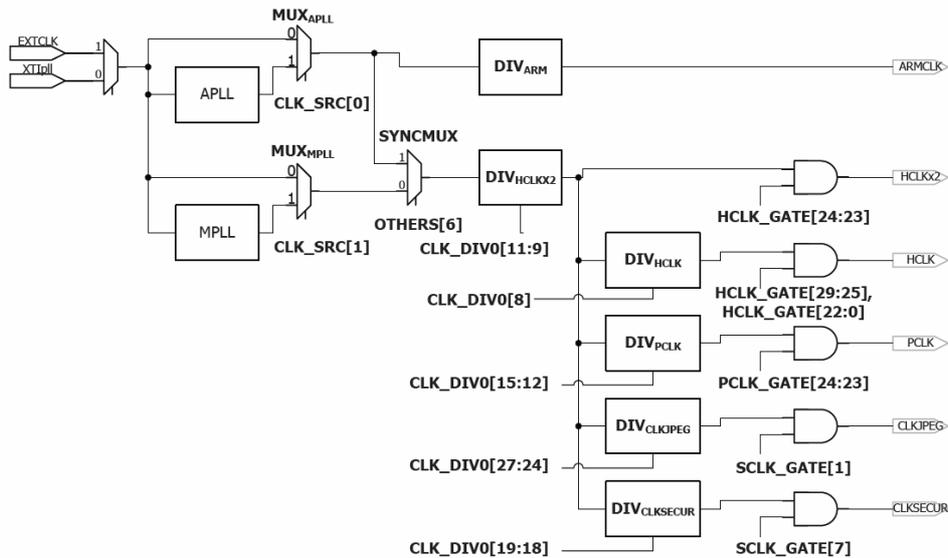


图 3-5 ARM 和总线时钟发生器

S3C6410 的 HCLKX2 时钟提供了两个 DDR 控制器，DDR0 和 DDR1。操作速度可以达到最高 266MHz，通过 DDR 控制器发送和接收数据。当操作没有被请求时，每个 HCLKX2 时钟可独立地屏蔽，以减少多余的功率耗散在时钟分配网络上。所有的 AHB 总线时钟都是从 DIVHCLK 时钟分频器中产生的。产生的时钟可以独立地屏蔽，以减少多余的功率耗散。HCLK\_GATE 寄存器控制 HCLKX2 和 HCLK 的主机操作。

通过 APB 总线系统，低速互连 IP 传输数据。运行中的 APB 时钟高达 66MHz，并且是从 DIVPCLK 时钟分频器产生的。也可以屏蔽使用 PCLK\_GATE 寄存器。作为描述，频率比率在 AHB 时钟和 APB 时钟之间必须有一个整数值。例如，如果 DIVHCLK 的 CLK\_DIV0[8] 位为 1，则 DIVPCLK 的 CLK\_DIV0[15:12] 必须是 1, 3, ...。

否则，APB 总线系统上的 IP 不能正确的传输数据。

在 AHB 总线系统上，JPEG 和安全子系统在 133MHz 时不能运行。AHB 时钟带有 DIVCLKJPEG 和 DIVCLKSECUR 独立地产生。因此，作为 APB 时钟它们有相同的限制。如表 3-2 所示，列出了建议时钟分频器的比例。

表 3-2 时钟分频器典型值的设置 (SFR 设置值/输出频率)

APLL	MPLL	DIVARM	DIVHCLKX2	DIVHCLK	DIVPCLK	DIVCLKJPEG	DIVCLKSECUR
266MHz	266MHz	0 / 266MHz	0 / 266MHz	1 / 133MHz	3 / 66MHz	3 / 66MHz	3 / 66MHz
400MHz	266MHz	0 / 400MHz	0 / 266MHz	1 / 133MHz	3 / 66MHz	3 / 66MHz	3 / 66MHz
533MHz	266MHz	0 / 533MHz	0 / 266MHz	1 / 133MHz	3 / 66MHz	3 / 66MHz	3 / 66MHz
667MHz	266MHz	0 / 667MHz	0 / 266MHz	1 / 133MHz	3 / 66MHz	3 / 66MHz	3 / 66MHz

上述表格所描述的是，该分频器用于 ARM 独立地使用 APLL 输出时钟，并没有约束时钟分频器的值。

## 7. 时钟比例的改变

时钟分频器产生各种操作时钟，包括系统操作时钟，如 ARMCLK, HCLKX2, HCLK 和 PCLK。图 3-6 描述的是一个转换波形，时钟分频器用于系统操作时钟从 1~2 变化比例。从图中的波形可以看出，PLL 输出时钟缓慢地改变周期的比例。这个周期是不固定的，在典型的例子中大约是 10~20 时钟周期。

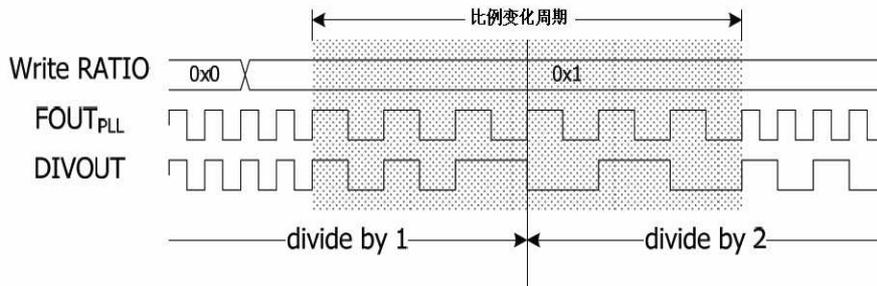


图 3-6 系统时钟比例变化的波形

因此，如果一些 IP 运行，必须特别注意比率改变的周期。否则，IP 操作将失败。

## 8. OneNAND 时钟发生器

OneNAND 接口控制器要求两个同步时钟。一个时钟的频率必须是其他时钟频率的一半。如图 3-7 所示，两个时钟的产生。

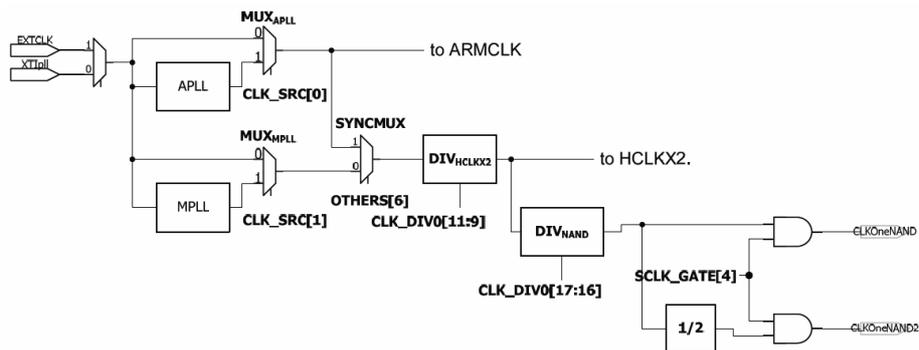


图 3-7 OneNAND 时钟发生器

## 9. MFC 时钟发生器

MFC 块在除了 HCLK 和 PCLK 外，还需要一个特殊的时钟。如图 3-8 所示，显示了这个特殊时钟的产生。

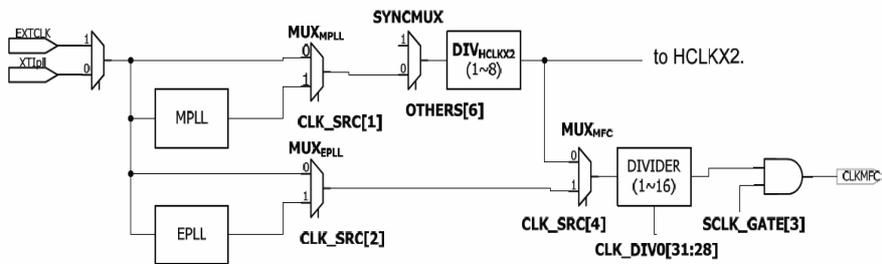


图 3-8 MFC 时钟发生器

时钟源在 HCLKX2 和 MOUTEPLL 之间进行选择。操作时钟使用 HCLKX2 进行分频。HCLKX2 的操作频率是固定的，默认为 266MHz。因此，CLK\_DIV0[31:28] 必须是 4' b0001 以产生 133MHz。当 MFC 不需要全性能时，有两种方法来减少操作频率。一种方法是当 CLK\_SRC[4] 设置为 1 时，使用 EPLL 输出时钟。通常，EPLL 是用于使音频时钟和输出时钟低于 MPLL 的输出频率。另一种方法是调节时钟分频器 CLK\_DIV0[31:28] 的比例。使用此值，较低的频率可以应用到 MFC 块，使用 CLK\_SRC[4] 区域，以减少多余的功率耗散。因为 EPLL 的输出频率 HCLKX2 或 HCLK 是独立的。

## 10. Camera I/F 时钟发生器

如图 3-9 所示，显示用于 Camera 接口的时钟发生器。用于 Camera 接口的所有数据都是基于这个时钟来进行传输/接收的。最大操作时钟达到 133MHz。

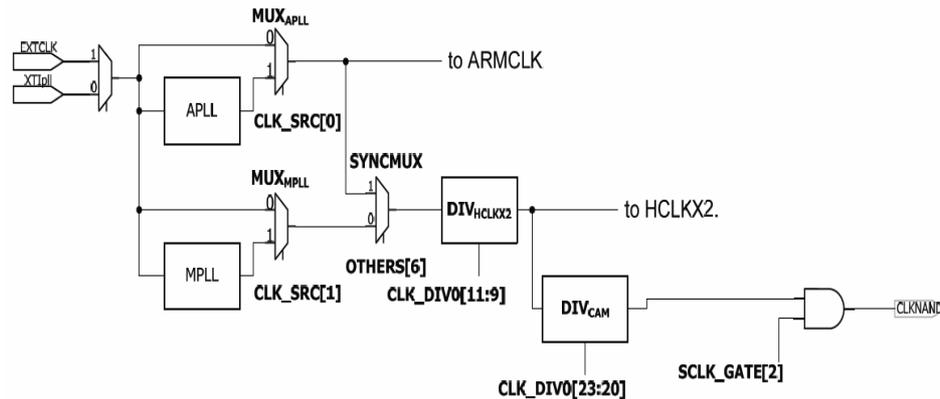


图 3-9 Camera I/F 时钟发生器

## 11. 显示时钟发生器 (POST, LCD 和 scaler)

如图3-10所示，描述的是用于显示块的时钟发生器。通常LCD控制器需要的图像后处理器和定标器的逻辑。操作时钟可以独立地控制这个时钟发生器。CLKLCD 和 CLKPOST被连接到domain-F内的LCD 控制器和后处理器。CLKSCALER 是连接到domain-P内的定标器块。

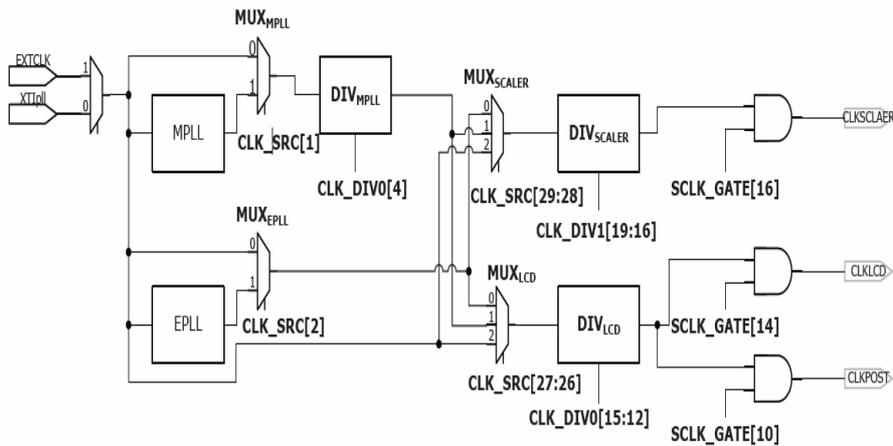


图 3-10 显示时钟发生器

## 12. 音频时钟发生器 (IIS 和 PCM)

如图 3-11 所示, 描述的是用于音频接口逻辑的特殊时钟发生器, 包括 IIS 和 PCM。S3C6410 有两个 IIS 通道和两个 PCM 通道。在任意时间, 它仅支持两个通道。一般来说, EPLL 发生器是用于音频接口的一个特殊时钟。如果 S3C6410 要求两个独立的时钟频率, 如, 在两个音频接口之间不存在整数关系, 余下的时钟可以通过外部振荡器或使用 MPLL 来直接提供。

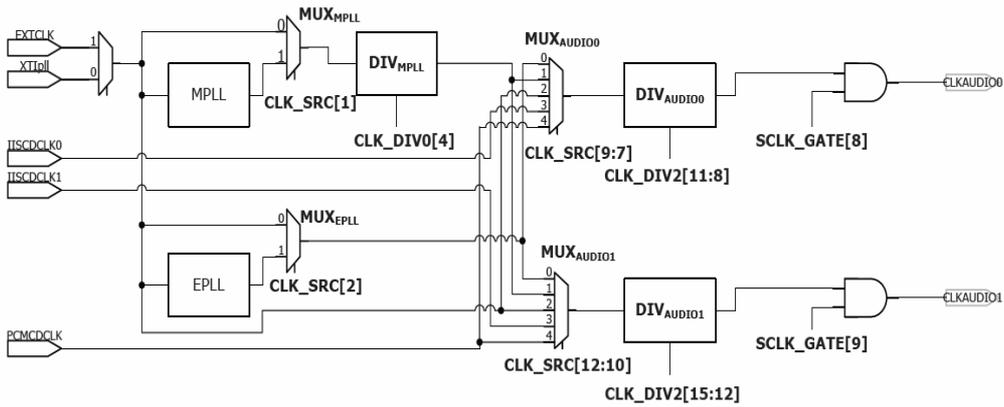


图 3-11 音频时钟发生器

## 13. 用于 UART, SPI 和 MMC 的时钟发生器

如图 3-12 所示, 描述的是用于 UART, SPI 和 MMC 的时钟发生器。有一个额外的时钟源 CLK27M, 给予了更多的灵活性。

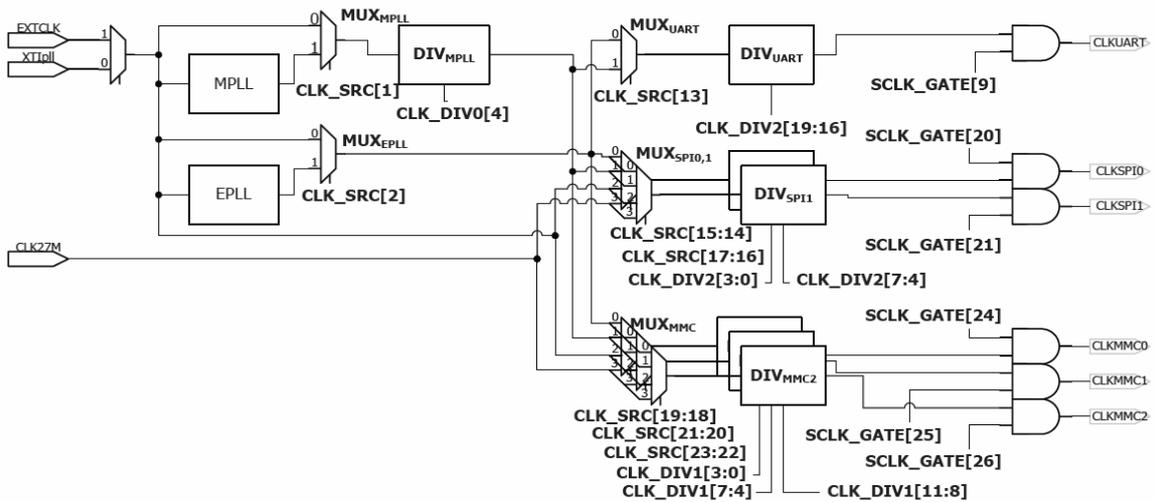


图 3-12 UART/SPI/MMC 时钟发生器

## 14. 用于 IrDA, USB host 时钟发生器

如图 3-13 所示，描述的是用于 IrDA 和 USB host 的时钟发生器。通常 USB 接口需要 48MHz 的操作时钟。

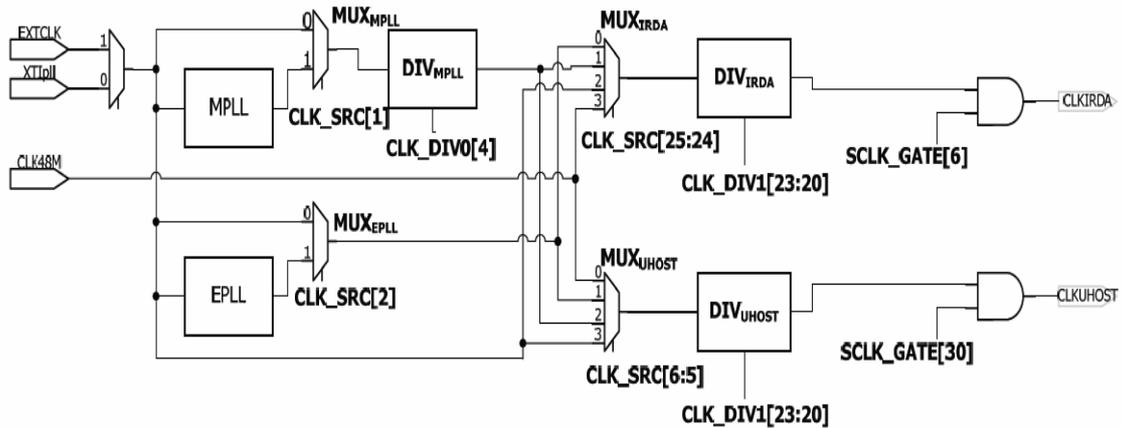


图 3-13 IrDA/USB host 时钟发生器

## 15. 时钟开/关控制

从以上的图中可以说明，HCLK\_GATE, PCLK\_GATE 和 SCLK\_GATE 控制时钟操作。如果一个位被设置，则通过每个时钟分频器相应的时钟将会被提供。否则，将被屏蔽。

HCLK\_GATE 控制 HCLK，用于每个 Ips。每个 IP 的 AHB 接口逻辑被独立地屏蔽，以减少动态电力消耗。PCLK\_GATE 控制 PCLK，用于每个 IP' s。某些 IP' s 需要特殊时钟正确的操作。通过 SCLK\_GATE 时钟被控制。

## 16. 时钟输出

S3C6410 时钟输出端口，产生内部时钟。这个时钟被用于正常的中断或调试用途。

## 3.3 低功率模式操作

S3C6410 通过低功率模式操作，支持低功率应用。如表 3-3 所示，总结了 S3C6410 的电源状态。它有四种电源状态，即正常状态、保持状态、电源选通状态和断电状态。所有的内部逻辑包括 F/Fs 和内存，其运行在正常状态下。保持状态在 STOP/DEEP-STOP 模式间减少不必要的电力消耗。然而，从 STOP/DEEP-STOP 模式中，保留预先的状态和支持快速唤醒时间。一些 DOMAIN-V, DOMAIN-I, DOMAIN-P, DOMAIN-F 和 DOMAIN-S

块没有状态保持特性。他们可以通过一个内部电源开关电路，利用电源选通以降低电力消耗。在睡眠模式下，外部调节器将会关闭，以减少电力消耗。S3C6410 最大限度地减少能量消耗和失去的所有信息，除了 ALIVE 和 RTC 块。

表 3-3 S3C6410 的四种电源状态

状态	外部调节器	内部 F/F	内部存储器
正常	ON	正常操作	正常操作
保持	ON	保留预先状态	保留预先状态
电源选通	ON	失去预先状态	失去预先状态
断电	OFF	失去预先状态	失去预先状态

## 1. S3C6410 中的电源域

S3C6410由几个电源域组成。子电源域，DOMAIN-V，DOMAIN-I，DOMAIN-P，DOMAIN-F和 DOMAIN-S是通过NORMAL\_CFG 和STOP\_CFG进行控制的。当S3C6410运行在正常或闲置模式时，由NORMAL\_CFG控制它们。如果控制位清除，相应的模块将改变电源门控模式和失去预先的状态。因此，用户软件在清除相应的位之前必须保存好内部状态。当S3C6410转换到STOP或DEEP-STOP模式时，子电源域自动的转换到电源门控模式。

STOP\_CFG仅控制ARM1176和top模块。如果用户软件要求快速相应时间，则ARM1176的内存和逻辑必须进行设置，同时在STOP模式间保留。在这种情况下，top模块的逻辑电源必须进行设置，同时top模块的内存电源也可以进行配置。另外，S3C6410可能不会返回到以前的状态了。当ARM1176电源关闭时（STOP\_CFG的位29和17为‘0’），ARM1176的泄漏电流可减至最低。这种配置就叫DEEP-STOP模式。进入DEEP-STOP模式之前，软件必须保留程序状态信息，包括内部寄存器，CPSR和SPSR等等。

## 2. 正常（NORMAL）/闲置（IDLE）模式

在正常模式下，ARM1176 内核，多媒体协控制器和所有外部设备都可以完全的运作。典型的系统总线操作频率可以达到 133MHz。每个多媒体协处理器和外设的时钟都可以进行选择性的停止，并通过软件去减少电源消耗。每个 IP 模块的个别时钟源，其时钟开/关门控的执行，主要是通过各自相应的时钟使能位来进行控制的。其使能位是通过 HCLK\_GATE，PCLK\_GATE 和 SCLK\_GATE 配置寄存器指定的。

在闲置模式下，ARM1176 的停止没有其他 IP’ s 的任何改变。通常情况下，ARM1176 等待一个唤醒事件，以回到正常模式下。

在正常/闲置模式下，所有的 IP’ s 都可运行在最大的操作频率上。当一些 IP’ s 没有要求运行时，

S3C6410 可以利用内部电源门控电路来切断电源的供应。如图 3-14 所示，五个电源域可以独立控制带有 NORMAL\_CFG 配置寄存器。当 IP's 的所有功能没有要求运行时，软件可以切断相应电源域电源供应，如图 3-14 中灰色显示的部分。在相应的电源域关闭后，相应域的所有内部状态将消失。因此，用户软件必须保留所有要求恢复的内部状态信息。

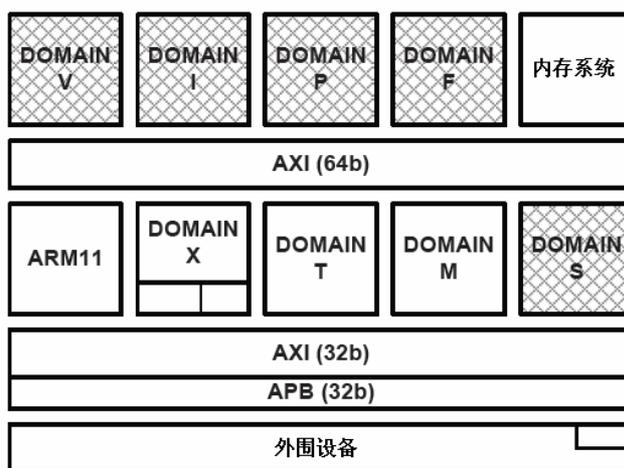


图 3-14 正常/闲置模式下的电源域

### 3. 停止 (STOP) 模式

在停止模式下，子电源域是作为黑色方框来表示的，用内部电源门控制电路关闭。如图 3-15 所示。其他模块是用灰色方框来表示的。ARM1176 保留以前的状态（保持状态）。因此，当外部唤醒事件发生时，内部状态在没有软件协助下也可以重新恢复。停止模式给予快速响应时间，但是需要一个小漏电流。

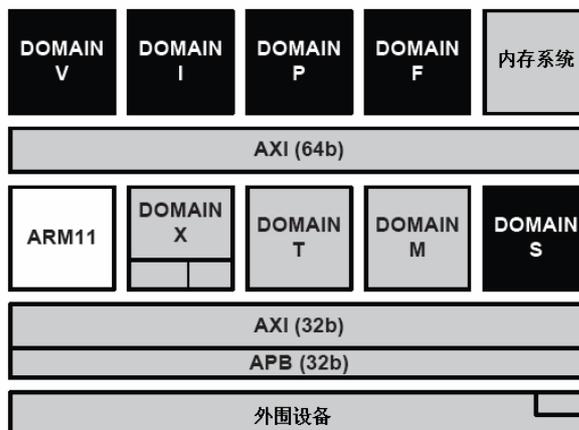


图 3-15 停止模式下的电源域

停止模式进入顺序如下：

- 1) 在停止模式下，用户软件设置 PWR\_CFG[6:5]。
- 2) 通过 MCR 指令 (MCR p15, 0, Rd, c7, c0, 4)，用户软件生成 STANDBYWFI 信号。
- 3) SYSCON 请求总线控制器，以完成当前 AHB 总线的事务处理。
- 4) 当前总线事务处理完成后，AHB 总线控制器发送到 SYSCON 进行确认。
- 5) SYSCON 请求 DOMAIN-V 以完成当前 AXI-总线的事务处理。
- 6) 当前总线事务处理完成后，AXI 总线控制器发送到 SYSCON 进行确认。
- 7) SYSCON 请求外部存储控制器进入自刷新模式，在停止模式期间外部内存的内容必须保存起来。
- 8) 自刷新模式时，存储控制器发送确认信息。
- 9) 如果 PLL 被使用，则 SYSCON 改变时钟源从 PLL 输出到外部振荡器。
- 10) SYSCON 禁用电源门控电路，以消除泄漏电流。
- 11) SYSCON 禁用 PLL 操作和晶体振荡器。

从停止模式到退出，除了正常中断以外，所有唤醒源都是可用的。停止模式下的唤醒顺序如下：

- 1) 在过渡期到正常模式间，SYSCON 声明 ARM1176 的复位信号。（仅应用于 DEEP-STOP 模式）。
- 2) SYSCON 使能晶体振荡器，等待振荡器稳定周期，它是通过 OSC\_STABLE 来配置的。
- 3) SYSCON 使能时钟门控电路，以提供操作电源和等待稳定时间，它是通过 MTC\_STABLE 来配置的。  
(仅应用于 DEEP-STOP 模式)
- 4) SYSCON 启动 PLL 逻辑和等待 PLL 锁周期，它是通过 A/M/EPLL\_LOCK 来配置的。
- 5) 如果 PLL 被使用，则 SYSCON 从外部振荡器到 PLL 输出改变时钟源。
- 6) SYSCON 释放自我刷新模式，请求到内存控制器。
- 7) 当准备就绪时，内存控制器发送确认信息。
- 8) SYSCON 释放对 AXI/AHB 总线的请求。
- 9) SYSCON 释放 ARM1176 的复位信号。（仅应用于 DEEP-STOP 模式）

#### 4. 深度停止 (DEEP-STOP) 模式

低功耗状态下，大多数移动应用需要比较长的待机周期和合理的响应时间。DEEP-STOP 模式集中用于需求。外部电源的开/关控制通常需要较长的转换时间 (~3ms)。当启动设备是 NAND 时，启动代码已经加载到 stepping-stone 中，在 DEEP-STOP 模式期间保留。启动代码的复制期可以忽略不计。

如图 3-16 所示，显示了 DEEP-STOP 模式下的状态。黑色方框表示电源门控模块，在 DEEP-STOP 模式期间消除漏电流。top 模块在 STOP 模式下保留以前的状态。

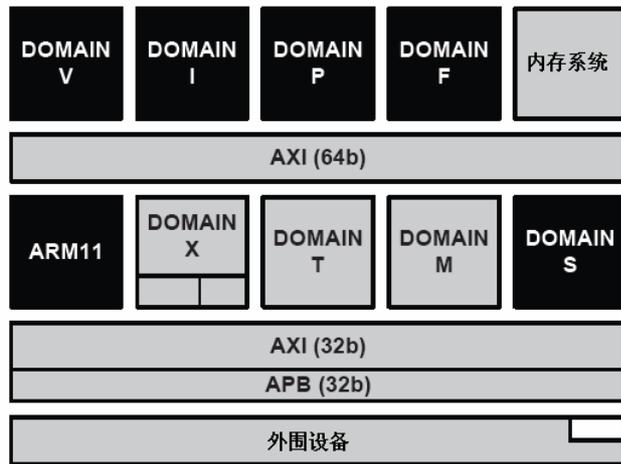


图 3-16 DEEP-STOP 模式下的电源域

进入和退出顺序类似于 STOP 模式，参考 STOP 模式顺序，用于 DEEP-STOP 模式的进入和退出顺序。

## 5. 睡眠 (SLEEP) 模式

在睡眠模式下，除了 ALIVE 和 RTC 模块之外，所有硬件逻辑都是利用外部电源调节器关闭电源的。睡眠模式支持的待机周期时间是最长的，用户软件必须保存所有内部状态到外部存储设备。ALIVE 模块等待一个外部唤醒事件，RTC 保存时间信息。用户软件可配置唤醒源，I/O 引脚的状态用 GPIO 来配置。

睡眠模式下的电源域，如图 3-17 所示。

