

```

Copy(0x5100000, 0x5180000, 0x1000000);
}
}
//INTC_Disable(NUM_WDT);
}

```

唤醒复位

当 S3C6410 通过一个唤醒事件，从睡眠模式唤醒时，唤醒复位被调用。

3.4 寄存器描述

系统控制器控制 PLL，时钟发生器，电源管理部分和其他系统部分。本节描述了在系统控制器内，如何使用的 SFR（特殊功能寄存器）来控制这些部分。

存储器映射

以下突出系统控制器内的 34 个寄存器。

寄存器	地址	读/写	描述	复位值
APLL_LOCK	0x7E00_F000	读/写	控制 PLL 锁定期 APLL。	0x0000_FFFF
MPLL_LOCK	0x7E00_F004	读/写	控制 PLL 锁定期 MPLL。	0x0000_FFFF
EPLL_LOCK	0x7E00_F008	读/写	控制 PLL 锁定期 EPLL。	0x0000_FFFF
APLL_CON	0x7E00_F00C	读/写	控制 PLL 输出频率 APLL。	0x0190_0302
MPLL_CON	0x7E00_F010	读/写	控制 PLL 输出频率 MPLL。	0x0214_0603
EPLL_CON0	0x7E00_F014	读/写	控制 PLL 输出频率 EPLL。	0x0020_0102
EPLL_CON1	0x7E00_F018	读/写	控制 PLL 输出频率 EPLL。	0x0000_9111
CLK_SRC	0x7E00_F01C	读/写	选择时钟源。	0x0000_0000
CLK_DIV0	0x7E00_F020	读/写	设置时钟分频器的比例。	0x0105_1000
CLK_DIV1	0x7E00_F024	读/写	设置时钟分频器的比例。	0x0000_0000
CLK_DIV2	0x7E00_F028	读/写	设置时钟分频器的比例。	0x0000_0000
CLK_OUT	0x7E00_F02C	读/写	选择时钟输出。	0x0000_0000

HCLK_GATE	0x7E00_F030	读/写	控制 HCLK 时钟选通。	0xFFFF_FFFF
PCLK_GATE	0x7E00_F034	读/写	控制 PCLK 时钟选通。	0xFFFF_FFFF
SCLK_GATE	0x7E00_F038	读/写	控制 SCLK 时钟选通。	0xFFFF_FFFF
RESERVED	0x7E00_F03C~ 0x7E00_F0FC	-	保留。	-
AHB_CON0	0x7E00_F100	读/写	配置 AHB I/P/X/F 总线。	0x0400_0000
AHB_CON1	0x7E00_F104	读/写	配置 AHB M1/M0/T1/T0 总线。	0x0000_0000
AHB_CON2	0x7E00_F108	读/写	配置 AHB R/S1/S0 总线。	0x0000_0000
RESERVED	0x7E00_F10C	-	保留。	-
SDMA_SEL	0x7E00_F110	读/写	选择安全 DMA 输入。	0x0000_0000
SW_RST	0x7E00_F114	读/写	产生软件复位。	0x0000_0000
SYS_ID	0x7E00_F118	读	系统 ID 版本和审查通过。	0x0000_0000
RESERVED	0x7E00_F11C	-	保留。	-
MEM_SYS_CFG	0x7E00_F120	读/写	配置存储器子系统。	0x0000_0080
QOS_OVERRIDE0	0x7E00_F124	读/写	取代 DMC0 QOS。	0x0000_0000
QOS_OVERRIDE1	0x7E00_F128	读/写	取代 DMC1 QOS。	0x0000_0000
MEM_CFG_STAT	0x7E00_F12C	读	存储器子系统建立状态。	0x0000_0000
RESERVED	0x7E00_F200~ 0x7E00_F800	-	保留。	-
PWR_CFG	0x7E00_F804	读/写	配置电源管理。	0x0000_0001
EINT_MASK	0x7E00_F808	读/写	配置 EINT(外部中断)屏蔽。	0x0000_0000
RESERVED	0x7E00_F80C	-	保留。	-
NORMAL_CFG	0x7E00_F810	读/写	在正常模式下, 配置电源管理。	0xFFFF_FF00
STOP_CFG	0x7E00_F814	读/写	在停止模式下, 配置电源管理。	0x2012_0100
SLEEP_CFG	0x7E00_F818	读/写	在睡眠模式下, 配置电源管理。	0x0000_0000

RESERVED	0x7E00_F81C	-	保留。	-
OSC_FREQ	0x7E00_F820	读/写	振荡器频率刻度计数器。	0x0000_000F
PWR_STABLE	0x7E00_F828	读/写	电源稳定计数器。	0x0000_0001
RESERVED	0x7E00_F82C	-	保留。	-
MTC_STABLE	0x7E00_F830	读/写	MTC 稳定计数器。	0xFFFF_FFFF
RESERVED	0x7E00_F834~ 0x7E00_F8FC	-	保留。	-
OTHERS	0x7E00_F900	读/写	其他控制寄存器。	0x0000_801E
RST_STAT	0x7E00_F904	读	复位状态寄存器。	0x0000_0001
WAKEUP_STAT	0x7E00_F908	读/写	唤醒状态寄存器。	0x0000_0000
BLK_PWR_STAT	0x7E00_F90C	读	块电源状态寄存器。	0x0000_007F
INFORM0	0x7E00_FA00	读/写	信息寄存器 0。	0x0000_0000
INFORM1	0x7E00_FA04	读/写	信息寄存器 1。	0x0000_0000
INFORM2	0x7E00_FA08	读/写	信息寄存器 2。	0x0000_0000
INFORM3	0x7E00_FA0C	读/写	信息寄存器 3。	0x0000_0000

SFR 由五部分组成。SFR 的地址为 0x7E00_F0XX，控制 PLL 和时钟发生器。控制三个 PLL 的输出频率，时钟源选择和时钟分频器的比例。SFRs 的地址为 0x7E00_F1XX，控制总线系统，内存系统和软件复位。SFRs 的地址为 0x7E00_F8XX，控制电源管理模块。SFRs 的地址为 0x7E00_F9XX，显示内部状态。消息寄存器的地址为 0x7E00_FA0X，保留用户信息，直到硬件复位信号(XnRESET)被声明。

下面主要针对个别的寄存器进行描述。

3.4.1. PLL 控制寄存器

S3C6410 有三个内部 PLL，分别是 APLL，MPLL 和 EPLL。它们通过以下所示七个特殊寄存器进行控制。

寄存器	地址	读/写	描述	复位值
APLL_LOCK	0x7E00_F000	读/写	控制 PLL 锁定期 APLL。	0x0000_FFFF
MPLL_LOCK	0x7E00_F004	读/写	控制 PLL 锁定期 MPLL。	0x0000_FFFF

EPLL_LOCK	0x7E00_F008	读/写	控制 PLL 锁定期 EPLL。	0x0000_FFFF
APLL_CON	0x7E00_F00C	读/写	控制 PLL 输出频率 APLL。	0x0190_0302
MPLL_CON	0x7E00_F00C	读/写	控制 PLL 输出频率 MPLL。	0x0214_0603
EPLL_CON0	0x7E00_F00C	读/写	控制 PLL 输出频率 EPLL。	0x0020_0102
EPLL_CON1	0x7E00_F00C	读/写	控制 PLL 输出频率 EPLL。	0x0000_9111

当输入频率被改变或是分频值被改变时，PLL 要求锁周期。PLL_LOCK 寄存器指定的这个锁周期是基于 PLL 的时钟源。在这个周期，输出将被屏蔽为 ‘0’。

APLL_LOCK / MPLL_LOCK / EPLL_LOCK	位	描述	初始状态
RESERVED	[31:16]	保留。	0x0000
PLL_LOCKTIME	[15:0]	在规定期间内产生一个稳定的时钟输出。	0xFFFF

PLL_CON 寄存器控制每个 PLL 的操作。如果 ENABLE 位被设置，相应的 PLL 发生输出后 PLL 锁定周期。PLL 的输出频率是通过 MDIV, PDIV, SDIV 和 KDIV 的值进行控制的。

APLL_CON / MPLL_CON	位	描述	初始状态
ENABLE	[31]	PLL 使能控制 (0: 禁用, 1: 使能)。	0
RESERVED	[30:26]	保留。	0x00
MDIV	[25:16]	PLL 的 M 分频值。	0x190 / 0x214
RESERVED	[15:14]	保留。	0x0
PDIV	[13:8]	PLL 的 P 分频值。	0x3 / 0x6
RESERVED	[7:3]	保留。	0x00
SDIV	[2:0]	PLL 的 S 分频值。	0x2 / 0x3

如果输入时钟频率是 12MHz，则 APLL_CON / MPLL_CON 的复位值分别产生 400MHz 和 133MHz 的输出时钟。

注：

使用以下公式进行输出频率的计算：

$$F_{OUT} = MDIV \times F_{IN} / (PDIV \times 2^{SDIV})$$

这里，用于 APLL 和 MPLL 的 MDIV, PDIV, SDIV 必须符合以下条件：

$$MDIV: 56 \leq MDIV \leq 1023$$

$$PDIV: 1 \leq PDIV \leq 63$$

$$SDIV: 0 \leq SDIV \leq 5$$

$$FVCO (=MDIV \times F_{IN} / PDIV): 1000MHz \leq FVCO \leq 1600MHz$$

$$F_{OUT}: 31.25MHz \leq F_{OUT} \leq 1600MHz$$

EPLL_CON0	位	描述	初始状态
ENABLE	[31]	PLL 使能控制 (0: 禁用, 1: 使能)。	0
RESERVED	[30:24]	保留。	0x00
MDIV	[23:16]	PLL 的 M 分频值。	0x20
RESERVED	[15:14]	保留。	0x0
PDIV	[13:8]	PLL 的 P 分频值。	0x1
RESERVED	[7:3]	保留。	0x00
SDIV	[2:0]	PLL 的 S 分频值。	0x2

EPLL_CON1	位	描述	初始状态
RESERVED	[31:16]	保留。	0x0000
KDIV	[15:0]	PLL 的 K 分频值。	0x9111

如果输入时钟频率是 12MHz，EPLL_CON0 / EPLL_CON1 的复位值分别产生 97.70MHz 的输出时钟。

注：

使用以下公式进行输出频率的计算：

$$F_{OUT} = (MDIV + KDIV / 2^{16}) \times F_{IN} / (PDIV \times 2^{SDIV})$$

这里，用于 APLL 和 MPLL 的 MDIV, PDIV, SDIV 必须符合以下条件：

$$MDIV: 13 \leq MDIV \leq 255$$

$$PDIV: 1 \leq PDIV \leq 63$$

KDIV: $0 \leq KDIV \leq 65535$

SDIV: $0 \leq SDIV \leq 5$

FVCO (= $(MDIV + KDIV / 2^{16}) \times FIN / PDIV$) : $250\text{MHz} \leq FVCO \leq 600\text{MHz}$

FOUT : $16\text{MHz} \leq FOUT \leq 600\text{MHz}$

3.4.2. 时钟源控制寄存器

S3C6410 有很多时钟源，从 GPIO 配置中，包括三个 PLL 输出，外部振荡器，外部时钟和其他时钟源。

CLK_SRC 寄存器控制每个时钟分频器的时钟源。如图 3-19 所示。

寄存器	地址	读/写	描述	复位值
CLK_SRC	0x7E00_F01C	读/写	选择时钟源。	0x0000_0000

CLK_SRC	位	描述	初始状态
TV27_SEL	[31]	控制MUXTV27，它是TV27MHz的时钟源。 (0: 27MHz, 1: FINEPLL)	0
DAC27_SEL	[30]	控制MUXDAC27，它是DAC27MHz的时钟源。 (0: 27MHz, 1: FINEPLL)	0
SCALER_SEL	[29:28]	控制MUXSCALER，它是TVSCALER的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL)	0x0
LCD_SEL	[27:26]	控制MUXLCD，它是LCD的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL)	0x0
IRDA_SEL	[25:24]	控制MUXIRDA，它是IRDA的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL, 11: 48MHz)	0x0
MMC2_SEL	[23:22]	控制MUXMMC2，它是MMC2的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL, 11: 27MHz)	0x0
MMC1_SEL	[21:20]	控制MUXMMC1，它是MMC1的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL, 11: 27MHz)	0x0

		27MHz)	
MMCO_SEL	[19:18]	控制MUXMMCO，它是MMCO的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL, 11: 27MHz)	0x0
SPI1_SEL	[17:16]	控制MUXSPI1，它是SPI1的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL, 11: 27MHz)	0x0
SPIO_SEL	[15:14]	控制MUXSPIO，它是SPIO的时钟源。 (00: MOUTEPLL, 01: DOUTMPLL, 10: FINEPLL, 11: 27MHz)	0x0
UART_SEL	[13]	控制MUXUART0，它是UART的时钟源。 (0: MOUTEPLL, 1: DOUTMPLL)	0
AUDIO1_SEL	[12:10]	控制MUXAUDIO1，它是IIS1, PCM1和AC97 1的时钟源。 (000: MOUTEPLL, 0 01: DOUTMPLL, 010: FINEPLL, 011: IISDCLK1, 100: PCMDCLK)	0x0
AUDIO0_SEL	[9:7]	控制MUXAUDIO0，它是IIS0, PCM0和AC97 0的时钟源。 (000: MOUTEPLL, 001: DOUTMPLL, 010: FINEPLL, 011: IISDCLK0, 10x: PCMDCLK)	0x0
UHOST_SEL	[6:5]	控制MUXUHOST，它是USB Host的时钟源。 (00: 48MHz, 01: MOUTEPLL, 10: DOUTMPLL, 11: FINEPLL)	0x0
MFCCLK_SEL	[4]	控制MUXMFC，它是MFC的时钟源。	0
RESERVED	[3]	保留。	0
EPLL_SEL	[2]	控制 MUXEPLL (0: FINEPLL, 1: FOUTEPLL)。	0
MPLL_SEL	[1]	控制 MUXMPLL (0: FINMPLL, 1: FOUTMPLL)。	0

APLL_SEL	[0]	控制 MUXAPLL (0: FINAPLL, 1: FOUTAPLL)。	0
----------	-----	---------------------------------------	---

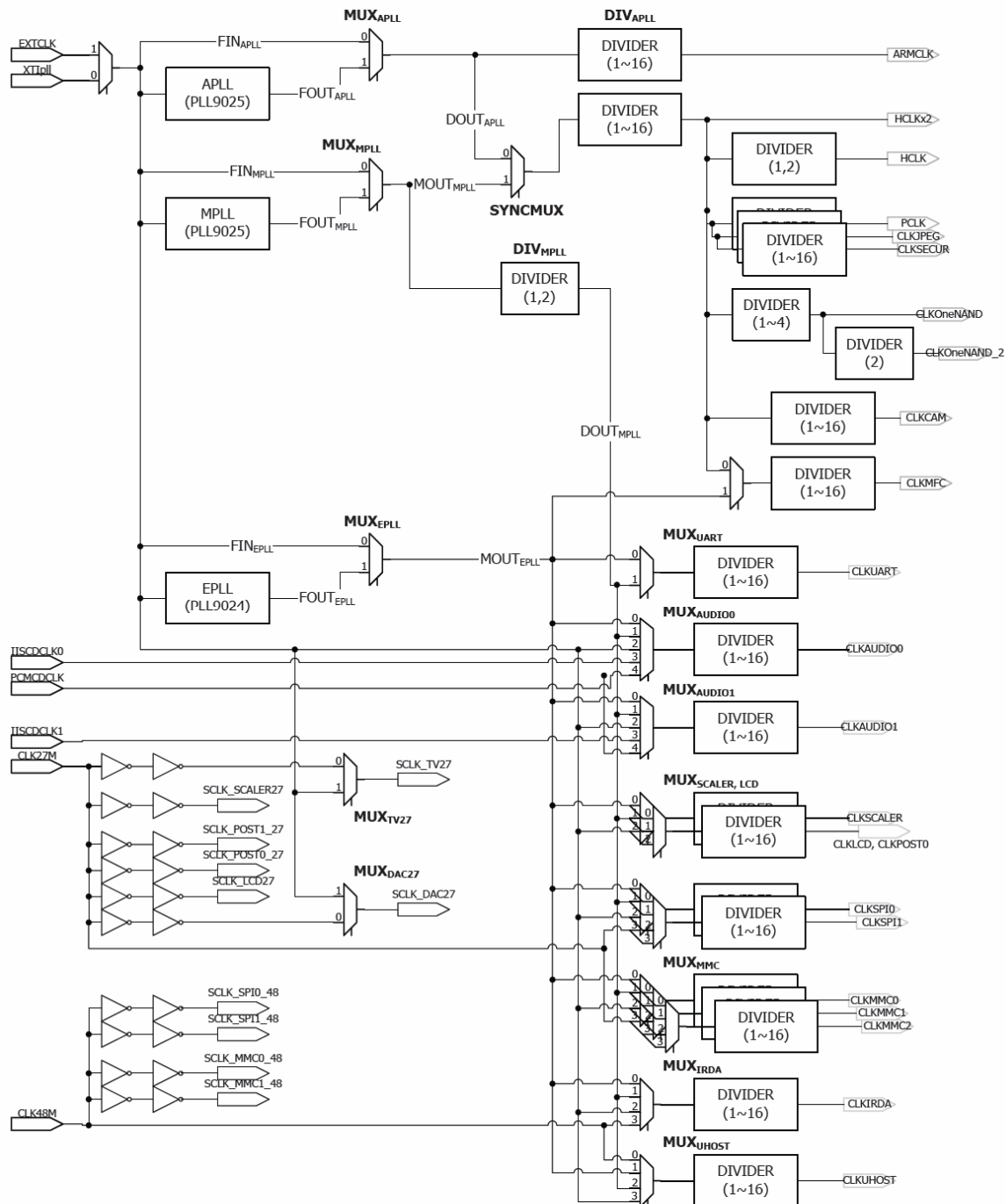


图 3-19 时钟源控制寄存器

3.4.3. 时钟分频控制寄存器

S3C6410 有几个时钟分频器，以支持各种操作的时钟频率。时钟分频器的比例可以通过 CLK_DIV0，CLK_DIV1 和 CLK_DIV2 进行控制。

寄存器	地址	读/写	描述	复位值
CLK_DIV0	0x7E00_F020	读/写	选择时钟分频器的比例。	0x0105_1000
CLK_DIV1	0x7E00_F024	读/写	选择时钟分频器的比例。	0x0000_0000
CLK_DIV2	0x7E00_F028	读/写	选择时钟分频器的比例。	0x0000_0000

CLK_DIV0 主要控制系统时钟和多媒体 IP 的特殊时钟。APLL 和 MPLL 的输出频率是通过 ARM_RATIO 和 MPLL_RATIO 进行分频的。HCLKX2 时钟是其他操作系统时钟的基础时钟，通过 HCLKX2_RATIO 进行分频。有操作频率的局限性。HCLKX2，HCLK 和 PCLK 的最大操作频率分别为 266MHz，133MHz 和 66MHz。NAND，SECUR 和 JPEG 的时钟操作不能超过 66MHz。MFC 和 CAM 时钟操作不能操过 133MHz。此时钟操作的条件必须满足 CLK_DIV0 的配置。

用户软件必须通过 CLK_DIV0 对时钟分频器的控制负责。

CLK_DIV0	位	描述	初始状态
MFC_RATIO	[31:28]	MFC时钟分频器的比例。 $CLKMFC = CLKMFCIN / (MFC_RATIO + 1)$	0x0
JPEG_RATIO	[27:24]	JPEG时钟分频器的比例，必须是奇数值。换句话说，S3C6410仅支持偶数分频比例。 $CLKJPEG = HCLKX2 / (JPEG_RATIO + 1)$	0x1
CAM_RATIO	[23:20]	CAM时钟分频器的比例。 $CLKCAM = HCLKX2 / (CAM_RATIO + 1)$	0x0
SECUR_RATIO	[19:18]	安全时钟分频器的比例，必须是0x1或0x3。 $CLKSECUR = HCLKX2 / (SECUR_RATIO + 1)$	0x1
ONENAND_RATIO	[17:16]	OneNAND时钟分频器的比例。 $CLKONENAND = HCLKX2 / (ONENAND_RATIO + 1)$	0x1
PCLK_RATIO	[15:12]	PCLK 时钟分频器的比例，它必须是奇数值。换句话说，	0x1

		S3C6410 仅支持偶数分频比例。PCLK = HCLKX2 / (PCLK_RATIO + 1)	
HCLKX2_RATIO	[11:9]	HCLKX2时钟分频器的比例。 HCLKX2 = HCLKX2IN / (HCLKX2_RATIO + 1)	0x0
HCLK_RATIO	[8]	HCLK时钟分频器的比例。 HCLK = HCLKX2 / (HCLK_RATIO + 1)	0
RESERVED	[7:5]	保留。	0x0
MPLL_RATIO	[4]	DIVMPLL 时钟分频器的比例。 DOUTMPLL = MOUTMPLL / (MPLL_RATIO + 1)	0
RESERVED	[3]	保留。	0
ARM_RATIO	[2:0]	DIVARM 时钟分频器的比例。 ARMCLK = DOUTAPLL / (ARM_RATIO + 1)	0x0

CLK_DIV1 控制MMC, LCD, TV 定标器和UHOST 时钟。

CLK_DIV1	位	描述	初始状态
RESERVED	[31:24]	保留。	0x0
UHOST_RATIO	[23:20]	USB 主机时钟分频器的比例。 CLKUHOST = CLKUHOSTIN / (UHOST_RATIO + 1)	0x0
SCALER_RATIO	[19:16]	TV 定标器时钟分频器的比例。 CLKSCALER = CLKSCALERIN / (SCALER_RATIO + 1)	0x0
LCD_RATIO	[15:12]	LCD时钟分频器的比例。 CLKLCD = CLKLCDIN / (LCD_RATIO + 1)	0x0
MMC2_RATIO	[11:8]	MMC2 时钟分频器的比例。 CLKMMC2 = CLKMMC2IN / (MMC2_RATIO + 1)	0x0
MMC1_RATIO	[7:4]	MMC1时钟分频器的比例。 CLKMMC1 = CLKMMC1IN / (MMC1_RATIO + 1)	0x0
MMCO_RATIO	[3:0]	MMCO时钟分频器的比例。 CLKMMCO = CLKMMCOIN / (MMCO_RATIO + 1)	0x0