

## 5 DRAM 控制器

基于 ARM PrimeCell CP003 AXI DMC(PL340)的 DRAM 控制器，来自 ARM PrimeCell CP003 AXI 动态存储器控制(PL340)。最初的 AMBA APB 3.0 端口主要用于可编程配置寄存器，它是利用 AxiToApb 进行转换的，使一个连接 APB 主端口的 AXI 从端口得以实现。

DRAM 控制器有 AMBA AXI 兼容总线用于设计其配置寄存器和访问 SDRAM。在 PL340 配置寄存器中，DRAM 控制器可以通过写芯片配置、ID 配置和存储器定时参数来进行编程。在用户配置寄存器中，两个较低位主要用于选择存储器的类型。

DRAM 控制器可以直接接收一个 SDRAM 或 DRAM 控制器本身的指令。通过写指令到直接指令寄存器，DRAM 控制器可发送像 ‘Prechargeall’，‘Autorefresh’，‘NOP’ 和 ‘MRS’（‘EMRS’）这样的指令到 SDRAM。

在自动刷新计数器中，当刷新计数达到刷新周期的值时，控制器便会发出一个自动刷新指令对 SDRAM 进行周期性地刷新。

### 5.1 DRAM 控制器的特性

DRAM 控制器的特性如下：

- (1) 支持 SDR SDRAM，动态 SDR SDRAM，DDR SDRAM 和动态 DDR SDRAM。
- (2) 支持两个外部存储器芯片。
- (3) 支持 32/64 位 AMBA AXI 总线。
- (4) 支持 16/32 位存储器总线。
- (5) 地址空间：每端口达到 512MB。
- (6) 在 AXI 总线和外部存储器总线间，支持异步操作。
- (7) 预动态和预充电的电源中断。
- (8) 服务质量的特性适合于低延迟传输。
- (9) 利用最优化的外部存储器总线。
- (10) 支持通过设置 SFR 来选择外部存储器的类型。
- (11) 支持 8 位重要地址。

- (12) 支持带有深度为 8 的写数据交叉。
- (13) 支持 2 种重要的唯一存取传输。
- (14) 用 SFR 可配置存储器的存取时间。
- (15) 支持扩展 MRS (EMRS) 集。
- (16) 存储器端口 1, CKE 可以单独控制。
- (17) 存储器端口 1, 不支持 16 位 SDR SDRAM 和动态 SDR SDRAM。

如图 5-1 所示, 显示了 PL340 DRAM 控制器的结构框图。

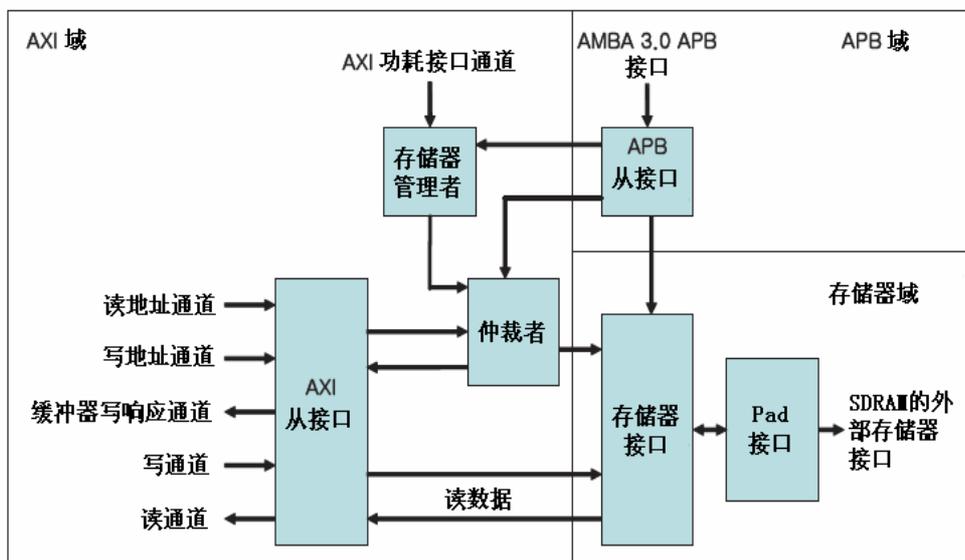


图 5-1 DRAM 控制器框图

## 5.2 SDRAM 存储器接口

DRAM 控制器最多只能支持两个同一类型的芯片, 每个芯片可分配最多 256 MB 的地址空间。所有芯片在相同的端口共享所有引脚, 除了时钟启动信号和片选信号。例如: DDR SDRAM 存储器接口的连接。动态 DDR SDRAM 可连接类似的 DDR SDRAM 内存。SDR SDRAM 和动态 SDR SDRAM 可连接类似的 DDR SDRAM, 除了 DQS 引脚。外部存储器引脚配置如表 2-16、表 2-17 所示。

通过 SPCONSLP[4]来控制复位 CKE 的值。如果值为 0, 复位时 X<sub>m</sub>0CKE 和 X<sub>m</sub>1CKE 为 0。如果值为 1, 复位时 X<sub>m</sub>0CKE 和 X<sub>m</sub>1CKE 为 1。

表 5-1 存储器端口 0 引脚描述

信号	类型	描述
Xm0SCLK	输入	存储器时钟
Xm0SCLKn	输入	存储器时钟（负面）
Xm0CKE	输入	时钟启动每个芯片
Xm0CSn[6:7]	输入	芯片选择每个芯片（低有效）
Xm0RAS	输入	行地址滤波（低有效）
Xm0CAS	输入	列地址滤波（低有效）
Xm0WEndmc	输入	写使能（低有效）
Xm0ADDR[13:0]	输入	地址总线
Xm0ADDR[15:14]	输入	块选择
Xm0DATA[15:0]	输入	数据总线
Xm0DQM[1:0]	输入	数据总线屏蔽位
Xm0DQS[1:0]	输入	数据滤波输入，仅 DDR 和 mDDR

表 5-2 存储器端口 1 引脚描述

信号	类型	描述
Xm1SCLK	输入	存储器时钟
Xm1SCLKn	输入	存储器时钟（负面）
Xm1CKE[1:0]	输入	时钟启动每个芯片
Xm1CSN[1:0]	输入	芯片选择每个芯片（低有效）
Xm1RAS	输入	行地址滤波（低有效）
Xm1CAS	输入	列地址滤波（低有效）
Xm1WEN	输入	写使能（低有效）
Xm1ADDR[13:0]	输入	地址总线
Xm1ADDR[15:14]	输入	块选择
Xm1DATA[31:0]	输入	数据总线
Xm1DQM[3:0]	输入	数据总线屏蔽位

Xm1DQS[3:0]	输入	数据滤波输入，只有 DDR 和 mDDR
-------------	----	----------------------

## 5.3 SDRAM 初始化顺序

上电复位时，软件必须初始化 DRAM 控制器，SDRAM 的每一项都连接到 DRAM 控制器。仅以 SDRAM 的数据表为启动程序。

### 1. DRAM 控制器初始化顺序

- (1) 以 ‘3'b100’ 执行 memc\_cmd，使得 DRAM 控制器输入 ‘配置’ 状态。
- (2) 写存储器时间参数，芯片配置和 ID 配置寄存器。
- (3) 等待 200 μs 来使 SDRAM 电源和时钟稳定。当 CPU 开始工作时，电源和时钟已经被稳定下来。
- (4) 执行存储器初始化顺序。
- (5) 以 ‘3'b000’ 执行 memc\_cmd，使得 DRAM 控制器输入 ‘准备’ 状态。
- (6) 在 memc\_stat 中检查存储器状态域，直到存储器状态变为 ‘2'b01’，即 ‘准备’。

### 2. SDR/动态 SDR SDRAM 初始化顺序

- (1) 在 direct\_cmd，以 ‘2'b10’ 执行 mem\_cmd，使得 DRAM 控制器产生 ‘NOP’ 存储器命令。
- (2) 在 direct\_cmd，以 ‘2'b00’ 执行 mem\_cmd，使得 DRAM 控制器产生 ‘Prechargeall’ 存储器命令。
- (3) 在 direct\_cmd，以 ‘2'b11’ 执行 mem\_cmd，使得 DRAM 控制器产生 ‘Autorefresh’ 存储器命令。
- (4) 在 direct\_cmd，以 ‘2'b11’ 执行 mem\_cmd，使得 DRAM 控制器产生 ‘Autorefresh’ 存储器命令。
- (5) 如果存储器类型是移动 SDR SDRAM，
  - 在 direct\_cmd，以 ‘2'b10’ 执行 mem\_cmd，使得 DRAM 控制器产生 ‘MRS’ 存储器命令。
  - EMRS 块地址必须被设置。
- (6) 在 direct\_cmd，以 ‘2'b10’ 执行 mem\_cmd，使得 DRAM 控制器产生 ‘MRS’ 存储器命令。  
MRS 块地址必须被设置。

### 3. DDR/移动 DDR SDRAM 初始化顺序

- (1) 在 direct\_cmd，以 ‘2'b10’ 执行 mem\_cmd，使得 DRAM 控制器产生 ‘NOP’ 存储器命令。

(2) 在 direct\_cmd, 以 ‘2'b00’ 执行 mem\_cmd, 使得 DRAM 控制器产生 ‘Prechargeall’ 存储器命令。

(3) 在 direct\_cmd, 以 ‘2'b11’ 执行 mem\_cmd, 使得 DRAM 控制器产生 ‘Autorefresh’ 存储器命令。

(4) 在 direct\_cmd, 以 ‘2'b10’ 执行 mem\_cmd, 使得 DRAM 控制器产生 ‘MRS’ 存储器命令。

EMRS 块地址必须被设置。

(5) 在 direct\_cmd, 以 ‘2'b10’ 执行 mem\_cmd, 使得 DRAM 控制器产生 ‘MRS’ 存储器命令。

MRS 块地址必须被设置。

(6) 在 direct\_cmd, 以 ‘2'b11’ 执行 mem\_cmd, 使得 DRAM 控制器产生 ‘Autorefresh’ 存储器命令。

(7) 在 direct\_cmd, 以 ‘2'b11’ 执行 mem\_cmd, 使得 DRAM 控制器产生 ‘Autorefresh’ 存储器命令。

(8) 在 direct\_cmd, 以 ‘2'b11’ 执行 mem\_cmd, 使得 DRAM 控制器产生 ‘Prechargeall’ 存储器命令。

## 5.4 DRAM 寄存器描述

下面以图表的形式将主要介绍 DRAM 控制器中各种寄存器的具体设置。

### 5.4.1 DRAM 控制状态寄存器

寄存器	地址	读/写	描述	复位值
POMEMSTAT	0x7E000000	读	16位DRAM控制状态寄存器	0xAB0
P1MEMSTAT	0x7E001000	读	32位DRAM控制状态寄存器	0xAB4

PnMEMSTAT	位	描述	初始状态
Reserved	[31:14]	读未定义	
Memory banks	[13:12]	存储块的最大数量, DRAM 控制器支持每一个芯片 00=4 个块	00
Exclusive monitors	[11:10]	高级访问数量检测资源 10=2 个监控器	10
Reserved	[9]	读总是为 0	0
Memory chips	[8:7]	不同芯片最大数量选择, DRAM 控制器能支持: 11=4 个芯片	11

		然而，S3C6410 每个 DRAM 控制器仅使用两个片选信号	
Memory type	[6:4]	SDRAM 类型的 DRAM 控制器支持： 100=支持 SDR SDRAM（标准的或动态的）和 DDR SDRAM（标准或动态的）	100
Memory width	[3:2]	外部存储器的宽度： 00=16 位 01=32 位 10=64 位 11=保留	00/01
Controller status	[1:0]	DRAM 控制器的状态： 00=配置 01=准备 10=暂停 11=低功耗	00

### 5.4.2 DRAM 控制命令寄存器

寄存器	地址	读/写	描述	复位值
P0MEMCCMD	0x7E000004	写	16 位 DRAM 控制命令寄存器	
P1MEMCCMD	0x7E001004	写	32 位 DRAM 控制命令寄存器	

PnMEMCCMD	位	描述	初始状态
	[31:3]	未定义，写为 0	
Memc_cmd	[2:0]	DRAM 控制器状态的改变： 000=运行 001=睡眠 010=唤醒 011=暂停 100=配置 101~111=保留	

### 5.4.3 直接命令寄存器

寄存器	地址	读/写	描述	复位值
P0 DIRECTCMD	0x7E000008	写	16 位 DRAM 控制直接命令寄存器	
P1 DIRECTCMD	0x7E001008	写	32 位 DRAM 控制直接命令寄存器	

PnDIRECTCMD	位	描述	初始状态
-------------	---	----	------

	[31:22]	未定义，写为 0	
Chip number	[21:20]	位映射到外部存储器芯片的地址位	
Memory command	[19:18]	定义所需命令： 00 = Prechargeall 01 = 自动刷新 10 = MRS或EMRS 11 = NOP	
Bank address	[17:16]	当命令为 MRS 或 EMRS 访问时，位映射到外部存储器块地址位	
	[15:14]	未定义，写为 0	
Address_13_to_0	[13:0]	当命令为 MRS 或 EMRS 访问时，位映射到外部存储器地址位 [13:0]	

#### 5.4.4 存储配置寄存器

寄存器	地址	读/写	描述	复位值
POMEMCFG	0x7E00000C	读/写	16 位 DRAM 控制存储配置寄存器	0x01_0020
P1MEMCFG	0x7E00100C	读/写	32 位 DRAM 控制存储配置寄存器	0x01_0020

PnMEMCFG	位	描述	初始状态
cke_config	[31]	选择 CKE 控制配置。仅 P1MEMCFG 0=支持一个 CKE 控制 1=支持单独的 CKE 控制	0
保留	[30:23]	读未定义，写为 0。	
Active chips	[22:21]	使刷新命令产生有效，用于存储芯片的数量。它只能产生指令，包括芯片数量配置的定义，在 DRAM 的控制状态寄存器： 00=1 片 01=2 片 10=3 片	00

		11=4 片	
QoS master bits	[20:18]	8 位 AXI ARID 的 4 位编码，用来选择其中的 16QoS 值： 000 = ARID[3:0] 001 = ARID[4:1] 010 = ARID[5:2] 011 = ARID[6:3] 100 = ARID[7:4] 101~111 = 保留	000
Memory burst	[17:15]	执行数据访问的数量编码到 SDRAM，用于每个读和写命令： 000 = 脉冲1 001 = 脉冲2 010 = 脉冲4 011 = 脉冲8 100 = 脉冲16 101~111 = 保留 这个值也必须编写到 SDRAM 模式寄存器，使用 DIRECTCMD 寄存器，必须对它进行匹配	010
Stop_mem_clock	[14]	启动的存储器时钟还没有访问 SDRAM 就被强制停止	0
Auto power down	[13]	当设置自动掉电时，SDRAM 的存储器接口自动位通过使 CKE 无效以进入到省电状态。先入先出命令为空，用于 Power_down_prd 内存时钟周期	0
Power_down_prd	[12:7]	内存时钟周期的数量，用于 SDRAM 自动掉电	000000
AP bit	[6]	自动预充电位的编码位置在内存中的地址： 0=地址位 10 1=地址位 8	0
Row bits	[5:3]	AXI 地址位的编码数包含的行地址： 000=11 位	100

		001=12 位 010=13 位 011=14 位 100=15 位 101=16 位 110=10 位 111=9 位	
Column bits	[2:0]	AXI 地址位的编码数包含的列地址： 000=8 位 001=9 位 010=10 位 011=11 位 100=12 位 101=7 位 110=6 位 111=保留	000

### 5.4.5 刷新周期寄存器

寄存器	地址	读/写	描述	复位值
POREFRESH	0x7E000010	读/写	16 位 DRAM 控制刷新周期寄存器	0xA60
P1REFRESH	0x7E001010	读/写	32 位 DRAM 控制刷新周期寄存器	0xA60

PnREFRESH	位	描述	初始状态
	[31:15]	读未定义，写为 0	
Refresh period	[14:0]	在内存时钟周期内，存储器的刷新周期	0xA60

## 5.4.6 CAS 等待时间寄存器

寄存器	地址	读/写	描述	复位值
POCASLAT	0x7E000014	读/写	16 位 DRAM 控制 CAS 等待时间寄存器	0x6
PICASLAT	0x7E001014	读/写	32 位 DRAM 控制 CAS 等待时间寄存器	0x6

PnCASLAT	位	描述	初始状态
	[31:4]	读未定义，写为 0	
CAS Latency	[3:1]	内存时钟周期内 CAS 等待时间	011
CAS Half cycle	[0]	CAS 等待时间是否编码，半个内存时钟周期在位[3:1]设定值。 0=零周期偏移到位[3:1]上的值。在 MDDR 和 SDR 模式内，位[0]强制为 0 1=半个周期偏移位[3:1]上的值	0

## 5.4.7 T\_DQSS 寄存器

寄存器	地址	读/写	描述	复位值
P0T_DQSS	0x7E000018	读/写	16 位 DRAM 控制 t_DQSS 寄存器	0x1
P1T_DQSS	0x7E001018	读/写	32 位 DRAM 控制 t_DQSS 寄存器	0x1

PnT_DQSS	位	描述	初始状态
	[31:2]	读未定义，写为 0	
t_DQSS	[1:0]	写 DQS 到内存时钟周期内	1