

		0=优先旋转使能	
ARB6	[6]	外部中观 6 组优先旋转使能 0=不优先旋转 0=优先旋转使能	1
ARB5	[5]	外部中观 5 组优先旋转使能 0=不优先旋转 0=优先旋转使能	1
ARB4	[4]	外部中观 4 组优先旋转使能 0=不优先旋转 0=优先旋转使能	1
ARB3	[3]	外部中观 3 组优先旋转使能 0=不优先旋转 0=优先旋转使能	1
ARB2	[2]	外部中观 2 组优先旋转使能 0=不优先旋转 0=优先旋转使能	1
ARB1	[1]	外部中观 1 组优先旋转使能 0=不优先旋转 0=优先旋转使能	1
ARB0	[0]	外部中观 0 组优先旋转使能 0=不优先旋转 0=优先旋转使能	1

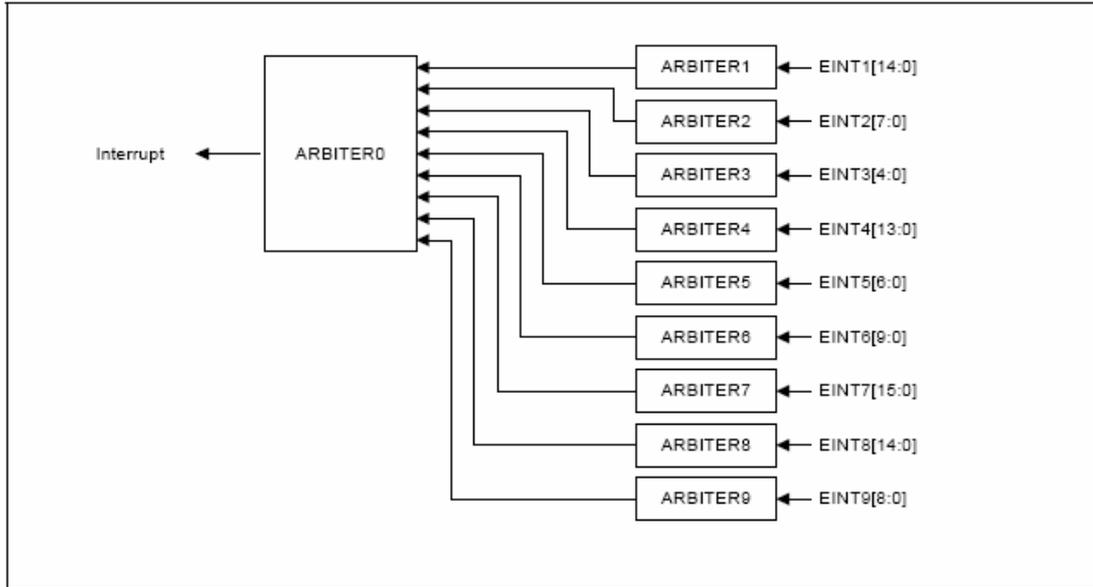


图 10-3 优先产生模块

### 10.3.当前服务寄存器（SERVICE）

当前服务寄存器将显示出服务于哪个中断。位值描述的是组的序号和终端的序号。通过 PRIORITY 寄存器决定位的值，当产生 nIRQ 时，位值无效。

当前服务寄存器将显示出需要清除哪个中断悬挂位。完成中断服务历程后，可以通过写入值清除中断悬挂寄存器内的中断悬挂位。如：如果当前服务寄存器的组序号是 4，可以通过向 EINT34PEND 内输入 SERVICEPEND 清除相应的中断悬挂位。

寄存器	地址	读/写	描述	复位值
SERVICE	0x7F008284	读	当前服务寄存器	0x00
SERVICEPEND	0x7F008288	读	当前服务悬挂寄存器	0x00

SERVICE	位	描述	初始状态
Group	[7:4]	组序号	0000
Interrupt No.	[3:0]	中断序号。当组位不为 00 时才有效	0000

### 睡眠模式下的外部管脚配置寄存器

此寄存器在睡眠模式下保持原来的值。

寄存器	地址	读/写	描述	复位值
SPCONSLP	0x7F008880	读/写	特殊端口睡眠模式配置寄存器	0x0000010
SLPEN	0x7F008930	读/写	睡眠模式 Pad 配置寄存器	0x00

SERVICE	位	描述	初始状态
Reserved	[31:15]	保留	0
TDOPULLDOWN	[14]	停止模式下的 XjTDO Pad 下拉控制 0=禁止 1=使下拉	0
RSTOUT	[13:12]	复位输出管脚 (XnRSTOUT) 配置 00=输出 0 01=输出 1 1x=输出禁止 (hi-Z)	00
Reserved	[11: 6]	保留	00
CKE1_INIT	[5]	CKE 存储器端口 1 的初始值。只有当系统电源处于复位状态或者睡眠激活状态时有效。	0
Reserved	[4:2]	保留	00
KP_COL	[1:0]	键盘设定栏位 00=输出 0 01=输出 1 1x=输入	00

SLPEN	位	描述	初始状态
Reserved	[7:2]	保留	0
SLPEN_CFG	[1]	0: 通过睡眠模式自动进行 1: 通过 SLPEN 位	0
SLPEN	[0]	睡眠模式 Pad 状态使能寄存器 当此位设置为 1 时, 外部管脚由睡眠模式控制, 如	00

		<p>ACONSLP/MEM0COMSLP 等等。</p> <p>当系统进入睡眠模式，此位值自动设为 1，可以通过输入或冷启动进行清除。当苏醒时，此值仍保持 1 值。</p>	
--	--	---	--

# 11 DMA 控制器

这一节主要介绍用于 S3C6410 RSIC 微处理器的 DMA 控制器。S3C6410 包含四个的 DMA 控制器。每个 DMA 控制器是由八个传输的通道组成。DMA 控制器的每个通道能在 SPINE AXI 总线的设备和/或者 PERIPHERAL AXI 总线之间通过 AHB 到 AXI（没有其它限制）进行数据传输。换言之，每个通道可以处理以下四个案例，如：

- (1) 源及目标在中心总线上；
- (2) 当目标在外设总线上可用时，在中心总线上，源也可以用；
- (3) 当目标在中心总线上可用时，在外设总线上，源也可以用；
- (4) 源及目标可用在外设总线上。

ARM 的 PrimeCell DMA 控制器 PL080 用来作为 S3C6410 DMA 控制器。该 DMAC 是一个 AMBA AHB 模块，连接到先进，性能高的总线(AHB)。DMAC 是一个先进的微控制器总线体系(全名 Advanced Microcontroller Bus Architecture，即 AMBA)，兼容的系统单晶片(全名 System-on-Chip，即 SoC)，它的开发、测试，许可符合 ARM 的规范。

DMA 的主要优点是没有 CPU 的干预，同样可以传输数据。DMA 的操作可以通过 S / W 初始化，或通过内部外设做请求，或外部引脚做请求。

## 11.1 DMA 控制器的特性

### 1. DMA 控制器

DMA 控制器提供以下功能：

- (1) S3C6410 包含四个的 DMA 控制器。每个 DMA 控制器由八个传输的通道组成，每个通道支持单向传输。
- (2) 每个 DMA 控制器提供了 16 个外设 DMA 请求。
- (3) 每个外设连接到 DMAC，可以表明一个脉冲 DMA 请求或者一个单一的 DMA 请求。DMA 脉冲的大小通过执行 DMAC 来设置。
- (4) 支持内存到内存，内存到外设，外设到内存以及外设向外设传输。

(5) 通过使用连接表，支持分散 DMA 或集合 DMA。

(6) 硬件 DMA 通道的优先权，每一个 DMA 通道有一个特定的硬件优先。DMA 通道 0 有最高优先级下降至通道 7，具有最低的优先级。如果请求在同一时间两个通道变为有效，则首先服务最高优先级。

(7) 该 DMAC 通过写入 DMA 控制寄存器来超过 AHB 接口。

(8) 两个 AXI 总线主要通过 AHD 和 AXI 桥传输数据，当 DMA 请求其作用时，这些接口将用于传输数据。

(9) 来源及目标的递增或非递增地址。

(10) 可编程的 DMA 的脉冲大小。DMA 的脉冲大小可以编程，以提高效率的传输数据。通常是脉冲大小，在外设，设置为 FIFO 的一半大小。

(11) 内部 4 字 FIFO 通道。

(12) 支持 8 位，16 位和 32 位宽度处理。

(13) 支持大端和小端模式。复位时，DMA 控制器默认的是小端模式。

(14) 单独的和组合的 DMA 错误和 DMA 计数中断请求。在一个 DMA 错误上或者当 DMA 计数读取 0（通常用于指示传输完成）时，处理器的中断产生。

三个中断请求信号是用来做到以下几点：

- 当传输已完成时，产生 DMACINTTC 信号。
- 当发生错误时，产生 DMACINERR 信号。
- DMACINTTC 和 DMACINERR 中断请求信号。DMACINTR 中断请求可以在系统中使用，其中有少数中断控制器的请求输入。

(15) 中断屏蔽。DMA 错误和 DMA 终端计数中断请求可能被屏蔽。

(16) 原始中断状态，DMA 错误和计数原始中断状态可以读取预屏蔽的信息。

## 2. DMA 控制器

DMA 控制器的结构框图，如图 11-1 所示。

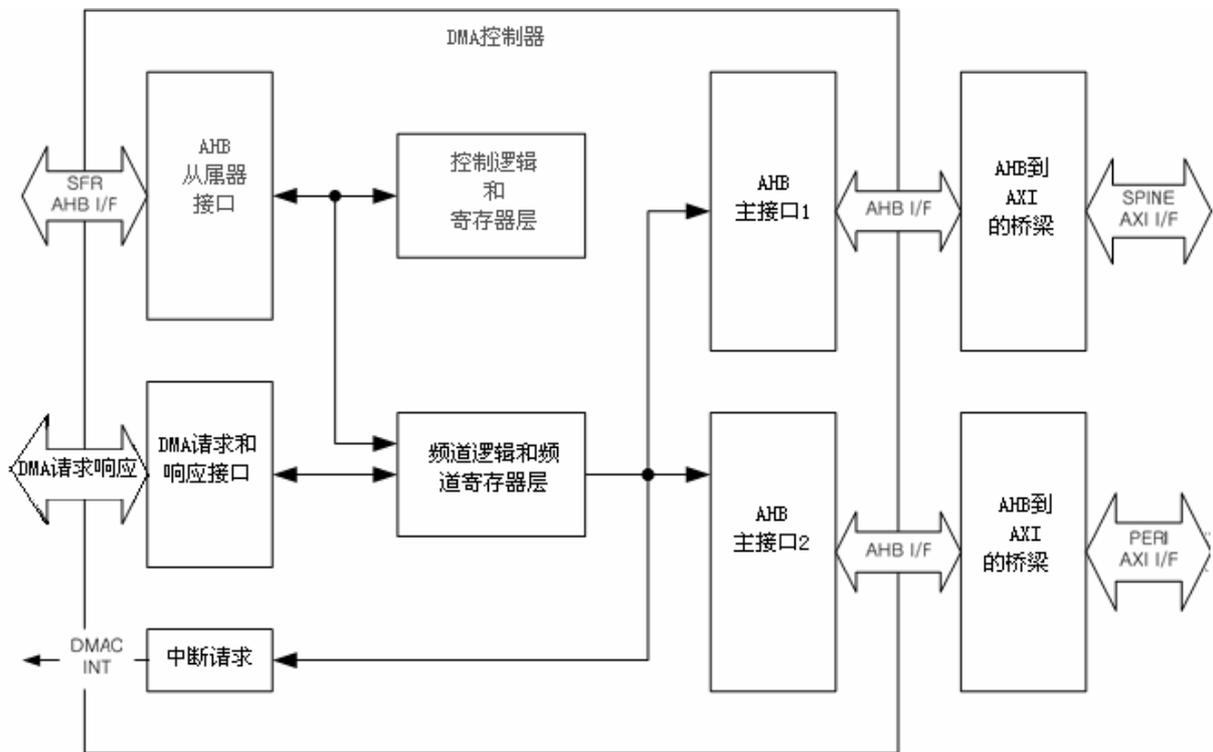


图 11-1 DMA 控制器的结构框图

## 11.2 DMA 源

该 S3C6410 支持 64 位 DMA 源，如表 11-1 所示。

表 11-1 DMA 源

组	DMA 编号	源	描述
DMA0, SDMA0	0	DMA_UART0[0]	UART0 DMA 源 0
DMA0, SDMA0	1	DMA_UART0[1]	UART0 DMA 源 1
DMA0, SDMA0	2	DMA_UART1[0]	UART1 DMA 源 0
DMA0, SDMA0	3	DMA_UART1[1]	UART1 DMA 源 1
DMA0, SDMA0	4	DMA_UART2[0]	UART2 DMA 源 0
DMA0, SDMA0	5	DMA_UART2[1]	UART2 DMA 源 1
DMA0, SDMA0	6	DMA_UART3[0]	UART3 DMA 源 0

DMA0, SDMA0	7	DMA_UART3[1]	UART3 DMA 源 1
DMA0, SDMA0	8	DMA_PCM0_TX	PCM0 DMA TX 源
DMA0, SDMA0	9	DMA_PCM0_RX	PCM0 DMA RX 源
DMA0, SDMA0	10	DMA_I2S0_TX	I2S0 TX DMA 源
DMA0, SDMA0	11	DMA_I2S0_RX	I2S0 RX DMA 源
DMA0, SDMA0	12	DMA_SPI0_TX	SPI0 TX DMA 源
DMA0, SDMA0	13	DMA_SPI0_RX	SPI0 RX DMA 源
DMA0, SDMA0	14	DMA_HSI_TX	MIPI HSI DMA TX 源
DMA0, SDMA0	15	DMA_HSI_RX	MIPI HSI DMA RX 源
DMA1, SDMA1	0	DMA_PCM1_TX	PCM1 DMA TX 源
DMA1, SDMA1	1	DMA_PCM1_RX	PCM1 DMA RX 源
DMA1, SDMA1	2	DMA_I2S1_TX	I2S1 TX DMA 源
DMA1, SDMA1	3	DMA_I2S1_RX	I2S1 RX DMA 源
DMA1, SDMA1	4	DMA_SPI1_TX	SPI1 TX DMA 源
DMA1, SDMA1	5	DMA_SPI1_RX	SPI1 RX DMA 源
DMA1, SDMA1	6	DMA_AC_PCMou	AC97 PCMout DMA 源
DMA1, SDMA1	7	DMA_AC_PCMin	AC97 PCMin DMA 源
DMA1, SDMA1	8	DMA_AC_MICin	AC97 MICin DMA 源
DMA1, SDMA1	9	DMA_PWM	PWM DMA 源
DMA1, SDMA1	10	DMA_IrDA	IrDA DMA 源
DMA1, SDMA1	11	Reserved	
DMA1, SDMA1	12	Reserved	
DMA1, SDMA1	13	Reserved	
DMA1, SDMA1	14	DMA_SECU_RX	安全 RX DMA 源
DMA1, SDMA1	15	DMA_SECU_TX	安全 TX DMA 源

## 11.3 DMA 接口

### 1. DMA 请求信号

DMA 请求信号是由外设要求的数据传输而被使用的。

该 DMA 请求信号表明：

- (1) 是否传输单个字或脉冲（多字）数据的传输需要。
- (2) 是否在数据包中，传输的是最后一次。

该 DMA 请求信号向 DMA 控制器为每个外设分列如下：

- (1) DMACxBREQ：脉冲请求信号。这个执行程序脉冲字的数目被转移。
- (2) DMACxSREQx：单传输请求信号。执行一个单个字被传输。该 DMA 控制器传输单个字到外设或来自外设。

注：如果外设只传输数据的脉冲，它不是强制地去连接单一传输请求信号。如果外设只传输单一的数据的字，则它不是强制地去连接脉冲请求信号。

### 2. DMA 的响应信号

该 DMA 响应信号表明是否传输由 DMA 请求信号完成。那个响应信号也可以被用来表明是否有一个完整的包已传输。

该 DMA 响应信号从 DMA 控制器为每个外设分列如下：

- (1) DMACxCLR<sub>x</sub>：DMA 的清除或确认信号。
- (2) DMACxTC：DMA 的终端计数信号。
- (3) DMA 使用 DMACxCLR<sub>x</sub> 信号来确认来自外设的 DMA 请求。
- (4) 该 DMACxTC 信号是以表明外设指出，DMA 传输完成所用的 DMA 控制器。

注：有些外设不需要连线的 DMA 终端计数信号。

### 3. 传输类型

该 DMA 控制器支持四种类型的传输：

- (1) 从内存到外设。
- (2) 从外设到内存。
- (3) 从内存到内存。

(4) 从外设到外设。

每一个传输类型可以转让任一外设，或 DMA 控制器作为流量控制器。因此，有四个可能的控制情况。

#### 4. 在 DMA 控制器的流控制下外设到内存的处理

对于不是脉冲大小倍数的处理，使用脉冲和单一请求信号，如图 11-2 所示。

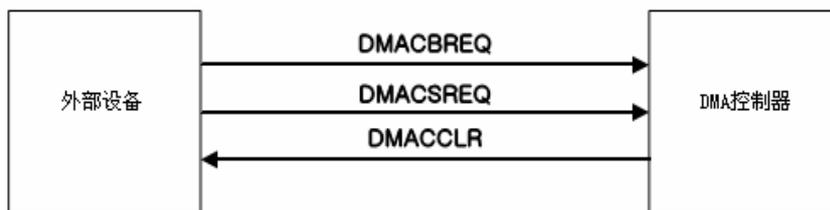


图 11-2 由脉冲和单一请求组成的外设到内存的处理

这两个请求信号并非互相排斥的，该 DMA 控制器监控器 DMACBREQ，数据的数据左传输大于脉冲大小时，并当发生请求时，开始一个脉冲传输（来自外设）。当数据的数据左传输小于脉冲大小时，DMA 控制器监控 DMACBREQ，并当发生请求时，开始单一传输。

#### 5. 在 DMA 控制器的流控制下内存到外设的处理

处理多种模块大小，只用于脉冲模块请求信号，如图 11-3 所示，由脉冲组成的内存到外设的处理。

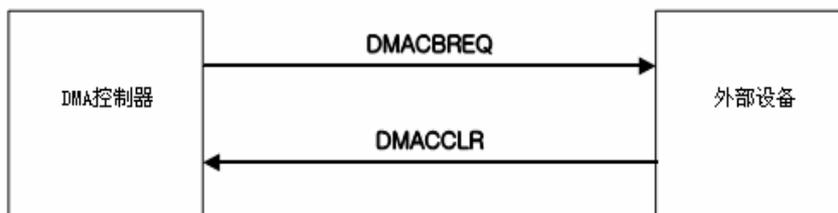


图 11-3 由脉冲组成的内存到外设的处理

只请求 DMACBREQ。当剩余的数据数量大于脉冲的大小，DMA 控制器发送数据的全脉冲。当剩余的数据数量小于脉冲的大小，DMA 再次监控 DMACBREQ，并且传输当请求的时候，传输剩余的数据。

#### 6. 在 DMA 控制器的流控制下内存到内存的处理

软件程序从内存到内存传输的 DMA 通道。当它启用，DMA 通道没有 DMA 请求开始传输。它继续，直到发生下列情况中的一种：