

INTKnTXFEmp	[4]	R_SS_WC	<p>当 TxFIFO 为空时接收的输入令牌</p> <p>应用于非周期输入端点。</p> <p>指明当相关的 TxFIFO 为空时，接收输入令牌。中断在端点上声明输入令牌已经接收到。</p>	1'b0
INTKnTXFEmp			<p>当端点禁止应用控制输出端点是，输出令牌被接收。</p> <p>指明当端点还未使能时，输出令牌被接收到。中断在端点上声明输出令牌已经接收到。</p>	
TimeOUT	[3]	R_SS_WC	<p>超时条件</p> <p>应用于非同步输入端点</p> <p>指明核心在 USB 上检测到此端点最后输入令牌的超时条件</p>	1'b0
SetUp			<p>设置阶段</p> <p>之应用与控制地输出端点。</p> <p>指明控制端点的设置阶段已经完成，而且当期按控制转换器内有接收到多于一的 Back to Back SETUP 包。在此中断上，应用可以对接收到的设置数据包进行解码。</p>	
AHBErr	[2]	R_SS_WC	<p>AHB 错误</p> <p>应用于输入和输出端点</p> <p>只有在内部 DMA 模式下而且同时在 AHB 读/写期间有 AHB 错误时才产生。</p> <p>应用个可以读取相应的端点 DMA 地址寄存器以取得错误地址。</p>	1'b0
EPDisbld	[1]	R_SS_WC	<p>端点 Disabled 中断</p> <p>应用于输入和输出端点</p> <p>此位表示每个应用的请求端点无效。</p>	1'b0
XferCompl	[0]	R_SS_WC	<p>转换完成 中断</p> <p>指明此端点运行的转换在 AHB 和 USB 上都以完成</p>	1'b0

5.设备端点 0 转换尺寸寄存器 (DIEPTSIZ0)

实际应用中，在端点 0 使能以前必须修改此寄存器。一旦端点 0 使用设备控制端点 0 控制寄存器的端

点使能位使能，核心修改此寄存器。当核心已经清除端点使能位时，应用只能读取此寄存器。

寄存器	地址	读/写	描述	复位值
DIEPISIZ0	0x7C00_0910	读/写	设备输入端点 0 转换尺寸寄存器	0x00000000

DIEPISIZ0	位	读/写	描述	初始状态
Reserved	[31:21]		保留	11'h0
PktCnt	[20:19]	R_W	包计数 指明 USB 包的总的数量,USB 包的数量构成端口点 0 数据的换尺寸数量。 每从 TxFIFO 读取一个包后此区域的值将减少一次。	2'b0
Reserved	[18:7]		保留	12'h0
XferSize	[6:0]	R_W	转换尺寸 指明端点 o 的转换尺寸的字节。只有在转换尺寸数量的数据用完以后，核心将中断应用。转换尺寸可以设置为端点最大的包尺寸，在包的结尾将中断转换尺寸。 当外部存储器内的包写入 TxFIFO 时，核心将减少此区域。	7'h0

6.设备输出端点 0 转换尺寸寄存器 (DOEPTISIZ0)

实际应用中，在端点 0 使能以前必须修改此寄存器。一旦端点 0 用设备控制端点 0 控制寄存器的断点使能位使能，核心修改此寄存器。当核心已经清除端点使能位时，应用只能读取此寄存器。

寄存器	地址	读/写	描述	复位值
DOEPTISIZ0	0x7C00_0B10	读/写	设备输出端点 0 转换尺寸寄存器	0x00000000

DOEPTISIZ0	位	读/写	描述	初始状态
Reserved	[31]		保留	1'h0
SUPCnt	[30:29]	R_W	设置包计数 此区域指定了端点可以接受的 back-to-back 设置数据包的数量 2'b01: 1 个包	2'h0

			2'b10: 两个包 2'b11: 3个包	
Reserved	[28: 20]		保留	9'h0
PktCnt	[19]	R_W	包计数 向 R 向 FIFO 写入一个包以后, 此区域值减到 0.	1'b0
Reserved	[18:7]		保留	12'h0
XferSize	[6:0]	R_W	转换尺寸 指明端点 0 的转换尺寸的字节。只有在转换尺寸数量的数据用完以后, 核心将中断应用。转换尺寸可以设置为端点最大的包尺寸, 在包的结尾将中断转换尺寸。 当外部存储器内的包写入 TxFIFO 时, 核心将减少此区域。	7'h0

7.设备端点-N 转换尺寸寄存器 (DIEPTSIZn/DOEPTSIZn)

端点序号: $1 \leq n \leq 15$

实际应用中, 在端点 0 使能以前必须修改此寄存器。一旦端点 0 用设备控制端点 0 控制寄存器的断点使能位使能, 核心修改此寄存器。当核心已经清除端点使能位时, 应用只能读取此寄存器。此寄存器值用于除了端点 0 意外的端点

寄存器	地址	读/写	描述	复位值
DIEPTSIZn/DOEPTSIZn	0x7C00_0910+n*20h /0x7C00_0B10+n*20h	读/写	设备端点-n 转换尺寸寄存器	0x00000000

DIEPTSIZn/DOEPTSIZn	位	读/写	描述	初始状态
Reserved	[31]		保留	1'b0

XferSize	[18:0]	R_W	<p>转换尺寸</p> <p>此区域包括当前端点的转换尺寸的字节。</p> <p>只有在转换尺寸数量的数据用完以后，核心将中断应用。转换尺寸可以设置为端点最大的包尺寸，在包的结尾将中断转换尺寸。</p> <p>对于输入端点而言：当外部存储器内的包写入 TxFIFO 时，核心将减少此区域。</p> <p>对于输出端点而言：每次从 RxFIFO 内读取包和向内部存储器写入包时，核心减少此区域。</p>	7'h0
----------	--------	-----	--	------

8.设备端点-N DMA 地址 (DIEPDMA_n/DOEPDMA_n)

端点序号：1 ≤ n ≤ 15

DMA 的开始地址必须为 DWORD.

寄存器	地址	读/写	描述	复位值
DIEPDMA _n /DOEPDMA _n	0x7C00_0914+n*20h /0x7C00_0B14+n*20h	读/写	设备端点-n DMA 寄存器	0x00000000

DIEPDMA _n /DOEPDMA _n	位	读/写	描述	初始状态
DMAAddr	[31:0]	R_W	<p>DMA 地址</p> <p>控制外部存储器用于储存和获取端点数据的开始地址。这个寄存器每进行 AHB 处理后将会增加。</p> <p>注：对控制端点而言，这个地址储存了控制输出数据包和设置处置数据包。如果多重设置包被接受，存储期内的设置数据包将会覆写。</p>	32'b0

26.5.3.3. 电源和时钟门控制寄存器

电源和时钟门控制寄存器 (PCGCCTL)

应用中可以用此寄存器控制 OTG 时钟门

寄存器	地址	读/写	描述	复位值
PCGCCTL	0x7C00_0E00	读/写	电源和时钟门控制寄存器	0x00000000

PCGCCTL	位	读/写	描述	初始状态
Reserved	[31:1]		保留	31'h0
StopPclk	[0]	R_W	停止 Pclk 应用中, 当 USB 暂停时, 或 session 无效, 或设备未连接时, 设置此位来停止 PHY 时钟。当 USB 恢复或新的 session 开始后清除此位。	1'b0

27 高速 MMC 控制器

这节主要介绍 S3C6410 RISC 微处理器上支持的多媒体卡控制器和相关寄存器。

HSMC(高速 MMC)和 SDMMC 是一个组合编码/解码器主机，主要用于 SD 卡和多媒体卡。该主机是兼容 SD 协会(SDA)主机标准规范的，可以在系统上带有 SD 卡和 MMC 卡的接口。具有这样功能的主机，其性能是非常强大的。能获得 50MHz 的时钟频率，同时访问 8 位数据引脚。

27.1 高速 MMC 控制器特性

该高速MMC控制器支持：

- (1) 兼容 SD 标准主机规格（版本 1.0）。
- (2) 兼容 SD 存储卡规格（版本 2.0）/HSMC 规格（版本 4.0）。
- (3) 兼容 SDIO 卡规格（版本 1.0）。
- (4) 512 字节的 FIFO 数据传输。
- (5) 48 位的指令寄存器。
- (6) 136 位的响应寄存器。
- (7) CPU 接口和 DMA 数据传输模式。
- (8) 支持 1 位/4 位/8 位模式转换。
- (9) 支持自动 CMD12。
- (10) 支持暂停/恢复。
- (11) 支持读等待操作。
- (12) 支持 CE-ATA 模式。

高速 MMC 控制器模块的结构框图，如图 27-1 所示。

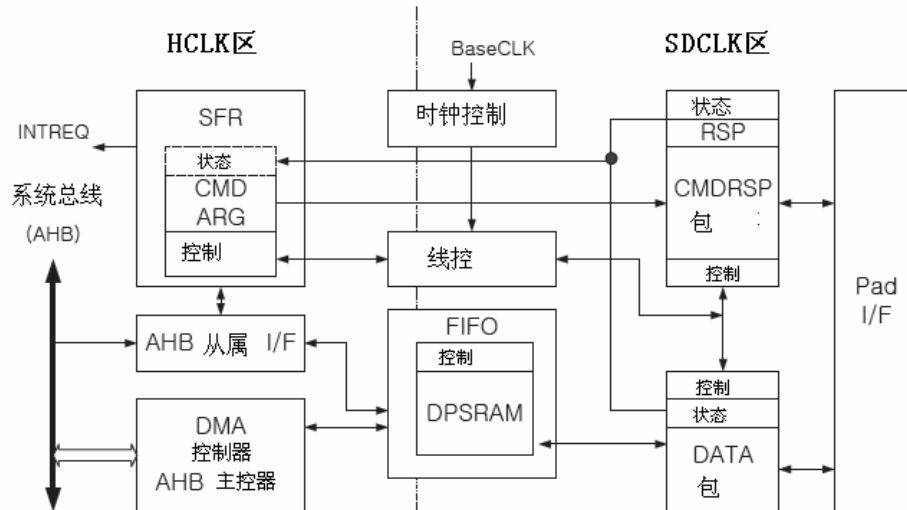


图 27-1 MMC 控制器结构框图

27.2 流程

下面将基本时序流程图分成几个小部分加以介绍。流程图需要“等待中断”，意思是主机驱动器等到指定的中断发生。如果发生中断，则进行流程图中的步骤；如果没有检测到中断产生，则不进行流程图的步骤。

1. SD卡检测流程

检测SD卡的流程图如图27-2所示。

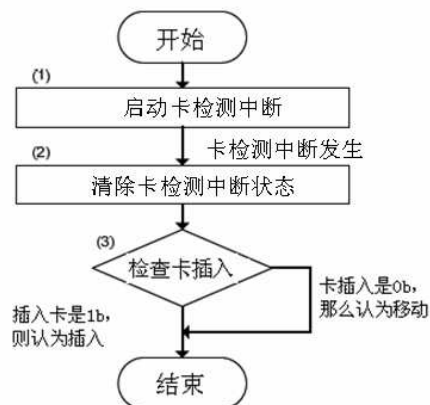


图 27-2 SD 卡检测流程

步骤如下：

(1) 卡能检测中断，将下面的位置1：

在正常的中断状态使能寄存器中，卡插入状态使能。

在正常的中断信号使能寄存器中，卡插入信号使能。

在正常的中断状态使能寄存器中，卡移除状态使能。

在正常的中断信号使能寄存器中，卡移除信号使能。

(2) 当主机驱动器检测卡插入还是移除时，它清除中断状态。如果卡插入状态产生，在正常中断状态寄存器中写‘1’则卡插入；如果卡移除中断产生，在正常中断状态寄存器中写‘1’则卡移除。

(3) 在当前状态寄存器检查卡插入。如果卡插入的情况为‘1’，那么主机驱动器提供能量和时钟到SD卡；如果卡插入的情况为‘0’，主机驱动器则立即关闭。

2. SD卡时钟供应流程

对于提供SD时钟到SD卡的流程，如图27-3 所示。

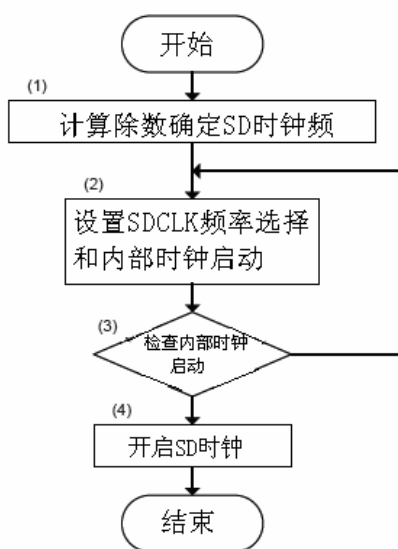


图 27-3 SD 时钟提供流程

过程如下：

- 发出一个SD指令。
- 从4位模式的SD卡中，检测到中断。

(1) 通过读在容限寄存器中的基础时钟频率，为SD卡时钟计算除数来确定SD卡时钟频率。如果SD时

钟的基础时钟频率是000000b，主机系统将通过其它方法为主机驱动器提供这些信息。

- (2) 在时钟控制寄存器中，设置内部时钟启动和SDCLK频率选择，使结果与（1）相符。
- (3) 在时钟控制寄存器中查看内部时钟状态，重复这些步骤直到时钟状态为‘1’。
- (4) 在时钟控制寄存器中设置SD时钟启动为‘1’，主机控制器开始提供SD卡时钟。

3. SD时钟停止流程

停止SD时钟流程图，如图27-4所示。

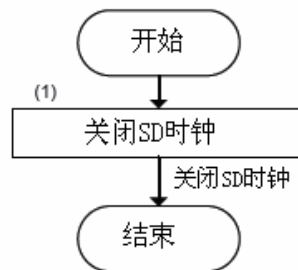


图 27-4 SD 时钟关闭流程

当SD总线处理进行，也就是，在当前状态寄存器中或者指令禁止（DAT）或者指令禁止（CMD）被置为1时，主机驱动器并不停止SD时钟。

在时钟控制寄存器中设置SD时钟启动为‘0’，然后，主机控制器停止提供给SD时钟。

4. SD时钟频率改变流程

改变SD时钟频率的流程，如图27-5所示。

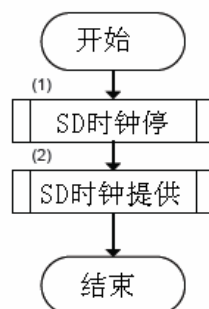


图 27-5 SD 时钟改变流程

当SD时钟静止时，步骤省略。