

FCSe13	[31]	反馈时钟选择[3]。 参考注(1)	0x0
FIA3	[30: 24]	FIFO 中断地址寄存器 3。 FIFO (512 字节缓冲存储器, 字地址单元)。 初始值 (0x7F) 产生在 512 字节 (128 字) 的位置。	0x7F
FCSe12	[23]	反馈时钟选择[2]。 参考注(1)	0x0
FIA2	[22: 16]	FIFO 中断地址寄存器 2。 FIFO (512 字节缓冲存储器, 字地址单元)。 初始值 (0x5F) 产生在 384 字节 (96 字) 的位置。	0x5F
FCSe11	[15]	反馈时钟选择[1]。 参考注(2)	0x0
FIA1	[14: 8]	FIFO 中断地址寄存器 1。 FIFO (512 字节存储器, 字地址单元)。 初始值 (0x3F) 产生在 256 字节 (64 字) 的位置。	0x3F
FCSe10	[7]	反馈时钟选择[0]。 参考注(2)	0x0
FIA0	[6: 0]	FIFO 中断地址寄存器 0。 FIFO (512 字节缓冲存储器, 字地址单元)。 初始值 (0x1F) 产生在 128 字节 (32 字) 的位置。	0x1F

注 (1): FCSe1[3:2] : 传输反馈时钟延迟控制

‘01’ = 延迟 1 (较小延迟), ‘11’ = 延迟 2, ‘00’ = 延迟 3, ‘10’ = 延迟 4 (较多延迟)

注 (2): FCSe1[1:0] : 接收反馈时钟延迟控制

‘00’ = 延迟 1 (较少延迟), ‘01’ = 延迟 2, ‘10’ = 延迟 3, ‘11’ = 延迟 4 (较多延迟)

## 27.4.29. 主机控制器版本寄存器

该寄存器包含 SD 指令变元。

寄存器	地址	读/写	描述	复位值
HCVER0	0x7C2000FE	HWInit	主机控制版本寄存器 (0 通道)。	0x1300
HCVER1	0x7C3000FE	HWInit	主机控制版本寄存器 (1 通道)。	0x1300
HCVER2	0x7C4000FE	HWInit	主机控制版本寄存器 (2 通道)。	0x1300

名称	位	描述	初始状态
----	---	----	------

	<p>[15:8] 供应商的版本号。 为供应商的版本号所保留的状态。主设备不用这种状态。 0x3 : SDMMC3.0 主机控制器。</p>	0x13
	<p>[7:0] 规范版本号。 该状态指示规范版本。较高和较低 4 位表示版本。 ‘00’ = SD 主机规范版本 1.0 其它 = 保留</p>	0x00

# 28 MIPI HIS 接口控制器

## 28.1 概述

MIPI HIS 接口是一种高速同步串行接口。

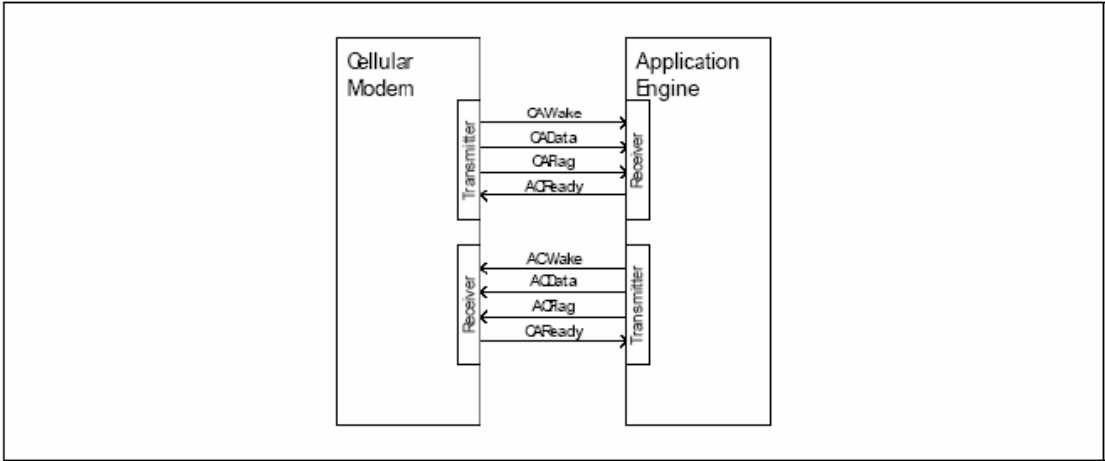


图 28-1 MIPI HIS 信号定义模块图

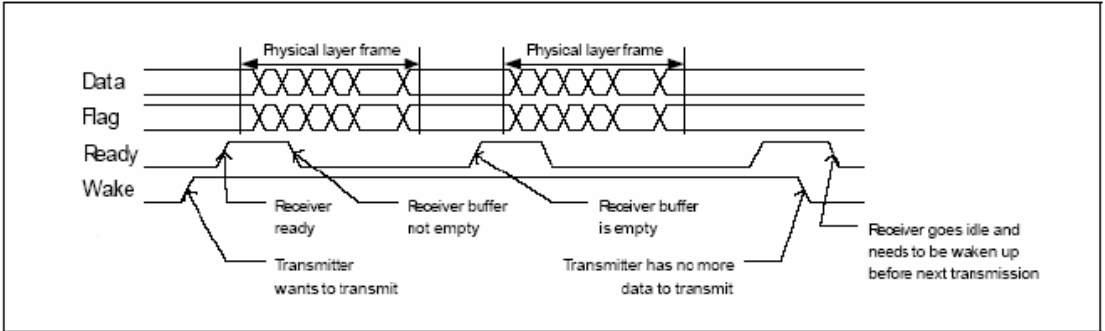


图 28-2 MIPI HIS 传输实例模块图

## 28.1.性能

MIPI HIS Rx/Tx 控制器主要性能如下：

MIPI HIS 接口是单向接口。

MIPI HIS RX 最大带宽是 100Mbps，MIPI HIS Tx 控制器使用 PCLK 进行数据传输。

### 1. TX 模块

状态寄存器

- FIFO 状态
- MIPI 状态

配置寄存器

- 选择运行模式（流模式或帧模式）
- 固定通道 ID 模式
- 通道序号
- 清除产生的错误
- TxHOLD 状态定时器使能
- TxIDLE 状态定时器使能
- TxREQ 状态定时器使能

中断源寄存器

- FIFO 空
- 打破帧转换完成
- TxHOLD 状态超时
- TxIDLE 状态超时
- TxREQ 状态超时

中断屏蔽寄存器

软件复位寄存器

通道 ID 寄存器

数据寄存器

- Tx FIFO 输入
- Tx FIFO 尺寸：

▼ 32 位宽度×32 位深度（128 字节）

## 2.RX 模块

状态寄存器

- FIFO 状态
- MIPI 状态

配置寄存器 0

- 选择运行模式（流模式或帧模式）
- 固定通道 ID 模式
- 通道序号
- 清除产生的错误
- RxACK 状态定时器使能
- Rx 状态 定时器

配置寄存器 1

- Rx FIFO 清除
- Rx FIFO 定时器使能

中断源寄存器

- Rx FIFO 满
- 数据接收完成
- Rx FIFO 超时
- 接收的打破帧
- 打破帧接收错误
- RxACK 状态超时
- 丢失的时钟输入
- 增加的时钟输入

软件复位寄存器

通道 ID 寄存器

数据寄存器

- Rx FIFO 输入

●Rx FIFO 尺寸:

▼32 位宽度×64 位深度（128 字节）

## 28.2.模块图

### 1. 顶级模块图

Rx 模块部分基础架构与 Tx 模块部分相似

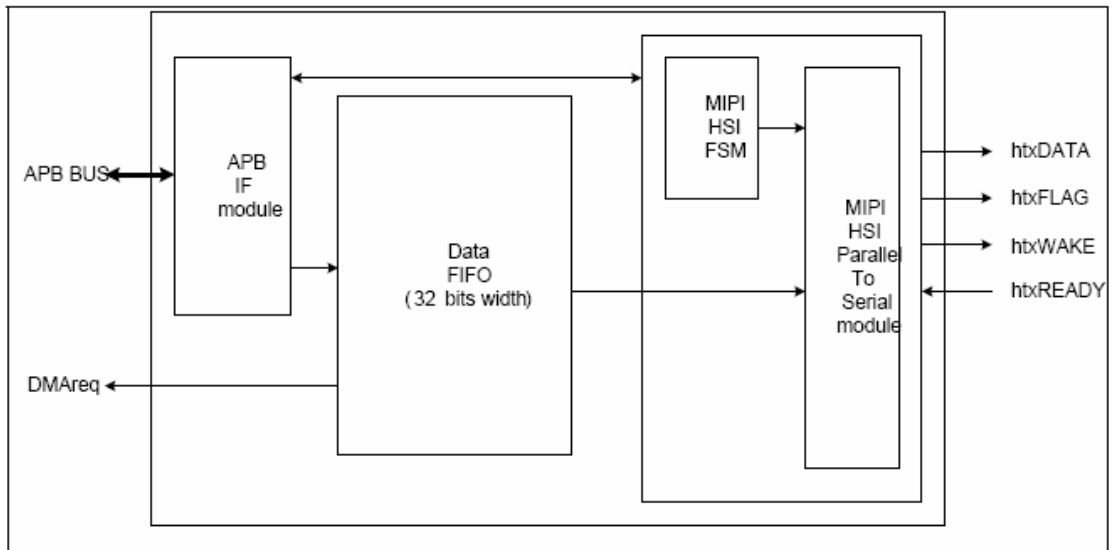


图 28-3 MIPI HSI 接口控制 Tx 模块顶层模块图

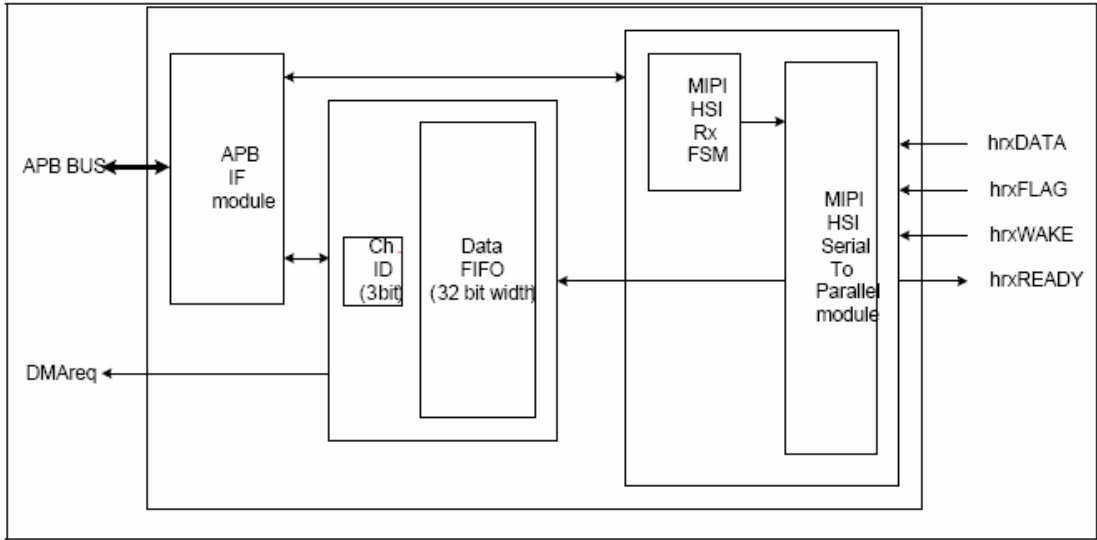


图 28-4 MIPI HSI 接口控制 Rx 模块顶层模块图

Tx 模块部分并行-串行块

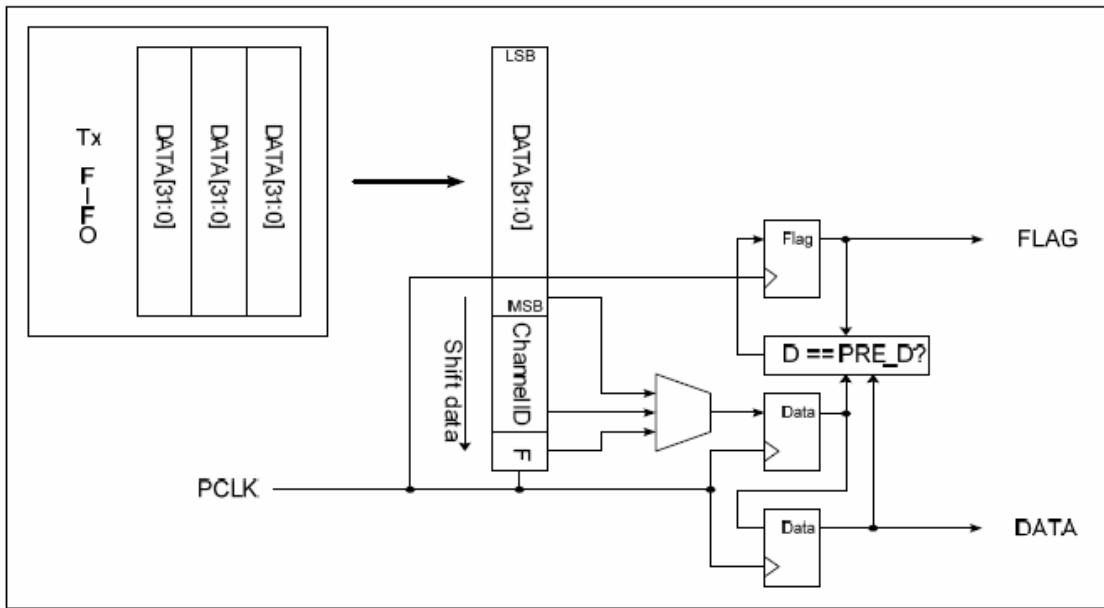


图 28-5 并行-串行块 (Tx 模块部分)

Rx 模块部分串行-并行块

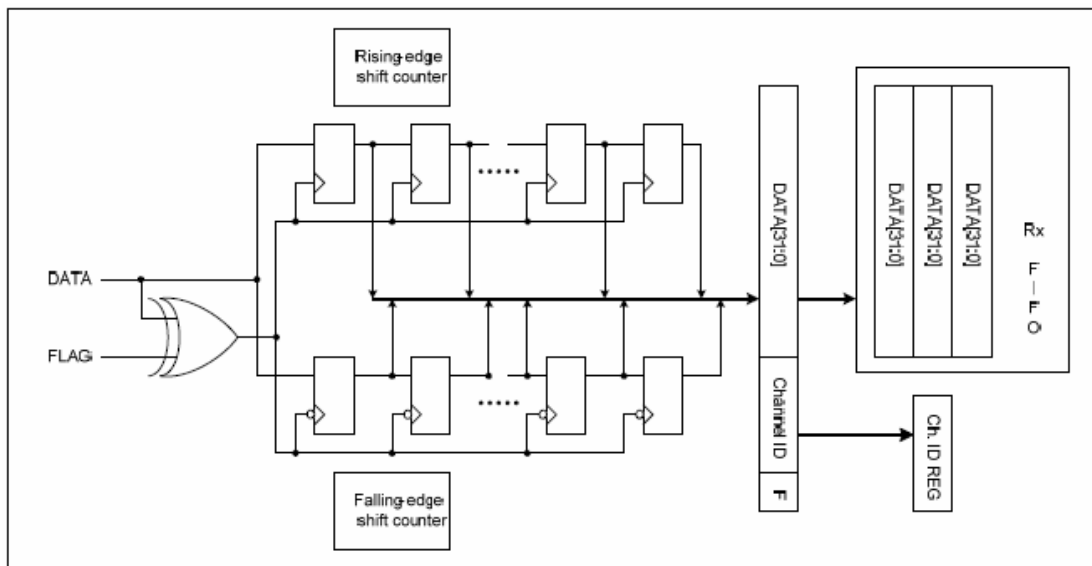


图 28-6 串行-并行块 (Rx 模块部分)

## 28.2 I/O 描述

### 1. TX 模块 I/O 列表

表 28-1 Tx I/O 描述

名称	#位	I/O	功能
MIPI HSI 接口信号 (Tx)			
TX_DATA	1	I	MIPI HSI 数据行
TX_FLAG	1	I	MIPI HSI 标志行
TX_WAKE	1	I	MIPI HSI 从其它部分 Tx 的唤醒行
TX_READY	1	0	MIPI HSI 向其他部分 Tx 的准备行

如果 DMA 请求使能位在中断和 DMA 请求屏蔽寄存器内使能, Tx 模块在 FIFO 为空闲状态时请求 DMA.



## 2.RX 模块 I/O 列表

表 28-2 Rx I/O 描述

名称	#位	I/O	功能
MIPI Hsi 接口信号 (Tx)			
RX_DATA	1	0	MIPI HSI 数据行
RX_FLAG	1	0	MIPI HSI 标志行
RX_WAKE	1	0	MIPI HSI 向其它部分 Rx 的唤醒行
RX_READY	1	I	MIPI HSI 从其他部分 Rx 的准备行

如果 DMA 请求使能位在中断和 DMA 请求屏蔽寄存器内使能，以及配置寄存器 0 内的 DMA 请求阈值位被设置为 (0x00~0x11)，Rx 模块在 Rx FIFO 数据数量大于阈值时，配置寄存器内的 Rx 模块将请求 DMA。

## 28.3 时序图

### 1.波形

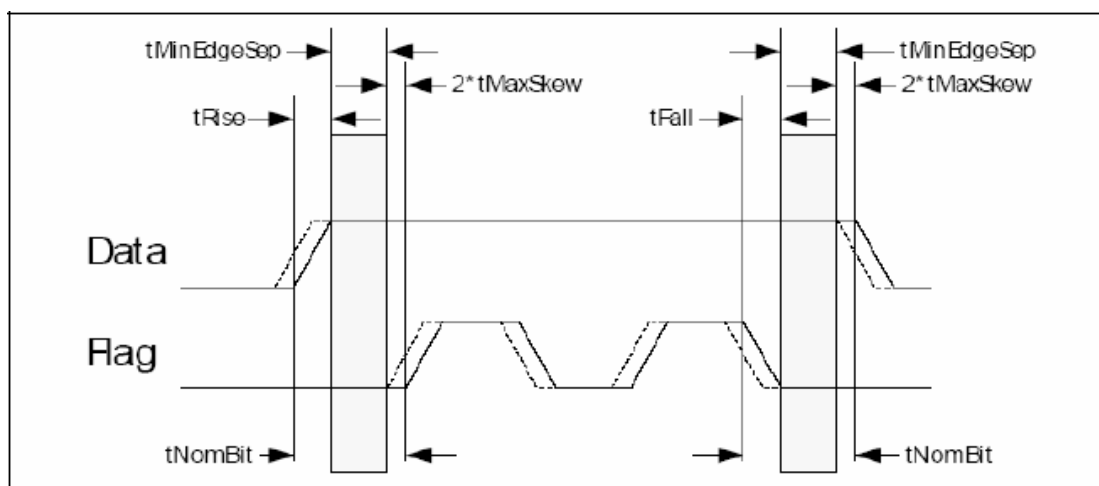


图 28-7 波形模块图

## 2. 信号时序

表 28-3 信号时序

参数	描述	1Mbit/s	100M bit/s
TNomBit	额定位时间	1000ns	10ns
TMinEdgeSep	DATA 和 FLAG 信号过度时间允许的最小间隔	500ns	5ns
TNomBit	允许的结合扭曲和抖动的最大时间。	249ns	1.5ns
tRise and tFall	最小允许信号上升和下降时间	2ns	2ns

## 3. 单个/突发通道 ID 模式

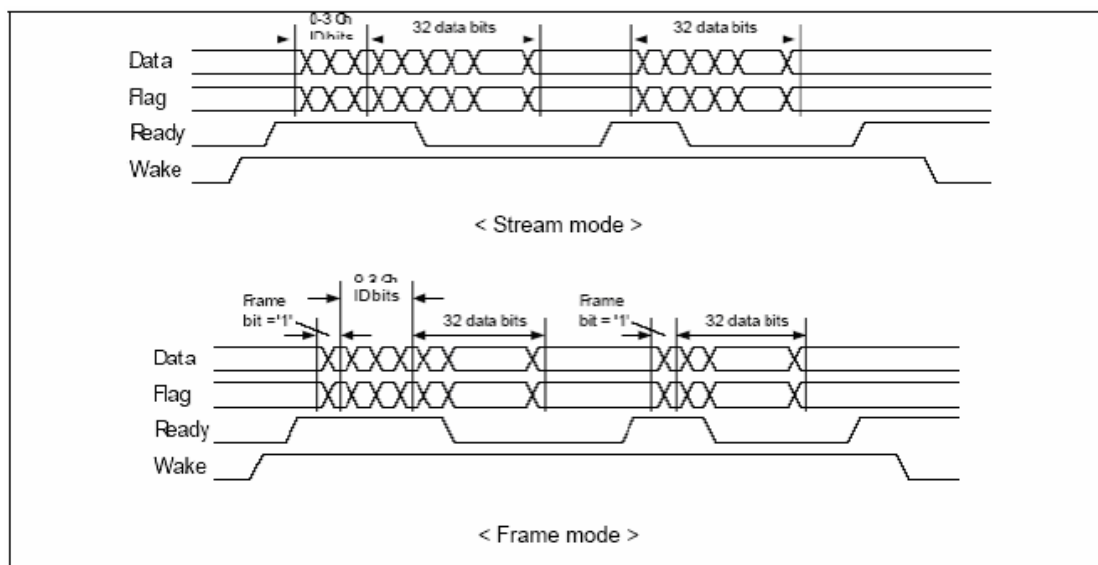


图 8-8 突发通道 ID 模式的例子模块图

在信号通道 ID 模式内，通道 ID 于每个数据的前端连在一起发送。在突发通道 ID 模式内，通道 ID 只于第一帧连在一起，并且在 IDLE 状态之后发送，只有 32 位数据可以发送到 IDLE 模式内。可变通道模式与固定通道 ID 模式相比带宽较宽，可以传送较大的数据，这主要是因为可以减少传输通道 ID 的数量。