

35.5 控制 AC97 的特殊寄存器

35.5.1. AC97 特殊功能寄存器概述

寄存器	地址	读/写	描述	复位值
AC_GLBCTRL	0x7F001000	读/写	AC97 通用控制寄存器。	0x00000000
AC_GLBSTAT	0x7F001004	读	AC97 全球状态寄存器。	0x00000001
AC_CODEC_CMD	0x7F001008	读/写	AC97 编解码器命令寄存器。	0x00000000
AC_CODEC_STAT	0x7F00100C	读	AC97 编解码器状态寄存器。	0x00000000
AC_PCMADDR	0x7F001010	读	AC97 的 PCM 输出/输入 通道 FIFO 地址寄存器。	0x00000000
AC_MICADDR	0x7F001014	读	AC97 的 MIC 输入通道 FIFO 地址寄存器。	0x00000000
AC_PCMDATA	0x7F001018	读/写	AC97 的 PCM 输出/输入 通道 FIFO 数据寄存器。	0x00000000
AC_MICDATA	0x7F00101C	读/写	AC97 的 MIC 输入通道 FIFO 数据寄存器。	0x00000000

35.5.2. AC97 通用控制寄存器（AC_GLBCTRL）

这是 AC97 通用控制寄存器。有中断控制寄存器，DMA 的控制寄存器，AC-Link 控制寄存器，数据传输控制寄存器和相关的重置控制寄存器组成。

寄存器	地址	读/写	描述	复位值
AC_GLBCTRL	0x7F001000	读/写	AC97 通用控制寄存器。	0x00000000

AC_GLBCTRL	位	描述	初始状态
-	[31]	保留。	0
编解码器准备就绪中断清除	[30]	中断清除（只写）	0
PCM 输出通道欠载中断清除	[29]	中断清除（只写）	0

PCM 输入通道超限中断清除	[28]	中断清除（只写）	0
MIC 输入通道超限中断清除	[27]	中断清除（只写）	0
PCM 输出通道极限中断清除	[26]	中断清除（只写）	0
PCM 输入通道极限中断清除	[25]	中断清除（只写）	0
MIC 输入通道极限中断清除	[24]	中断清除（只写）	0
-	[23]	保留	0
编解码器准备就绪中断启动	[22]	0: 禁止 1: 启动。	0
PCM 输出通道超限中断启动	[21]	0: 禁止 1: 启动（FIFO 为空）	0
PCM 输入通道超限中断启动	[20]	0: 禁止 1: 启动（FIFO 为满）	0
MIC 输入通道超限中断启动	[19]	0: 禁止 1: 启动（FIFO 为满）	0
PCM 输出通道极限中断启动	[18]	0: 禁止 1: 启动（FIFO 为半空）	0
PCM 输入通道极限中断启动	[17]	0: 禁止 1: 启动（FIFO 为半满）	0
MIC 输入通道极限中断启动	[16]	0: 禁止 1: 启动（FIFO 为半满）	0
-	[15:14]	00 : 关闭 01 : PIO 10 : DMA 11 : 保留	00
PCM 输出通道传输模式	[13:12]	00 : 关闭 01 : PIO 10 : DMA 11 : 保留	00
PCM 输入通道传输模式	[11:10]	00 : 关闭 01 : PIO 10 : DMA 11 : 保留	00
麦克风在频道传输模式	[9:8]	00 : 关闭 01 : PIO 10 : DMA 11 : 保留	00
-	[7:4]	保留。	0000
使用 AC-link 传输数据启动	[3]	0: 禁止 1: 启动	0
AC-link 开关	[2]	0: 关闭 1: SNYC 信号转移到编解码器	0

热复位	[1]	0: 正常 1: 从关闭电源唤醒编解码器	0
冷复位	[0]	0: 正常 1: 复位编解码器和控制器的逻辑	0

35. 5. 3. AC97 通用状态寄存器(AC_GLBSTAT)

这是状态寄存器。当中断发生时，可以检查中断源是什么。

寄存器	地址	读/写	描述	复位值
AC_GLBSTAT	0x7F001004	读	AC97 通用状态寄存器	0x00000001

AC_GLBSTAT	位	描述	初始状态
-	[31:23]	保留。	0x00
编解码器准备就绪中断	[22]	0: 不请求 1: 请求	0
PCM 输出通道欠载中断	[21]	0: 不请求 1: 请求	0
PCM 输入通道超限中断	[20]	0: 不请求 1: 请求	0
MIC 输入通道超限中断	[19]	0: 不请求 1: 请求	0
PCM 输出通道极限中断	[18]	0: 不请求 1: 请求	0
PCM 输入通道极限中断	[17]	0: 不请求 1: 请求	0
MIC 输入通道极限中断	[16]	0: 不请求 1: 请求	0
-	[15:3]	保留。	0x000
控制主要状态	[2:0]	000: 闲置 001: 初始 010: 准备 011: 有效 100: LP 101: 热的	001

35. 5. 4. AC97 编解码器命令寄存器(AC_CODEC_CMD)

当控制写或读时，必须设定读取的启动位。如果想要将数据写入 AC97 编解码器中，可以设定该 AC97 编解码器和数据的指数（或地址）。

寄存器	地址	读/写	描述	复位值

AC_CODEC_CMD	0x7F001008	读/写	AC97 编解码器命令寄存器	0x00000000
--------------	------------	-----	----------------	------------

AC_CODEC_CMD	位	描述	初始状态
-	[31:24]	保留。	0x00
读取启动	[23]	0: 写命令 1: 读取状态	0
地址	[22:16]	编解码器的命令地址	0x00
数据	[15:0]	编解码器的命令数据	0x0000

注：当命令被写在 AC_CODEC_CMD 寄存器上，一个命令到下一个命令之间有延时多于 1 / 48KHz。

35.5.5.AC97 编解码器的状态寄存器（AC_CODEC_STAT）

如果读取启动位是 1 和编解码器的命令地址是有效的，编解码器的状态数据也是有效的。

寄存器	地址	读/写	描述	复位值
AC_CODEC_STAT	0x7F00100C	读	AC97 编解码器的状态寄存器	0x00000000

AC_CODEC_CMD	位	描述	初始状态
-	[31:23]	保留	0x00
地址	[22:16]	编解码器的状态地址	0x00
数据	[15:0]	编解码器的状态数据	0x0000

注：如果想从 AC97 编解码器通过 AC_CODEC_STAT 寄存器读取数据，则按照以下步骤进行：

- (1) 在 AC_CODEC_CMD 寄存器上，写入关于位[23]=1 的命令地址和命令数据。
- (2) 有一定的延时时间。
- (3) 在 AC_CODEC_STAT 寄存器中，读取命令地址和命令数据。

35.5.6. AC97 的 PCM 输出/输入通道 FIFO 数据寄存器(AC_PCMADDR)

内部 PCM FIFO 地址索引。

寄存器	地址	读/写	描述	复位值
-----	----	-----	----	-----

AC_PCMADDR	0x7F001010	读	AC97 的 PCM 输出/输入通道 FIFO 数据寄存器。	0x00000000
------------	------------	---	--------------------------------	------------

AC_PCMADDR	位	描述	初始状态
-	[31:28]	保留。	0000
输出读取地址	[27:24]	PCM 输出通道 FIFO 读取地址。	0000
-	[23:20]	保留。	0000
输入读取地址	[19:16]	PCM 输入通道 FIFO 读取地址。	0000
-	[15:12]	保留。	0000
输出写入地址	[11:8]	PCM 输出通道 FIFO 写入地址。	0000
-	[7:4]	保留。	0000
输入写入地址	[3:0]	PCM 输入通道 FIFO 写入地址。	0000

35.5.7.AC97 的 MIC 输入通道 FIFO 地址寄存器

寄存器	地址	读/写	描述	复位值
AC_MICADDR	0x7F001014	读	AC97 的 MIC 输入通道 FIFO 数据寄存器。	0x00000000

AC_MICADDR	位	描述	初始状态
-	[31:20]	保留。	
读取地址	[19:16]	MIC 输入通道 FIFO 读取地址。	
-	[15:4]	保留。	
写入地址	[3:0]	MIC 输入通道 FIFO 写入地址。	

35.5.8.AC97 的 PCM 输出/输入通道 FIFO 数据寄存器(AC_PCMDATA)

这是 PCM 输出/输入通道 FIFO 数据寄存器

寄存器	地址	读/写	描述	复位值
AC_PCMDATA	0x7F001018	读/写	AC97 的 PCM 输出/输入通道 FIFO 数据寄存器。	0x00000000

AC_PCMDATA	位	描述	初始状态
右数据	[31:16]	PCM 输出输入右通道 FIFO 数据。 读取：PCM 输入右通道。 写入：PCM 输出右通道。	0x0000
左数据	[15:0]	PCM 输出/输入左通道 FIFO 数据。 读取：PCM 输入左通道。 写入：PCM 输出左通道。	0x0000

35.5.9.AC97 的 MIC 输入通道 FIFO 数据寄存器(AC_MICDATA)

这是 MIC 输入通道 FIFO 数据寄存器

寄存器	地址	读/写	描述	复位值
AC_MICDATA	0x7F00101C	读/写	AC97 的 MIC 输入通道 FIFO 数据寄存器。	0x00000000

AC_MICDATA	位	描述	初始状态
-	[31:16]	保留。	0x0000
单数据	[15:0]	MIC 输入单通道 FIFO 数据。	0x0000

36 IIS 总线接口

IIS 是一种常用的数字音频接口。总线只处理音频数据，像编码和控制这样的其它信号被转移分开。尽可能的在两个 IIS 总线之间传输数据。一个 3 线串行总线被用于组成一个为多元数据通道的路线、一个选择路线和一个时钟路线，以尽量减少必要的插槽和保持简单的配线。

IIS 接口传输或接受声音数据来自于外部立体声音频编解码器。用于传输和接收数据，包括两个 32×16 FIFO 数据结构。DMA 传输模式能支持传输或接受样本。从内部系统时钟控制器通过 IIS 时钟分频器或直接时钟状态中提供 IIS 的特定时钟。

36.1 IIS 总线特征

在 IIS 总线接口包括以下功能：

- 2 通道 IIS 总线用于 DMA 装置的音频接口运作。
- 串行，8/16 位经通道数据传输。
- 支持 IIS，MSB-justified 和 LSB-justified 数据格式。

36.2 结构框图

对 IIS 总线结构框图的描述，如图 30-1 所示。

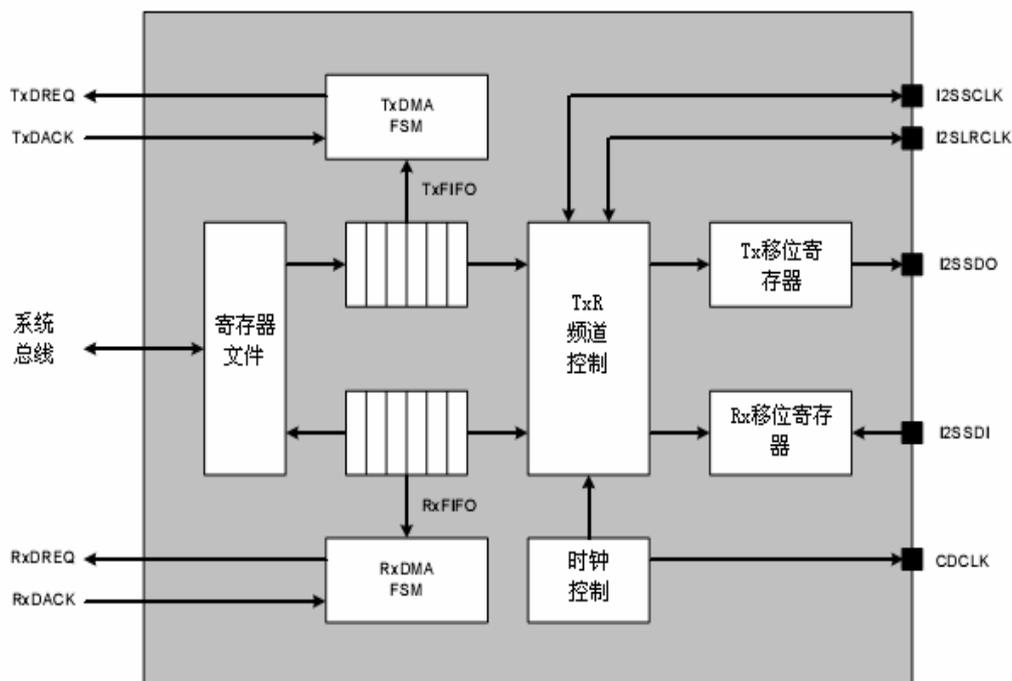


图 30-1 IIS 总线结构框图

36.3 功能说明

IIS 接口由寄存器层、FIFO、移位寄存器、时钟控制、DMA 有限状态设计和通道控制模块组成。如图 6-66 所示。每个 FIFO 有 32 位的宽度和 16 位深度构成，其中包括左/右通道数据。因此 FIFO 的访问和数据传输以左/右成对的单元进行操作。

1. 主/从模式

可以通过 IISMOD 寄存器设置 IMS 位，来选择主/从模式。在主模式中，内部产生 I2SSCLK 和 I2SLRCLK 并提供给外部设备。因此区分产生 I2SSCLK 和 I2SLRCLK 需要一个启动时钟。IIS 预分频器以内部系统时钟分出的频率产生一个启动时钟。在外部主模式下，从 IIS 外部直接反馈启动时钟。在从模式中从引脚提供 I2SSCLK 和 I2SLRCLK。

主/从模式不同与发射/接收。主/从模式主要介绍 I2SLRCLK 和 I2SSCLK 的用法。I2SLRCLK（这个只是辅助）的用法并不重要。如果 IIS 总线接口传送 3 时钟信号到 IIS 编解码器，则 IIS 总线在主模式中。但如果 IIS 总线接口传输数据到 IIS 编解码器，这是 TX 模式。反过来说，IIS 总线接口从 IIS 编解码器接收

时钟信号，这是 RX 模式。发射/接收模式会显示数据流的方向。

如图 30-2 所示，显示在 IIS 时钟控制模块和系统控制器设置内部或外部主模式的启动路线。RCLK 表明，在外部的主模式下启动时钟能被提供给外部 IIS 编解码器。

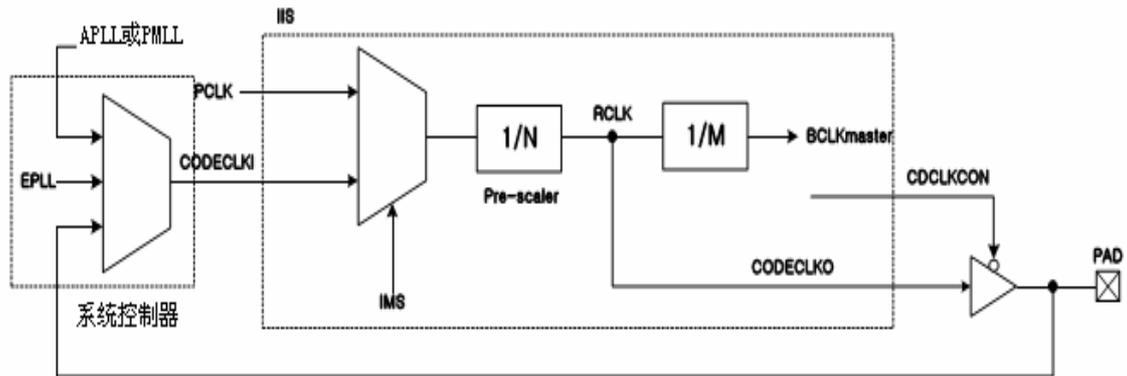


图 30-2 IIS 的时钟控制框图

2. DMA 传输

在 DMA 传输模式中，发送器或接收器 FIFO 能通过 DMA 控制器被访问。DMA 的服务请求由发送器或接收器 FIFO 的状态被激活。I2SCON 寄存器的 FTXEMPT、FRXEMPT、FTXFULL 和 FRXFULL 位代表发送器或接收器 FIFO 数据状态。特别是 FTXEMPT 和 FRXFULL 位，它们是对 DMA 服务请求准备好的标记；当发送 FIFO 不为空时，发送 DMA 服务请求有效；当接收 FIFO 为空时，接收 DMA 服务请求有效。对于单一数据，DMA 传输只用“握手”的方法。确认 DMA 被激活，则数据读取或写入操作必须执行。

*参考：DMA 请求点

- 发送模式：（FIFO 不满）并且（TXDMACTIVE 有效）
- 接收模式：（FIFO 非空）并且（RXDMACTIVE 有效）

36.4 音频串行数据格式

1. IIS 的总线格式

IIS 总线有四线，包括串行数据输入 I2SSDI、串行数据输出 I2SSDO，左右声道选项时钟 I2SLRCLK 和串行位时钟 I2SDCLK；设备产生 I2SLRCLK 和 I2SBCLK 是主模式。

串行数据以 2 的补码形式传输，其中 MSB 有固定的位置，而 LSB 的位置要依据字长。发送器在一个时钟周期中发送下一个 MSB 后，I2SLRCLK 被改变。I2SLRCLK 改变后，发送器发送下一个字的 MSB。然而在串

行时钟信号的最主要优势上，串行数据必须被锁存到接收器里。因此数据传输对同步的最主要优势有一定的限制。

LR 通道选择线显示，该通道被传送。在任一尾随或领先的串行时钟上 I2SLRCLK 可能被改变，但它不是强制性的被对称。在从属模式内，该信号锁存时钟信号第一位的边。在 MSB 传输前，I2SLRCLK 线改变一个时钟周期。这允许从属发送器来驱动一个同步时速。进而，它使接收器来存储先前的字并为下一个字清除输入

2. MSB（左）的对齐

MSB 对齐（左对齐）格式与 IIS 总线格式类似，除了在 MSB 对齐格式里面，每当 I2SLRCLK 被改变，发送机始终在同一时间发送 MSB 的下一个消息。

3. LSB（右）的对齐

LSB 的对齐（右对齐）格式是相对 MSB 对齐的格式。换句话说，传输串行数据以 I2SLRCLK 移位的结束点对齐。

如图 30-3 所示，显示 IIS 的串行音频格式，MSB 对齐和 LSB 对齐。注意，在这个形式内，该该字节长度为 16 位和 I2SBCLK 的每 24 周期内 I2SLRCLK 产生传输（BFS 是 $48f_s$, f_s 采样频率；I2SLRCLK 频率）。