

图 30-3 IIS 的音频串行数据格式

4. 采样频率和主时钟

采样频率可以选择主时钟频率 (RCLK) 参考表 30-1 所示。因为 RCLK 源于 IIS 预分频，所以预分频值和 RCLK 类型 (256fs 或 384fs 或 512fs 或 768fs) 必须确定。

表 30-1 编解码器的时钟 (CODECLK=256fs, 384fs, 512fs, 768fs)

IISLRCK (fs)	8.000 kHz	11.025 kHz	16.000 kHz	22.050 kHz	32.000 kHz	44.100 kHz	48.000 kHz	64.000 kHz	88.200 kHz	96.000 kHz
CODECLK (MHz)	256fs									
	2.0480	2.8224	4.0960	5.6448	8.1920	11.2896	12.2880	16.3840	22.5792	24.5760
	384fs									
	3.0720	4.2336	6.1440	8.4672	12.2880	16.9344	18.4320	24.5760	33.8688	36.8640
512fs										

	4. 0960	5. 6448	8. 1920	11. 2900	16. 3840	22. 5790	24. 5790	32. 7680	45. 1580	49. 1520
	768fs									
	6. 1440	8. 4672	12. 2880	16. 9340	24. 5760	33. 8690	36. 8640	49. 1520	67. 7380	73. 7280

5. IIS 的时钟映射表

I2SMOD 寄存器选择 BFS, RFS, 和 BLC 位, 必须参考下表。如表 30-2 所示, 显示允许时钟频率的映射关系。

表 30-2 IIS 的时钟映射表

时钟频率		RFS			
		256fs (00B)	512fs (01B)	384fs (10B)	768fs (11B)
BFS	16fs (10B)	(a)	(a)	(a)	(a)
	24fs (11B)	.	.	(a)	(a)
	32fs (00B)	(a) (b)	(a) (b)	(a) (b)	(a) (b)
	48fs (01B)	.	.	(a) (b)	(a) (b)
描述		(a) 允许 BLC 为 8 位 (b) 允许 BLC 为 16 位			

36.5 编程指南

在 IIS 总线接口可以被访问由处理器的使用程序的 I / O 的指示, 或由 DMA 的控制器。

1. 初始化

(1) 首先, 使用 IIS 总线接口, 必须配置 GPIO 到 IIS 模块并检验信号的方向。I2SLRCLK, I2SSCLK 和 I2SCDCLK 的输入输出型。每个 I2SSDI 和 I2SSDO 是一个输入和输出。

(2) 必须选择一个时钟源。S3C6410 有三个时钟源。PCLK, EPLL 和外部编解码器

2. DMA 的播放模式 (TX 模式)

(1) TXFIFO 直接操作。如果从发射/接受模式不区分主/从模式, 则必须考虑主/从模式和发射/接收模式。

(2) 正确地配置 I2SMOD 寄存器和 I2SPSR (IIS 预定标器)。

- (3) 为了操作系统稳定，DMA 操作前，内部 **RXFIFO** 必须至少有一个数据。
- (4) 通过轮询访问 SFR 检查 **RXFIFO** 的状态。
- (5) 如果 **RXFIFO** 不为空，启动 **RXDMACTIVE**（直接存储器存取通道）

36.6 IIS 总线接口的特殊寄存器

36.6.1. IIS 总线接口的特殊寄存器

寄存器	地址	读/写	描述	复位值
IISCON	0x7F002000 0x7F003000	读/写	IIS 的接口控制寄存器。	0xE00
IISMOD	0x7F002004 0x7F003004	读/写	IIS 的接口模式寄存器。	0x0
IISFIC	0x7F002008 0x7F003008	读/写	IIS 的接口 FIFO 控制寄存器。	0x0
IISPSR	0x7F00200c 0x7F00300c	读/写	IIS 的接口时钟分配器控制寄存器。	0x0
IISTXD	0x7F002010 0x7F003010	写	IIS 的接口传输数据寄存器。	0x0
IISRXD	0x7F002014 0x7F003014	读	IIS 的接口接收数据寄存器。	0x0

注：所有 IIS 接口的寄存器是易受影响的通过带有 STR/LDR 指令的字单位。

36.6.2. IISCON 寄存器

寄存器	地址	描述	初始值
IISCON	0x7F002000	IIS 的接口控制寄存器。	0x0000_0E00

	0x7F003000	
--	------------	--

IISCON	位	读/写	描述
	[31:12]	读/写	保留，置0。
LRI	[11]	读	左/右通道时钟显示。注意：LRI 依赖 I2SMOD 寄存器的 LRP 位的值。 0：左（当 LRP 的位是低）或右（当 LRP 的位为高电平）。 1：右的（当 LRP 的位是低）或左（当 LRP 的位为高电平）。
FTXEMPT	[10]	读	Tx FIFO 空状态指示。 0：FIFO 不为空的（ 1：FIFO 为空
FRXEMPT	[9]	读	Rx FIFO 的空状态指示。 0：FIFO 不为空 1：FIFO 为空
FTXFULL	[8]	读	Tx FIFO 的充分状态指示。 0: FIFO 为不充分 1: FIFO 为充分
FRXFULL	[7]	读	Rx FIFO 的充分状态指示。 0: FIFO 为不充分（从通道准备接收数据） 1: FIFO 为充分（从通道不准备接收数据）
TXDMAPAUSE	[6]	读/写	Tx DMA 运行停止命令。注意：当该位在任何时间都有效时，当前运行的 DMA 传输完成后 DMA 请求将被挂起。 0: 不停止 DMA 操作 1: 停止 DMA 操作
RXDMAPAUSE	[5]	读/写	Rx DMA 运行停止命令。注意：当该位在任何时间都有效时，当前运行的 DMA 传输完成后 DMA 请求将被挂起。 0: 不停止 DMA 操作 1: 停止 DMA 操作

TXCHPAUSE	[4]	读/写	Tx 通道运行停止命令。注意：当该位在任何时间都有效时，当左右通道数据传输完成后通道操作将被挂起。 0：不停止运作 1：停止运作
RXCHPAUSE	[3]	读/写	Rx 通道运行停止命令。注意：当该位在任何时间都有效时，当左右通道数据传输完成后通道操作将被挂起。 0：不停止运作 1：停止运作
TXDMACTIVE	[2]	读/写	Tx DMA 的有效（启动 DMA 请求）。注：当该位被从高位设置为低位时，DMA 操作将立即被强制停止。 0：无效，1：有效
RXDMACTIVE	[1]	读/写	Rx DMA 的有效（启动 DMA 请求）。注：当该位被从高位设置为低位时，DMA 操作将立即被强制停止。 0：无效，1：有效
I2SACTIVE	[0]	读/写	IIS 接口有效（启动运作）。 0：无效，1：有效

36.6.3. IISMOD 寄存器

寄存器	地址	描述	初始值
IISMOD	0x7F002004 0x7F003004	IIS 的接口模块寄存器。	0x0000_0000

IISCON	位	读/写	描述
	[31:13]	读/写	保留，置 0。
CDCLKCON	[12]	读/写	确定编解码器的时钟源。 0：使用内部编解码器的时钟源 1：从外部编解码芯片获得编解码器的时钟源

IMS	[11:10]	读/写	IIS 主或（内部/外部）从模式选择。 00: 主模式（分模式，使用 PCLK） 01: 主模式（旁路模式，使用 I2SCLK） 10: 从模式（分模式，使用 PCLK） 11: 从模式（旁路模式，使用 I2SCLK）
TXR	[9:8]	读/写	发送或接收模式选择。 00 : 发送模式 01 : 只得到模式 10 : 发送和接收同步模式 11 : 保留
LRP	[7]	读/写	左/右通道时钟极性选择。 0 : 低为左声道和高为右声道 1 : 高为左声道和低为右声道
SDF	[6:5]	读/写	串行数据格式。 00 : IIS 的格式 01 : MSB 对齐（左对齐）格式 10 : LSB 的对齐（右对齐）格式 11 : 保留
RFS	[4:3]	读/写	IIS 根目录时钟（编解码器时钟）频率的选择。 00 : 256 fs, fs 是采样频率 01 : 512 fs 10 : 384 fs 11 : 768 fs
BFS	[2:1]	读/写	位时钟频率的选择。 00 : 32 fs, fs 是采样频率 01 : 48 fs 10 : 16 fs 11 : 24 fs
BLC	[1]	读/写	为长度分组差错率通道。 0: 16 位, 1: 8 位

36.6.4. IISFIC 寄存器

寄存器	地址	描述	初始值
IISFIC	0x7F002008 0x7F003008	IIS 的接口 FIFO 控制寄存器。	0x0000_0000

IISFIC	位	读/写	描述
	[31:16]	读/写	保留，置 0。
TFLUSH	[15]	读/写	TX FIFO 刷新命令。 0：不刷新 1：刷新
	[14:13]	读/写	保留，置 0。
FTXCNT	[12:8]	读	TX FIFO 数据计数。数值范围是 0~16。 N：FIFO 的数据计数 n
RFLUSH	[7]	读/写	RX FIFO 刷新命令。 0：不刷新 1：刷新
	[6:5]	读/写	保留，置 0。
FRXCNT	[4:0]	读	RX FIFO 数据计数。数值范围是 0~16。 N：FIFO 的数据计数 n

36.6.5. IISPSR 寄存器

寄存器	地址	描述	初始值
IISPSR	0x7F00200C 0x7F00300C	IIS 的接口时钟分配器控制寄存器。	0x0000_0000

IISPSR	位	读/写	描述
	[31:16]	读/写	保留，置 0。
PSRAEN	[15]	读/写	预定标器（时钟分频器）有效。

			0: 无效 1: 有效
	[14]	读/写	保留, 置 0
PSVALA	[13:8]	读/写	预定标器 (时钟分频器) 一个分配的值 N: 分配因数为 N+1。
	[7:]	读/写	保留, 置 0。

36.6.6. IISTXD 寄存器

寄存器	地址	描述	初始值
IISTXD	0x7F002010 0x7F003010	IIS 的接口传输数据寄存器。	0x0000_0000

IISTXD	位	读/写	描述
ISSTXD	[31:0]	写	TX FIFO 写入数据。注意: 左/右通道数据是作为以下位字段分配的: R[31:16], L[15:0] 16 位 BLC R[23:16], L[7:0] 8 位 BLC

36.6.7. IISRxD 寄存器

寄存器	地址	描述	初始值
IISRxD	0x7F002014 0x7F003014	IIS 的接口接收数据寄存器。	0x0000_0000

IISRxD	位	读/写	描述
ISSRxD	[31:0]	读	RX FIFO 写入数据。注意: 左/右通道数据是作为以下位字段分配的: R[31:16], L[15:0] 16 位 BLC R[23:16], L[7:0] 8 位 BLC

37 PCM 音频接口

这节主要介绍 PCM 音频接口在 S3C6410X RISC 微处理器上的功能及使用。PCM 音频接口模块提供的 PCM 双向串行接口到一个外部编解码器。

该 PCM 音频接口包括以下特性：

- (1) 主模式：这个模块源于主移位时钟。
- (2) 所有 PCM 连续定时，选通脉冲和主要移位时钟是基于一个外部 PCM 音频时钟输入的。
- (3) 基于内部 APB PCLK 的可选时间。
- (4) 输入和输出 FIFO 到缓冲数据。
- (5) 可选的 DMA 接口为 Tx 和/或 Rx。

37.1 PCM 音频接口

PCM 音频接口提供了一个串行接口到外部编解码器。PCM 模块收到一个输入 PCMCODEC_CLK，用来产生串行移位时间。PCM 接口输出一个串行数据，一个串行移位时间以及同步信号。通过一个串行输入线从外部接收数据。串行数据输入，串行数据输出和同步信号同步于串行的转变时钟。

串行移位时钟，PCMSCLK，它是由 PCMCODEC_CLK 产生。同步信号 PCMSYNC 的产生是基于串行时钟的可以进行设计的数，并且是一个串行时钟的宽度。

PCM 数据字为 16 位宽，并且每 PCMSCLK 串行输出一位。每个 PCMSYNC，只有一个 16 位的字被移出。所有 16 位已被转移出来后 PCMSCLK 将继续切换。16 位字被完成后 PCMSOUT 数据将未被定义。下一个 PCMSYNC 将发信号给下一个 PCM 数据字的优先位。

Tx FIFO 提供 16 位数据字被串行转移出来。首先该数据首先被连续转移出 MSB，每 PCMSCLK 一位。PCM 连续输出数据 PCMSYNC 通过上升边缘连续被计时。有关的 MSB 位的位置是可编程的，其通过同步的 PCMSYNC 或者延后的 PCMCLK。16 位被移出后，一个中断产生，以指示传输结束。数据被移出，PCMSIN 输入用于从外部的编解码器连续移动数据。被接受的数据首先是 MSB，并且在 PCMSCLK 的下降边缘被锁定。第一位的位置可以和 PCMSYNC 同步或者 PCMSCLK 延后来被编程。

首 16 位是串行转移到 PCM_DATAIN 寄存器中，随后它加载到 RX FIFO 中。后来的位被忽略直到下一个 PCMSYNC。

各种中断可以显示 RX 和 TX FIFO 的状态。当 CPU 需要服务 FIFO 时，每个 FIFO 的有一个可编程的编辑显示。为 RX FIFO，当 FIFO 超越一个可编程 almost_full 深度时，有一个中断将被提出。为 TX FIFO，同样有一个可编程 almost_empty 中断。

37.2 PCM 时序

以下显示， PCM 传输的时序关系。注意所有情况下， PCM 转移时序通过区分输入时钟被导出， PCMCODEC_CLK。当时序是基于在 PCMCODEC_CLK 上时， 没有尝试重整输出 PCMSCLK 的上升边缘和原来的 PCMCODEC_CLK 输入时钟。通过位置和方位测定系统， 内部延迟将扭曲这些边缘， 与分隔器的逻辑是一样的。这不代表一个问题， 因为实际的转移时钟， PCMSCLK 是输出数据。如果 PCMSCLK 输出没有使用， 歪曲率比 PCMCODEC_CLK 的周期是不重要的。自从大部分的 PCM 接口在时钟下降边缘上夺取数据以来， 它不能代表一个问题。

如图 37-1 所示， 显示的 PCM 传输与 MSB 配置是符合 PCMSYNC。在 PCMCTL 寄存器置低位， MSB 配置符合设置 MSB_POS_WR 和 MSB_POS_RD 位。

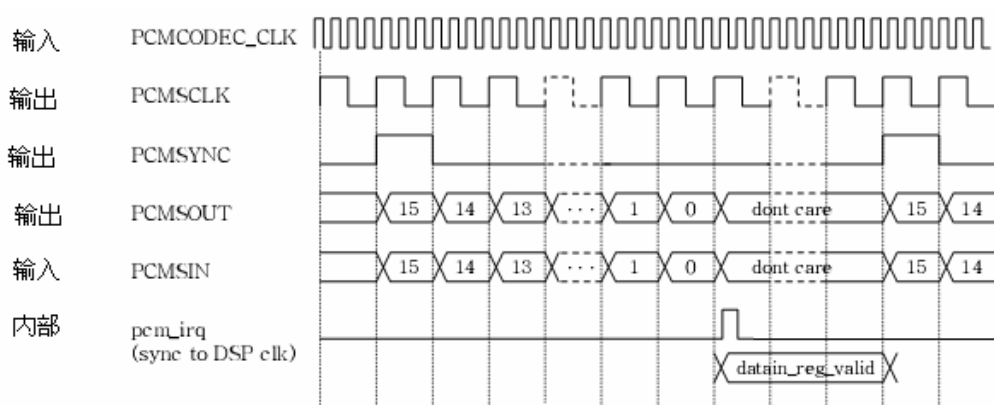


图 37-1 PCM 的时序， POS_MSB_WR/RD = 0

如图 37-2 所示， 显示关于 MSB 配置的 PCM 传输， PCMSYNC 向后移位一个时钟。在 PCMCTL 寄存器置高位， MSB 配置符合设置 MSB_POS_WR 和 MSB_POS_RD 位。