

主/从模式与 TX/RX 不同。主/从模式表示 I2SLRCLK 和 I2SSCLK 的方向。I2SCDCLK 的方向不重要。如果 IIS 总线接口向 IIS 编解码器传输时钟信号，IIS 总线处于主模式。如果 IIS 总线接口从 IIS 编解码器接收时钟信号，IIS 总线处于从模式。TX/RX 模式指明数据流的方向。如果 IIS 总线接口向 IIS 编解码器传输数据时，为 TX 模式。相反的，IIS 总线接口从 IIS 编解码器接收数据时为 RX 模式。需要将主/从模式和 TX/RX 模式区分开。

图 41-2 指出 I2SCDCLK 的路径，是设置在 IIS 时钟控制模块和系统控制器内的内部主模式或外部主模式。需要注意的是 RCLK 指出了路线时钟，这个时钟可以在外部主模式下向外部 IIS 编解码器芯片提供。

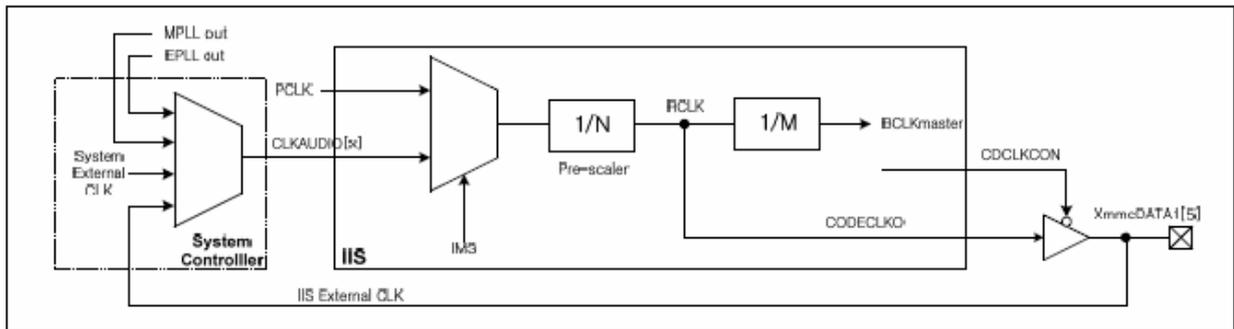


图 41-2 IIS 时钟控制模块图

2.DMA 转换

在 DMA 转换模式下，可以通过 DMA 控制器访问发射器或接收器 FIFO。通过传输器或接收器 FIFO 状态可以激活 DMA 服务请求。I2SCON 寄存器 FTXEMPT、FRXEMPT、FTXFULL 和 FRXFULL 位代表发射器或接收器 FIFO 数据状态。FTXEMPT 和 FRXFULL 位是 DMA 服务请求的准备标志；当 TXFIFO 非空时，传输 DMA 服务请求被激活，当 RXFIFO 未空时，接收机 DMA 服务请求被激活。

DMA 转换对单个数据只有交易方法。需要注意的是，在 DMA 承认激活期间，必须运行数据读或写操作。

DMA 请求点：

Tx 模式：（FIFO 未空）&（TXDMACTIVE 激活）

Rx 模式：（FIFO 非空）&（RXDMACTIVE 激活）

注意：在 DMA 模式下只支持单通道传输。

41.3 音频串行数据格式

1. IIS 总线格式

IIS 总线有四条线，包括串行数据输入 I2SSDI，串行数据输出 I2SSDO，左/右通道选择时钟 I2SLRCLK 和串行位时钟 I2SBCLK。产生 I2SRCLK 和 SI2SBCLK 的是主机。

串行数据在两个组成部分内传输，MSB 有固定的位置，根据字长度可决定 LSB 得位置。I2SLRCLK 变化以后，发射器在一个时钟期间发送最后字的 MSB。通过发射器发送的串行数据可以同时钟信号的尾沿和前沿同步。然而，串行信号必须在被锁在接收器内串行时钟信号的前沿上。因此，传输数据与前沿同步有一定得约束条件。

LR 通道选择行指明通道正在传输数据。在串行时钟的后沿或前沿可以改变 I2SLRCLK，但是 I2SLRCLK 不能调整到对称状态。在从模式下，这个信号被锁在时钟信号的前沿上。在传输 MSB 之前，I2SLRCLK 行改变时钟周期。这就允许子发射器得到传输信号的同步时序可以被设置用于传输。更进一步的说，使接收器储存先前的字，清除输入接收下一字的行为可行。

2. MSB(左) 校验

MSB 校验（左校验）格式与 IIS 总线格式相似，不同的是在 MSB 校验格式下，发射器经常发送下一字节的 MSB，同时改变 IWSLRCLK.

3.LSB(右)校验

LSB 校验（右校验）格式与 MSB 校验格式相反。在其他字内，正在传输的串行数据与 I2SLRCLK 转变的终点对齐。

图 41-3 显示出 IIS，MSB 校验，LSB 校验的音频格式。需要注意的是，在此图中，字的长度是 16 位的。

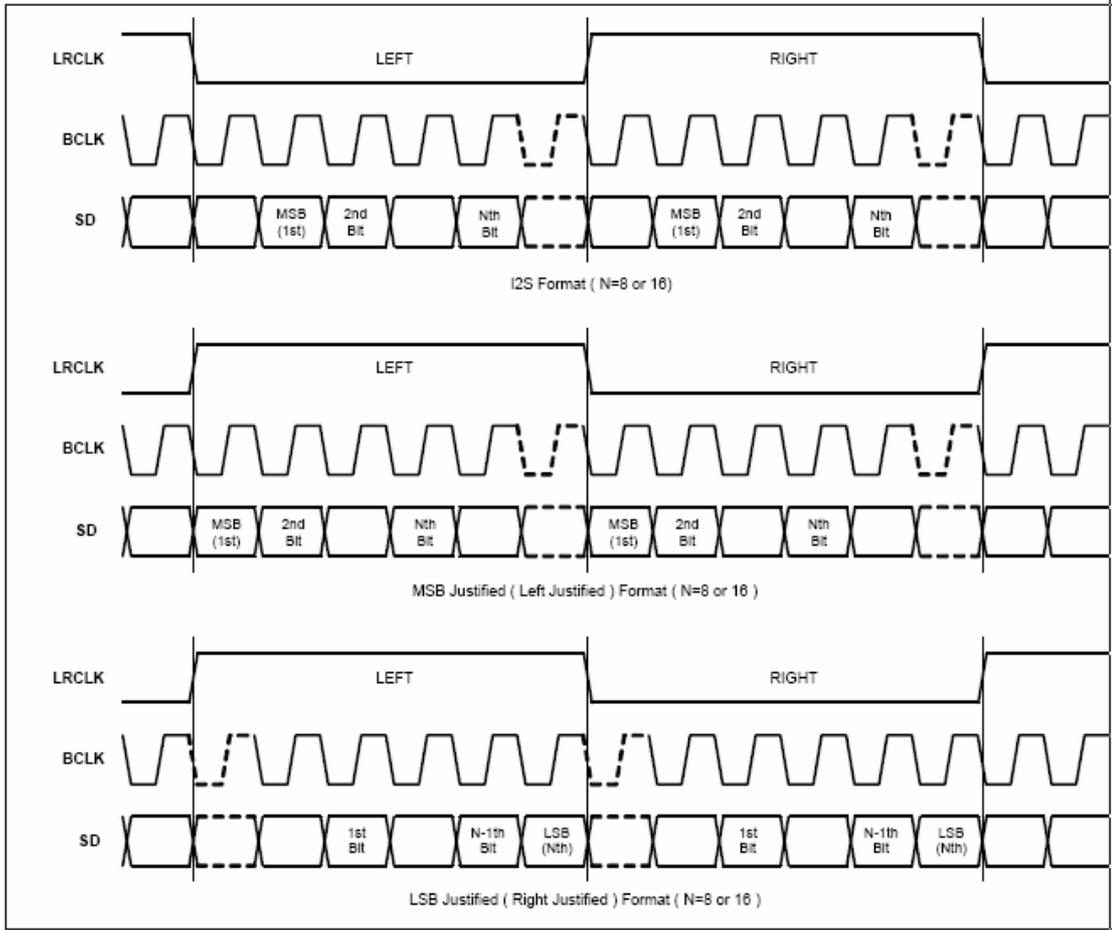


图 41-3 IIS 音频串行数据格式

41.4 采样频率和主时钟

可以通过如表 41-1 所示的采样频率选择主时钟频率 (RCLK)。因为 RCLK 是由 IIS 预先扫描产生的，因此预先扫描值和 RCLK 类型必须正确的定义。

表 41-1 编解码器时钟 (CODECLK=256fs, 384fs, 512fs, 768fs)

IISLRCK (fs)	8.000 kHz	11.025 kHz	16.000 kHz	22.050 kHz	32.000 kHz	44.100 kHz	48.000 kHz	64.000 kHz	88.200 kHz	96.000 kHz
	256fs									
	2.0480	2.8224	4.0960	5.6448	8.1920	11.2896	12.2880	16.3840	22.5972	24.5760

CODECLK (MHz)	384fs									
	3.0720	4.2336	6.1440	8.4672	12.2880	16.9344	18.4320	24.5760	33.8688	36.8640
	512fs									
	4.0960	5.6448	8.1920	11.2900	16.3840	22.5790	24.5760	32.7680	45.1580	49.1520
	768fs									
	6.1440	8.4672	12.2880	16.9340	24.5760	33.8690	36.8640	49.1520	-	-

注：fs 表示采样频率。CODEC 时钟是 fs (256、384、512、768)

41.5 IIS 时钟映射表

在 I2SMOD 寄存器的选择 BFS,RFS,和 BLC 位上,可以参考下面的表格。表 41-2 表示允许的时钟频率映射关系。

表 41-2 IIS 时钟映射表

时钟频率		RFS			
		256fs (00B)	512fs (01B)	384fs (10B)	768fs (11B)
BFS	16fs (10B)	(a)	(a)	(a)	(a)
	24fs (11B)	-	-	(a)	(a)
	32fs (00B)	(a) (b)	(a) (b)	(a) (b)	(a) (b)
	448fs (01B)	-	-	(a) (b) (c)	(a) (b) (c)
描述		(a): 当 BLC 为 8 位时允许 (b): 当 BLC 位 16 位时允许 (c) 当 BLC 位 24 位时允许			

注：位时钟频率 \geq fs*(位长度*2)。编解码时钟是位时钟的倍数。

41.6 编程指南

1. 初始化

(1) 在使用 IIS 总线接口之前,必须配置 GPIO 为 IIS 模式,并且检查信号的方向。I2SLRCLK,I2SSCLK 和 I2SCDCLK 是输入输出类型。I2SSDI 是输入,I2SSDO 是输出。

(2) 需要选择一个时钟源。S3C6410 有五个时钟源。这些时钟源是 MPLL, EPLL, PCLK, 系统外部时钟和 IIS 外部时钟。

2. 播放模式下的 DMA

(1) 在操作之前刷新 TXFIFO。如果没有将主/从模式和 TX/RX 模式区别好,必须先学习主/从模式和 TX/RX 模式。

(2) 正确的配置 I2SMOD 寄存器和 I2SPRS 寄存器。

(3) 为了稳定的运行系统,在传输之前 TXFIFO 应该几乎为满的。

(4) IIS 总线不支持中断,可以通过访问 SFR 调查监测 TXFIFO 状态。

(5) 如果 TXFIFO 满了,可以声明 I2SACTIVE.

3. 录音模式下的 DMA

(1) 在操作之前刷新 TXFIFO。如果没有将主/从模式和 TX/RX 模式区别好,必须先学习主/从模式和 TX/RX 模式。

(2) 正确的配置 I2SMOD 寄存器和 I2SPRS 寄存器。

(3) 为了稳定的运行系统,在 DMA 运行之前,内部 RXFIFO 最少有一个数据。

(4) 通过访问 SFR 调查监测 RXFIFO 状态。

(5) 如果 RXFIFO 非空,开始 RXDMACTIVE。

4.实例代码

(1) TX 通道

I2S TX 通道提供立体声兼容输出。传输通道可以在主模式或从模式下操作。在处理器和 I2S 控制器之间通过 APB 访问或 DMA 访问转换数据。

处理器必须写入多个字或两个字。关于音频 bitclk、BCLK 和字选择时钟、LRCLK 定时的字成串的定

时转换。

TX 通道有 16×32 位宽度的 FIFO，处理器或 DMA 可以在使能传输通道后向此区域写入高达 16 的左/右数据采样。

(2) RX 通道

I2S RX 通道提供单个立体声兼容输出。接收通道可以操作在主模式或从模式下。数据从输入行接收，然后转换到 RX FIFO 内。处理器可以通过 APB 读操作读取此数据，或通过 DMA 访问此数据。

RX 通道有 16×32 位宽度的 RX FIFO，处理器或 DMA 可以在使能接收通道后向此区域写入高达 16 的左/右数据采样。

41.7 IIS 总线接口特殊寄存器

表 41-3 IIS 接口寄存器摘要

寄存器	地址	读/写	描述	复位值
IISCON	0x7F00D000	读/写	IIS 接口控制寄存器	0xE00
IISMOD	0x7F00D004	读/写	IIS 接口模式寄存器	0x0
IISFIC	0x7F00D008	读/写	IIS 接口 FIFO 控制寄存器	0x0
IISPSR	0x7F00D00C	读/写	IIS 接口时钟划分控制寄存器	0x0
IISTXD	0x7F00D010	写	IIS 接口传输数据寄存器	0x0
IISRXD	0x7F00D014	读	IIS 接口接收数据寄存器	0x0

41.7.1.IISCON

寄存器	地址	读/写	描述	复位值
IISCON	0x7F00D000	读/写	IIS 接口控制寄存器	0xE00

IISCON	位	读/写	描述
Reserved	[31:18]	读/写	保留。运行到 0.

FTXURSTATUS	[17]	读/写	TX FIFO 欠载运行中断状态。 此位用来中断清除位。当此位为高电平时，可以通过写入 1 进行中断清除。 0: 中断不发生 1: 中断发生
FTXURINTEN	[16]	读/写	TX FIFO 欠载中断使能。 0: TX FIFO 欠载中断禁止 1: TX FIFO 欠载中断使能
FTX2EMPT	[15]	读	TX FIFO2 空状态指明 0: TX FIFO 为非空状态(准备传输数据) 1: TX FIFO 为空状态 (不准备传输数据)
FTX1EMPT	[14]	读	TX FIFO1 空状态指明 0: TX FIFO 为非空状态(准备传输数据) 1: TX FIFO 为空状态 (不准备传输数据)
FTX2FULL	[13]	读	TX FIFO2 满状态指明 0: TX FIFO 未 1: TX FIFO 已
FTX1FULL	[12]	读	TX FIFO1 满状态指明 0: TX FIFO 未 1: TX FIFO 已
LRI	[11]	读	左/右通道时钟指明。需要注意的是，LRI 的意思是根据 I2SMOD 寄存器的 LRP 为的值。 0: 左 (当 LR 位为低电平) 或右 (当 LRP 位为高电平) 1: 右 (当 LR 位为低电平) 或左 (当 LRP 位为高电平)
FTX0EMPT	[10]	读	TX FIFO0 空状态指明 0: FIFO 为非空状态(准备向通道传输数据) 1: FIFO 为空状态 (不准备向通道传输数据)
FRXEMPT	[9]	读	RX FIFO 空状态指明 0: FIFO 为非空状态

			1: FIFO 为空状态
FTXOFULL	[8]	读	TX FIFO0 满状态指明 0: TX FIFO 未 1: TX FIFO 已
FRXFULL	[7]	读	RX FIFO1 满状态指明 0: FIFO 未 (准备从通道接收数据) 1: FIFO 已 (未准备从通道接收数据)
TXDMA_PAUSE	[6]	读/写	TX DMA 操作暂停命令。需要注意的是当此位在任何时间被激活时，DMA 请求在当前运行的 DMA 转换完成以后被停止。 0: 不暂停 DMA 操作 1: 暂停 DMA 操作
RXDMA_PAUSE	[5]	读/写	RX DMA 操作暂停命令。需要注意的是当此位在任何时间被激活时，DMA 请求在当前运行的 DMA 转换完成以后被停止。 0: 不暂停 DMA 操作 1: 暂停 DMA 操作
TXCH_PAUSE	[4]	读/写	TX 通道操作暂停命令。需要注意的是当此位在任何时间被激活时，通道操作在当左-右通道数据转换完成以后被停止。 0: 不暂停操作 1: 暂停操作
RXCH_PAUSE	[3]	读/写	RX 通道操作暂停命令。需要注意的是当此位在任何时间被激活时，通道操作在当左-右通道数据转换完成以后被停止。 0: 不暂停操作 1: 暂停操作
TXDMA_ACTIVE	[2]	读/写	TX DMA 激活 (开始 DMA 请求)。需要注意的是当此位设置由高电平变为低电平时，DMA 操作被迫立即停止。 0: 未被激活 1: 被激活
RXDMA_ACTIVE	[1]	读/写	RX DMA 激活 (开始 DMA 请求)。需要注意的是当此位设置由高电平变为低电平时，DMA 操作被迫立即停止。