		1100 COPY_INVERTED ~s 1101 OR_INVERTED ~s|d 1110 NAND ~(s&d) 1111 SET all 1’s	
ColorLogOpEnable	[4:1]	颜色逻辑操作内使用的模式。同上	0x0
LogOPEnable	[0]	0b=不能进行颜色逻辑操作 1b=可以进行颜色逻辑操作	0b

42.9.2.7 颜色缓冲区写屏蔽寄存器

寄存器	地址	读/写	描述	复位值
FGPF_CBMSK	0x72070024	读/写	RGBA 模式内颜色写屏蔽	0x00000000

FGPF_CBMSK	位	描述	初始状态
Reserved	[31:4]	保留	
FbColorWrMask	[3:0]	此寄存器用于屏蔽向颜色缓冲区内写入 R,G,B 和 A 值。r，g,b 和 a 用于表示是否写入 R,G,B,A 值。初始状态下，可以写入所有的位和所有颜色值。 0000b=所有屏蔽无效 0001b=a 屏蔽有效 0010b=b 屏蔽有效 0100b= g 屏蔽使能 1000b=r 屏蔽使能	0x0

42.9.2. 8 深度/模版缓冲区写屏蔽寄存器

寄存器	地址	读/写	描述	复位值
FGPF_DBMSK	0x72070028	读/写	深度/模版写屏蔽	0x00000000

FGPF_DBMSK	位	描述	初始状态
Back_FbStencilWrMask	[31:24]	这个寄存器用于模版缓冲区写屏蔽。专针对于背面的像素。 可以控制模版缓冲区写位能否工作。在原始状态下，当模版测试打开时，模版缓冲区可以写入数据。 模版缓冲区每个像素有 8 位，这个寄存器的每个位可以屏蔽模版缓冲区对应的值。 如： 00000000b，在这种情况下，模版缓冲区内所有的 8 个位都更新。 00000001b，在这种情况下，模版缓冲区内除了最低有效位 1 以外所有的位被更新。 00000011b，在这种情况下，除了最低有效位 2 以外所有的位被更新。	0x0
Front_FbStencilWrMask	[23:16]	这个寄存器用于模版缓冲区写屏蔽。专针对于前面的像素。 可以控制模版缓冲区写位能否工作。在原始状态下，当模版测试打开时，模版缓冲区可以写入数据。 模版缓冲区每个像素有 8 位，这个寄存器的每个位可以屏蔽模版缓冲区对应的值。	0x0
Reserved	[15:1]	保留	0

FbDepthWrMask	[0]	可以控制深度缓冲区能或不能写入深度值。 在初始状态下，深度缓冲区可以写入深度值。 0b=深度缓冲区写入 01=不写入深度缓冲区	0b

42.9.2.9 帧缓冲区控制寄存器

寄存器	地址	读/写	描述	复位值
FGPF_FBCTL	0x7207002C	读/写	帧缓冲区写控制寄存器	0x00000000

FGPF_FBCTL	位	描述	初始状态
Reserved	[31:21]	保留	0
OpaqueAlpha	[20]	1：Alpha 混合以后，迫使 Alpha 值到 opaque 0：常规操作	0b
AlphaThreshold	[19:12]	当编码 16 位 1555 格式时使用。 如果（内部 Alpha 值＞Alpha 阈值） Alpha=1； 否则 Alpha=0；	0x0h
AlphaConst	[11:4]	常量 Alpha 值	0x0h
DitherOn	[3]	控制像素从 ARGB8888 格式转换到 16 位输出像素 0b=抖动无效　　1b=抖动有效	0b
ColorMode	[2:0]	帧缓冲区颜色使用的模式 000b=555，RGB,16 位 001b=565，RGB,16 位 010b=4444，RGB,16 位 011b=1555， ARGB ， 16 位 100b=0888， RGB, 32 位	000b

		101b=0888， ARGB, 32 位 110~111b=保留	

42.9.2.10 深度缓冲区基础地址寄存器

寄存器	地址	读/写	描述	复位值
FGPF_DBADDR	0x72070030	读/写	深度缓冲区补偿地址	0x00000000

FGPF_DBADDR	位	描述	初始状态
FbDepthOffset	[31:0]	深度缓冲区补偿地址	0x00000000

42.9.2.11 颜色缓冲区基础地址寄存器

寄存器	地址	读/写	描述	复位值
FGPF_CBADDR	0x72070034	读/写	颜色缓冲区补偿地址	0x00000000

FGPF_CBADDR	位	描述	初始状态
FbColorOffset	[31:0]	颜色缓冲区补偿地址	00000000h

42.9.2.12 帧缓冲宽度寄存器

寄存器	地址	读/写	描述	复位值
FGPF_FBW	0x72070038	读/写	帧缓冲区宽度	0x000007FF

FGPF_FBW	位	描述	初始状态
Reserved	[31:11]	保留	0
FbWidth	[10:0]	帧缓冲区宽度（0~2048）	800h

42.10 AXI 判别器 & AXI DMA

42.10.1.概述

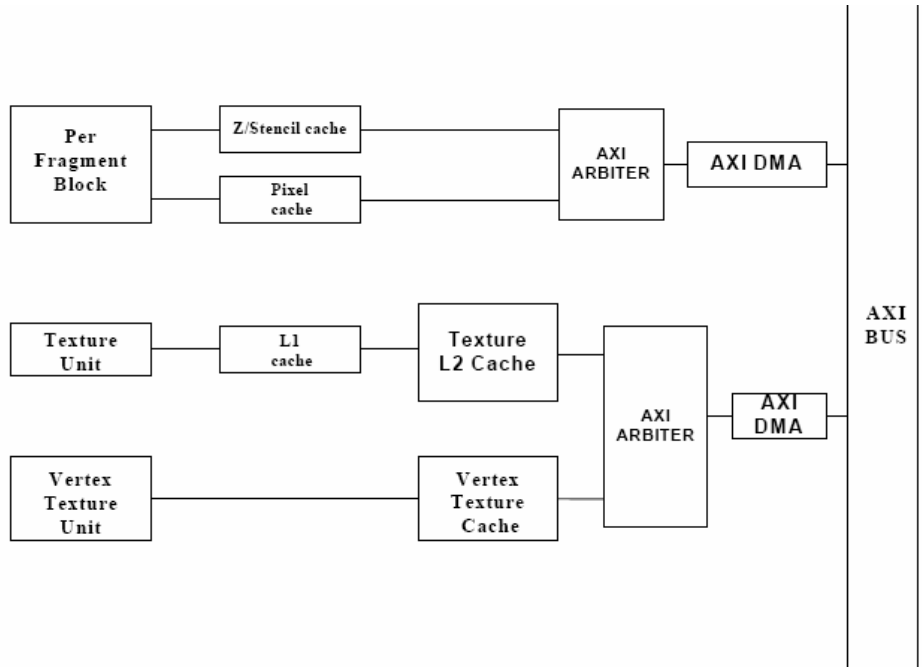

图 42-14 AXI 总线结构

（1） AXI 判别器性能

1）2×1 判别器

2） 0 等待判别

3）AXI DMA 接口

4）IP 核心接口

(2) AXI DMA 性能

1）AXI 总线接口：可分为 ADDR/CRTL, DATA 通道；可分为读、写通道；支持 64 位数据总线；支持各种突发长度；支持写字节屏蔽；支持各种突发类型；支持低电源通道

2）IP 黑心接口

（3）AXI 判别器 0 接口

1)接口在 AXI 判别器和 DMA 之间，是 FIFO 借口

2）分为读地址通道和写地址通道

3）分为写地址通道和写数据通道

4）突发长度固定为 INCR8 或 WRAP8

5）数据转换尺寸固定为两个字（64 位）

（4）AXI 判别器 1 接口

1)接口在 AXI 判别器和 DMA 之间，是 FIFO 借口

2）分为读地址通道和写地址通道

3）突发长度固定为 INCR8 或 WRAP8

4）数据转换尺寸固定为两个字（64 位）

（5）AXI 总线接口

3D 图形 AXI DMA 支持 AMBA AIX 总线协议

43 AXI 总线

43.1 概述

S3C6410 包括三种 AXI 总线，这三种总线将不同的组件连接起来形成 SoC。这三种 AXI 总线分别是：

AXI_SYS：为系统总线

AXI_PERI：执行 SFR 访问的通道

AXI_SFR：补充 AXI_PERI 用于 SFR 访问 AHB 子系统。

1.AXI 总线的性能

（1）稀疏的连接操作可以减少门计数并提高安全性

（2）支持 AXI 的 32 位或 64 位数据宽度

（3）支持 AMBA 2 APB 和 AMBA 3APB 的 32 位数据宽度

（4） 可编程的 QoS 系统

（5） APB 接口提供访问程序寄存器的功能

2.仲裁制度

所有的 AXI 总线，如 AXI_SYS, AXI_PERI 和 AXI_SFR 执行判决，可以判决多个总线中哪个总线作为主总线。仲裁制度可以为下面形式中的一种：固定优先级；轮转形式；固定优先级与轮转形式相结合。

默认的仲裁制度采用固定优先级或轮转形式，用户可以在开机或运行时间内通过更新仲裁控制寄存器改变仲裁制度。对于写和读通道，每个 AXI 总线执行一个单一的共享仲裁。

（1）优先群体

在一个优先群体内所有的主机有相同的优先级。作为仲裁的结果，主机可以移动其内部优先组，但是不能离开其组，新的主机不可以加入该组。仲裁权利授给最高优先级的组，组内的成员都可以视图赢得机会，但是仲裁权利只会给组内的最高主机。当主机得到仲裁权利时，将被降级到组的底部，其目的是为了确保取得仲裁权利的主机不能阻止主内其他主机访问从动装置。

（2）固定优先级操作

如果所有主机仲裁顺序值相同，将执行轮转形式的优先级方案。执行轮转形式优先级方案是因为处理的降级的主机是最后一个访问组的底部，因此从 LRG 主机的顶部开始到 MRG 的底部进行排序。

（3）同时操作

当控制寄存器以相同或独特的仲裁顺序的混合形式运行时，轮转形式和固定优先级模式同时存在。用户可以混合一个包含优先级群组成员的优先级群组，使优先级群组包含一个或多个仲裁方式。仲裁者的安排没有组序号和成员身份的限制。

3.可编程的服务质量（QOS）

（1）QOS TIDEMARK 寄存器

可以用希望保留给 QoS 主接口联合签发能力槽的数目进行编程。可以写入此区域的最大值比主接口联合签发能力槽的数目值少一个。这将保证了至少有一个未保留槽，因此不会发生僵局现象。如果写入更多的值，超过了寄存器可以容纳的最大允许值，也不会出现错误提示。将允许进行下面的处理，可以覆盖主接口保留槽的最大数目：

1）向 qos_tidemarl 寄存器写入 31，就是 0x1F。

2）读回寄存器的内容。获得的值是保留槽的最大可能值。

（2）QOS 访问控制寄存器

此寄存器内任何位置的 1 值将表示允许从接口相对应的位使用设备连接联合接收能力的保留槽。

可以向此寄存器内写入的最大值是：（2^<从接口的总数>）-1

如果写入更大的值，超过了寄存器可以容纳的最大值，也不会出现任何错误提示。在这些值写入之后，在第一个可能仲裁时间上改变这些值。

43.2 总线互连

这部分主要指出 AXI 总线的互连。

1. AXI_SYS 的从接口（主端口）

端口 ID	互连	初始仲裁顺序
S0	AHB_I	1

S1	AHB_F	0
S2	AHB_P	2
S3	AXI_V	7
S4	AHB_X	8
S5	AHB_T	9
S6	AHB_M	3
S7	AHB_S	4
S8	ARM_I	11
S9	ARM_RW	12
S10	ARM_DMA	13
S11	AHB_CF	10
S12	G3D_PF0	5
S13	G3D_TC	6
S14	G2D	2

2. AXI_SYS 主接口（从端口）

端口 ID	互连
M0	AHB_IROM
M1	AHB_SMC
M2	DMC0
M3	DMC1

3.AXI_PERI 从接口（主端口）

端口 ID	互连	初始仲裁顺序
S0	AHB_P	1
S1	AHB_M	0
S2	AHB_T	2
S3	AXI_S	3

4. AXI_PERI 主接口（从端口）

端口 ID	互连
M0	AHB_SMC
M1	AHB_VICTZIC
M2	AHB_G3D
M3	AXI_SFR
M4	APB0
M5	APB1

5.AXI_SFR 从接口（主端口）

端口 ID	互连	初始仲裁顺序
S0	AHB_PERI	0

6.AXI_SFR 主接口（从端口）

端口 ID	互连
M0	ETB
M1	AHB_T
M2	AHB_M
M3	AHB_P
M4	AHB_F
M5	AHB_I
M6	AHB_X
M7	AHB_S