

# New Allegro 16.6 Release Accelerates Timing Closure on High-Speed PCB Interfaces by 30 to 50 Percent

科通 2012 Cadence Allegro® 16.6 新产品研讨会，为您带来最新的PCB技术

## 科通 2012 Cadence Allegro® 16.6 新产品研讨会

立即报名 >

随着业界领先的信号完整性和电源完整性仿真软件供应商 Sigrity 成为 Cadence 的一员，全新的 Cadence 芯片封装/PCB 板协同设计及仿真解决方案，让你能够迅速优化芯片和封装之间的网络连接，以及封装与 PCB 之间的网络连接。同时通过网表管理、自动优化路径以及信号和电源完整性分析，可以对产品的成本与性能进行优化。科通集团将联合 Cadence 原厂及合作伙伴举办 Allegro® 16.6 新技术培训，为您带来最新 PCB 技术，届时将有来自科通及 Cadence 资深 AE 及技术专家与您分享 Cadence 最新 PCB 技术发展趋势、产品路线图、技术讲解与演示和使用心得。

### 参与对象：

- ★ Allegro 产品用户
- ★ EMC 仿真及设计工程师
- ★ 信号完整性分析工程师
- ★ PCB 设计工程师和管理者
- ★ 电源仿真及设计工程师
- ★ 封装设计工程师和经理

### 会议主要内容：

此次培训除了新技术宣讲以外，我们更增加了互动环节。通过现场与 Comtech & Cadence 应用工程师和研发工程师的互动，您将了解 Allegro 16.6 中的最新技术，包括：

- ★ PCB 设计的趋势（小型化，设计中的 IP 应用，吉比特接口，协同设计）
- ★ 库和设计数据管理问题
- ★ 信号完整性，电源分布网络及 EMC 解决方案
- ★ FPGA - PCB 协同设计能力
- ★ 设计规划和布线新技术
- ★ 深层次解读 PSpice 新技术

### 会议安排：

上海	时间：11月27日 周二	地点：上海展讯豪生酒店	上海市浦东新区祖冲之路 2288 弄（近申江路）
北京	时间：11月30日 周五	地点：北京丽亭华苑酒店	北京市海淀区知春路 25 号（毗邻北航南门）
深圳	时间：12月04日 周二	地点：深圳鸿波酒店	深圳南山区华侨城侨城西街 10 号

### 培训日程：

TIME	AGENDA
09:00-09:30	30min Check In
09:30-09:50	20min Welcome Keynote Address
09:50-10:20	30min Cadence PCB Structure/Configuration
10:20-10:35	15min Break Time
10:35-11:00	25min Capture CIS 16.6 What's New
11:00-12:00	60min Deep comprehension of PSpice in product design flow and What's new in 16.6

TIME	AGENDA
12:00-13:30	90min Lunch time
13:30-14:15	30min FPGA -PCB Co-Design Solution---FSP16.6
14:15-15:15	60min Allegro PCB Designer 16.6 What's new.
15:15-15:30	15min Break Time
15:30-16:45	60min SI,PDN,EMC Solution
16:45-17:10	15min Lucky Draw

### 活动联系人：

陈敏敏 科通资深 FAE  
 电话：021-51696680-8057  
 邮箱：[peterchen@comtech.com.cn](mailto:peterchen@comtech.com.cn)