

介绍 **dsp** 知识, 为大家提供最新的 **dsp** 资讯, 更多内容可以去南京研旭电气科技有限公司的官网 [www.njyxdq.com](http://www.njyxdq.com) [www.f28335.com](http://www.f28335.com) 或者官方论坛, 嵌嵌 **dsp** 论坛 [www.armdsp.net](http://www.armdsp.net) 进行交流学习  
**dsp** 论坛 [www.armdsp.net](http://www.armdsp.net)  
**dsp** 开发板 [www.njyxdq.com](http://www.njyxdq.com)  
嵌入式开发板 [www.f28335.com](http://www.f28335.com)

## 基于 DSP+FPGA 多视频通道的切换控制

随着计算机和数字图像处理技术的飞速发展, 视频监控技术应用广泛。传统的视频监控系统都是用单一摄像头对某一固定场景进行监控, 不仅视频的视野范围有限, 而且不能对同一个物体的不同方位进行监控。这里提出了一种多通道视频监控系统, 通过对不同视频通道稳定、可靠地切换控制, 实现监控不同场景。该系统不仅弥补了传统监控视频范围有限的不足, 而且提高了监控资源的利用率, 降低了监控成本。

### 1 系统硬件结构

采用 DSP+FPGA 的硬件结构方案, 利用 DSP 和 FPGA 控制 MAX4312 选通所需要的视频通道, 从而达到在多路视频通道间进行切换的目的。系统结构框图如图 1 所示。

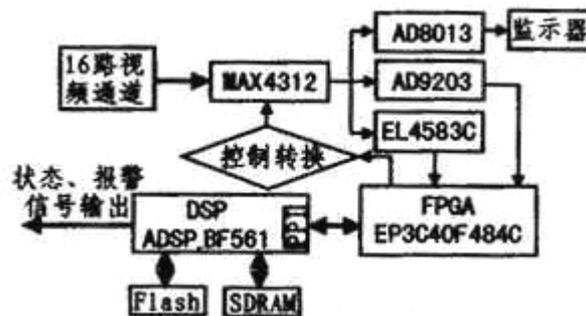


图 1 系统结构框图

#### 1.1 控制器件的选型

根据实际需要, DSP 采用 ADI 公司推出的 Blackfin 系列高性能处理器 ADSP\_BF561(以下简称 BF561)作为算法处理和控制中心, BF561 处理器包含 2 个独立的 BF533 内核, 每个内核分别包含 2 个乘 / 累加器 (MAC), 2 个 40 位的 ALU, 4 个视频 ALU 和 1 个 40 位移位器。Blackfin 处理器采用改进的哈佛结构和分级的存储器结构。L1 存储器一般以全速运行, 没有或只有很少延迟。L2 是另一级存储器, 分布在片内或片外, 对其访问会消耗多个处理器周期。在 L1 级, 指令存储器只存放指令, 2 个数据存储器存放数据, 1 个专用的临时数据存储器存储堆栈和局部变量信息。在 L2 级, 采用统一的存储空间, 可以存放指令和数据。这里采用 L2 级存储器。

FPGA 采用 Altera 公司的 EP3C40F48C 对视频信号进行预处理, 该芯片具有多达 24 624 个逻辑单元, 具有高级外部存储器接口, 允许将外部单数据率(SDR)SDRAM, 双数据率(DDR)SDRAM 和 DDR FCRAM 器件集成到复杂系统设计中, 而不会降低数据访问性能, 具有 129 个兼容的 LVDS 通道, 每个通道数据率高达 640 Mb / 8, 还有 4 个可编程锁相环和 8 个全局时钟线。另外 EP3C40F484C 的功耗较低, 全局运行时总功耗为 300 mW 左右。

### 1. 2 Flash 的设计

根据系统设计的需要, Flash 采用 CMOS 型的 M29W640D, 其空间为 18 Mx16 bit。该系统中, 外部数据线为 D1~D15, 地址线为 A2~A22。连接时需要注意, 因为 Flash 是 16 bit 位宽, 硬件连接上需要地址错位, 即 DSP 的 A2 对应 Flash 的 A1, DSP 的 A3 对应 Flash 的 A2, 依次类推。在软件编程上, 任何对 Flash 的操作, 如擦除、写入, 均要先对特定地址写入一定数量固定的控制命令字, 即签到指令, 这样确保在通电和断电时, 不会对存储器误操作。

### 1. 3 SDRAM 的设计

该系统所采用的外部数据存储器是大容量 SDRAM MT48LC16M16, 其容量是 4 Bankx8 Mx16 bit。根据该系统设计的实际要求, SDRAM 在系统运行时存储实时图像数据、基准数据以及程序代码。由于 Flash 的存取速度比较慢, 在 Flash 里, 在系统初始化时应预先将存储在其中的基准数据及程序代码搬到更快的存储器里面, 以便 DSP 不受存储器读取时间的制约, 充分发挥其高速性能。

### 1. 4 视频采集模块设计

由于视频通道的切换时间非常短, 这就需要切换控制模块对视频信号有一个非常准确的判断, 以便及时发送切换命令, 因此需要选择一款高速的转换器。另外由于本系统的电源为 5 V 供电, 因此需要选择一款低功耗的器件。因此选择 AD9203 作为模拟信号的数字量化器件。

AD9203 是 ADI 公司出品的一款单通道、低电压的高速 A / D 转换器, 采样速率可达 40 Ms / s。其精度稳定可靠, 在全采样带宽范围内, 始终基本保持着 10 位的精度; 在 40 Ms / s 的采样速率下, ENOB(有效位数)仍然达到 9.55 位, 差分非线性度 $\pm 0.25$  LSB, 信噪比和失真度保持在 59 dB 左右。AD9203 的工作电压比较灵活, 允许在 2.7~3.6 V 范围内变动, 特别适合于便携式设备在低电压下的高速操作。在 3 V 的供电下, 40 Ms / s 全速工作时, 功耗只有 74 mW; 在 5 Ms / s 时, 功耗将会降到 17 mW, 在待机模式下, 功耗只有 0.65 mW。对于输入信号的峰峰值, 通常设置为 1 V<sub>p-p</sub> 或者 2 V<sub>p-p</sub>。另外, AD9203 允许外部电压参考, 可以根据设计需要, 在 1~2 V 间灵活地设置输入信号的峰峰值。图 2 是 AD9203 的电路应用原理图。

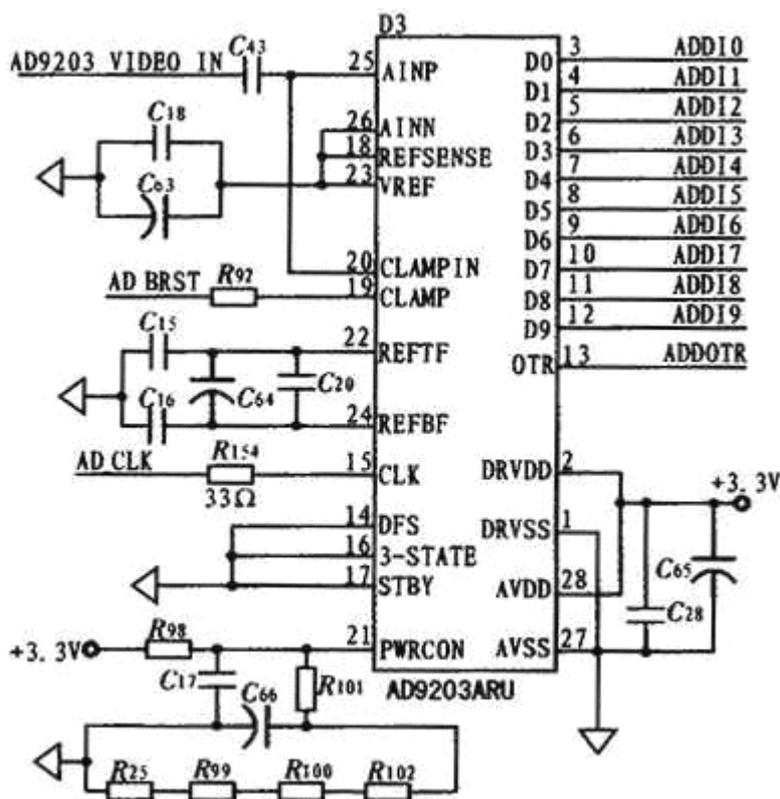


图 2 AD9203 的电路应用原理图

## 2 控制模块设计

整个系统的工作流程为，在不同的监控点上安装多个摄像头进行图像监控，多路图像视频信号通过 MAX4312，每一时刻选通其中一路视频信号输入。该视频信号经过 AD8013AR 处理后从图像监控器输出数字图像信号，同时从行场分离芯片 EL4583C 输出相应的行(VIDEO\_Hs)、场(VIDEO\_Vs)信号，从 AD9203 输出图像后肩信号(AD\_BRST)和视频量化信号。然后将行(VIDEO\_Hs)、场(VIDEO\_Vs)信号送进 DSP，将后肩信号(AD\_BRST)和视频量化信号送进 FPGA。FPGA 利用这些信号对图像进行预处理，然后将处理后的图像通过 PPI 口送给 DSP 中进行算法处理。最后由 DSP 发送视频通道切换命令完成不同通道之间的切换，并且将最后处理结果送给报警和状态指示装置，实现监控告警功能。软件控制流程如图 3 所示。

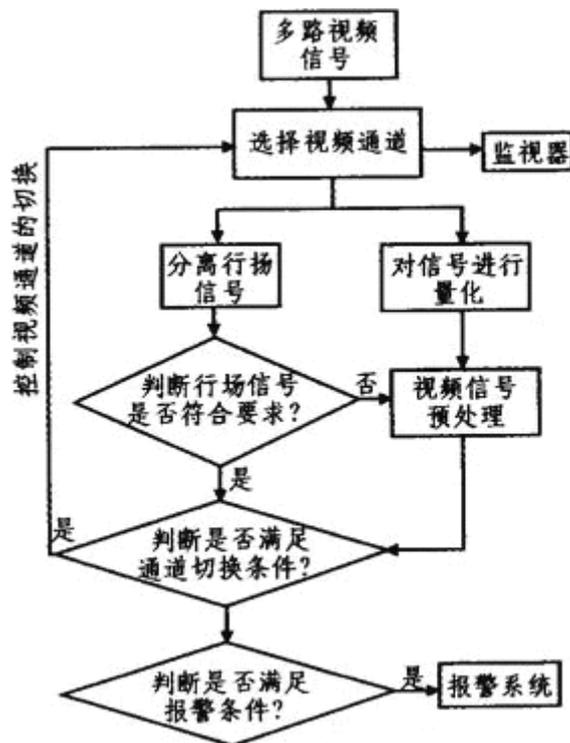


图3 软件控制流程

## 2. 1 FPGA 模块功能实现

FPGA 控制部分用于对视频信号进行预处理并且等待 DSP 发送切换命令。其基本思路为：当某一路视频信号经过 AD9203 之后，输出的视频量化信号被送进 FPGA 做预处理，然后被送入 DSP 进行算法处理，同时 FPGA 等待 DSP 根据场信号发送的视频通道切换命令。

在实验过程中发现，DSP 对图像的搜索是以行信号的上升沿(或者下降沿)为触发的，因此需要行信号有一个稳定的上升沿(或者下降沿)。由于信号在分离传输的过程中可能会产生抖动，导致信号的上升沿(或者下降沿)不稳定，从而影响 DSP 对视频信号的判断。若仍然以这个不稳定的行信号(VIDEO\_Hs)作为 DSP 搜索图像的标志，则其接收的图像将会在相邻两行出现错位的现象，用肉眼看到的图像漂移现象。图 4 中(a)图像是以 VIDEO\_Hs 信号为标志接收的图像。这就需要 FPGA 对行(VIDEO\_Hs)信号做去抖动处理，但是 FPGA 接收到的信号只有 EL4583 分离出来的行信号，无法分辨信号上升沿(或者下降沿)的具体位置。因此 FPGA 根据需要产生 1 个行标志信号(H\_flag)，来取代不稳定的行信号(VIDEO\_Hs)，然后将行标志信号(H\_flag)和场信号(VIDEO\_Vs)送给 DSP，以便对视频信号做出准确判断。图 4 中(b)图像是以 H\_flag 信号为标志接收的图像。

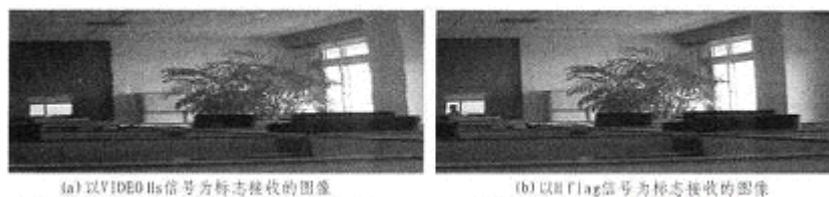


图4 以不同标志接收图像的比较

## 2. 2 PPI 口的设置

FPGA 和 DSP 之间的数据通信是通过 PPI 口实现的。PPI(并行外部接口)是半双工形式,具有双向端口,最大可进行 16 位数据的输入输出。PPI 有 5 个存储器来控制其操作。其中 PPI 控制寄存器(PPI\_CONTROL)设置了 PPI 口的操作模式、控制信号极性以及端口的带宽。在本设计中,设置 PPI\_CONTROL 为 0x00EC,将 PPI 的工作模式设置为 ITU\_656 模式,端口的宽度设置为 8 位,并且仅仅为接收数据的模式。由于每个在 DMA 总线上的 PPI\_CLK\_initiated 事件(即输入或输出操作)都处理 16 为实体,也就是说如果传输的数据不是 16 位,则把数据的高位补 0 凑成 16 为数据。这种情况下,更有效的办法是把数据打包,即把 2 个 FPGA 传输的 8 位数据合成 1 个 16 位的数据,再进行传输,这样有效地利用了资源,提高了传输效率。

## 2. 3 DSP 控制功能实现

DSP 控制功能的实现过程,首先设置 DSP 的 PF 此脚,以便判断 PF 引脚上的中断信号。定义 FPGA 与 DSP 的中断信号的通信是通过 PF6 和 PF7 传送的,然后对 DMA(直接存储器访问)进行设置,在对视频信号进行处理时,分别处理奇偶场信号,也就是在某一时刻只处理信号的奇数场或者偶数场,以便提高信号的处理速度。这就需要把视频信号的奇偶场分别存储,在设置 DMA 时,将奇偶场信号数据存储在不同的地址下面。

当 DSP 通过 PF 引脚接收到 FPGA 发送的信号时开始实现其控制功能,具体控制切换的过程为: DSP 在接收到 PPI 口传输的第一个 VIDEO\_Vs 信号时,通过场计数器(VsCount)开始对视频信号进行计数,然后读取 VsCount 的数值,当 VsCount 的计数达到切换要求时, DSP 将发送一个切换命令给 FPGA,即在某一地址下面写一个数值,让 FPGA 通过 DSP\_A 和 DSP\_D 读取命令完成视频通道的切换。由于在视频通道切换的前后,两个通道的场信号可能会出现不同步的现象,所以在通道切换后的第 2 场开始搜索图像,图 5 分别是 DSP 从第 1 场和第 2 场开始接收图像的结果。

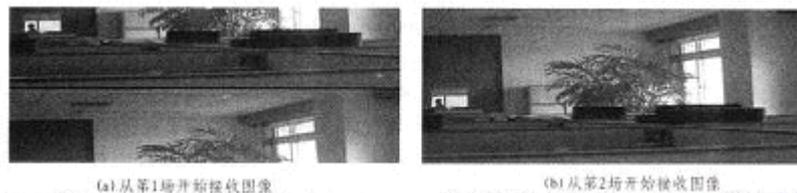


图 5 从不同场开始接收图像的比较

## 3 系统测试结果

实验对 24 路视频信号进行切换,并且设定每一路视频信号的切换时间为 6 场,也就是每经过 6 场信号的时间就对视频通道进行一次切换。不同视频通道之间切换时的稳定时间也不会超过一场,也就是说,两通道之间在切换之后在一场之内就可以稳定。实验结果表明,该系统能够稳定、可靠地实现多视频通道之间的切换,可以在一套监控设备上添加多个摄像头对不同的场景进行实时监控,这样不仅有效解决了传统监控系统监视目标单一的缺点,而且提高了监控效率,降低了监控成本。

## 4 结束语

首先简单介绍了整个系统硬件架构和芯片的性能，描述了整个系统的工作流程，然后着重阐述了 DSP 和 FPGA 对多视频通道的控制与选通。FPGA 整个设计程序是在 Quartus II 平台上用 Verilog 硬件描述语言编写，DSP 程序在 VisualDSP++ 编译成功，二者都经过多次调试验证。该系统设计已成功应用于多场景监控告警系统中，准确、可靠地切换不同视频通道。

相信对你有帮助的：

[基于 DSP 与 FPGA 的运动控制器设计](#)

[基于 DSP 和 FPGA 的数据通信实现方案](#)

[基于 DSP+FPGA 的烟包包装缺陷视觉检测系统研究](#)

[基于 DSP, FPGA, CPLD 三电平高压变频器控制系统](#)

[基于 DSP 和 FPGA 的 ARINC429 机载总线接口板的硬件设计](#)

介绍 **dsp** 知识，为大家提供最新的 **dsp** 资讯，更多内容可以去南京研旭电气科技有限公司的官网 [www.njyxdq.com](http://www.njyxdq.com) [www.f28335.com](http://www.f28335.com) 或者官方论坛，嵌嵌 **dsp** 论坛

[www.armdsp.net](http://www.armdsp.net) 进行交流学习

**dsp** 论坛 [www.armdsp.net](http://www.armdsp.net)

**dsp** 开发板 [www.njyxdq.com](http://www.njyxdq.com)

嵌入式开发板 [www.f28335.com](http://www.f28335.com)