

介绍 **dsp** 知识，为大家提供最新的 **dsp** 资讯，更多内容可以去南京研旭电气科技有限公司的官网 www.njyxdq.com www.f28335.com 或者官方论坛，嵌嵌 **dsp** 论坛

www.armdsp.net 进行交流学习

dsp 论坛 www.armdsp.net

dsp 开发板 www.njyxdq.com

嵌入式开发板 www.f28335.com

基于 DSP 的图像处理系 统的应用研究

班 级： 自动化 09-2

学 号： 23 号

姓 名：

指导教师：

基于DSP的图像处理系统的应用研究

摘要

本文介绍了一种基于FPGA+DSP结构的具有通用性、可扩充性的高速数字图像处理系统硬件平台。重点介绍了以高速数字信号处理器TMS320DM642和可编程逻辑器件XC2S300E为核心的图像处理系统的硬件实现方案以及通过DSP对FPGA芯片的动态配置来实现软件控制的设计思路。

关键词：可编程逻辑器件；数字信号处理器；数字图象处理；动态配置

Abstract

This paper presents the hardware platform of a high speed digital image processing system. The hardware design is based on the TMS320DM642 of Texas Instruments Corporation and XC2S300E of Xilinx corporation. The FPGA dynamic configuration is also introduced.

Key words: DSP; FPGA; digital image processor; dynamic configuration

1、引言

随着科学技术的快速发展，人们对信息的需求越来越大，对信息的处理速度也越来越快。实时数字图象处理系统要求必须具有处理大数据量的能力，以保证系统的实时性，其次对系统的体积、功耗、稳定性等也有较严格的要求，而数字图象处理理论与技术的飞速发展直接导致A/D、D/A、FPGA及DSP等电子集成产品的高速发展与更新，从而使许多复杂、高速的信号处理运算的实现成为可能。

目前，数字图象处理技术已在通信、信息，电子、自动控制、航天及军事等领域中得到广泛应用。软件技术突破了以功能单一、可扩充性差的硬件为核心的设计局限性，强调以开放性，扩充性和软件编程硬件为通用平台，利用系统可升级、可重复配置来实现多功能的设计。动态配置技术为同一硬件平台上实现不同的功能需求、不同的工作模式提供了可能。

本文介绍一种高速数字图象信号处理平台的实现方案，通过FPGA和DSP芯片来构造一个具有通用性、可扩充性、灵活的多功能高速数字信号处理平台。该平台通过动态配置可以进行多模式工作，能够应用在无线接收、卫星接收、图象处理和信号分析等多个领域。

2、信号处理系统的类型和本设计处理机构架

根据数字图象信号处理系统在构成、处理能力以及计算问题到硬件结构映射

方法的不同，将现代图象信号处理系统分为三大类：指令集结构(ISA)系统，硬连线结构系统、可重构系统(基本特征是系统中有一个或多个可重构器件)。

实时图象信号处理系统中，低层的信号预处理算法处理的数据量大，对处理速度的要求高，但运算结构相对比较简单，适于用FPGA进行硬件实现，这样能同时兼顾速度及灵活性。高层处理算法的特点是所处理的数据量较低层算法少，但算法的控制结构复杂，适于用运算速度高，寻址方式灵活、邈信视翎强大的DSP芯片来实现。

深用DSP+FPGA结构最大的特点是结构比较灵活，有较强的通用性，适于模块化设计，从而能够提高算法效率；同时其开发周期较短，系统易于维护和扩展，适合于实时信号处理。

3、硬件设计框图

先本文要介绍的高速数字信号处理平台硬件框图，主要包括五个大的功能块：编解码电路、超大规模FPGA芯片，高速DSP芯片、程序与数据存储器，FPGA完成的接口模块。其中超大规模FPGA芯片和高速的DSP芯片是系统的核心，用来完成高速数字信号处理算法及控制逻辑。总体硬件框图如图。

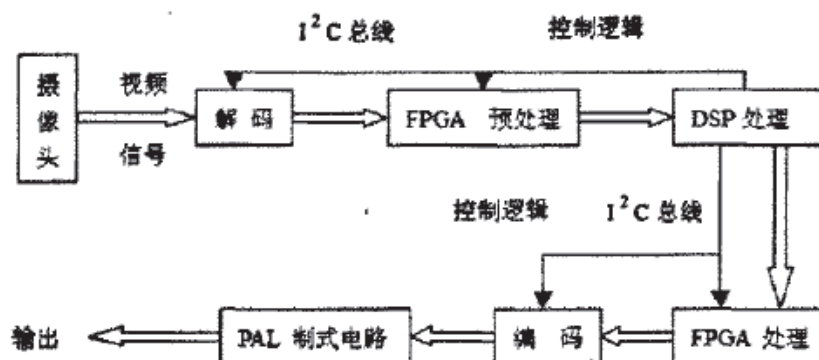


图1 系统硬件框图

DM642内部结构的主要优势是：所有指令的执行时间都是单周期，指令采用流水线，内部的数据、地址、指令及DMA总线分开，有较多的寄存器。这些特征使它有较高的处理速度。FPGA具有硬件的高速性，而DM642具有软件的灵活性，能够满足处理复杂算法的要求，同时，DM642的6个通信口和6个DMA通道使其能够在不被中断的情况下比较从容地应付与外界大量的数据交换。

由超大规模FPGA芯片和高速的DSP芯片组成系统的核心，是为了发挥两者的优势。FPGA芯片与DSP芯片相比，由于其结构上的优势，FPGA芯片更适合完成并

行处理、重复性强、速度要求高的数字信号处理运算；而DSP芯片更适合完成串行顺序处理。采用这种可重稳结构能满足系统的灵活性，实时性要求。

3. 1 芯片性能特性

3. 1. 1 高速DSP芯片

在选用DSP芯片时，主要应考虑性能能否满足快速判读算法的要求，具体说就是要求选择那些指令周期短、数据吞吐率高、通信能力、指令集功能完备的处理器，同时也要兼顾功能和开发支持环境等因素。本设计采用TI公司的TMS320DM642芯片，主要特性如下：

1) 主频为1.1GHz，处理速度可达9000MIPS，采用超长指令结构(VLIW)，单指令字长32位。外部时钟40MHZ，内部时钟20MHZ，所有指令均单周期完成，处理器内部采用高度并行机制，同进行多达11项各类操作。

2) 两套相同的外部数据、地址总线，支持局部存储器和全局共享存储器。

3) 6个高速并行通信口，采用异步传输方式，最大速率可达20Mb/s。通过令牌传递可灵活实现数据双离传输，这种结构很适合DM642之间的互连。

4) 6个DMA通道，每个通道的最大速率可达20Mb/s。DMA内部总线与CPU地址、数据，指令总线完全分开，避开了总线使用上的瓶颈。

3. 1. 2 超犬规模FPGA芯片

本图像处理系统处理平台均采用Xilinx公司的XC2S300E系列FPGA。由它完成DSP芯片前端高速、复杂的数字图像信号与预处理以及控制。XC2S300E高达600,000系统门，具有基于软件用户端目的寄存器、16bits / LUT功能RAM、高达330个用户I / O口。

3. 1. 3 接口FPGA及FLASH模块

接口FPGA芯片采用EP20K100E，由它完成高速数字信号处理平台与计算机或其它生控设备的连接。该芯片的核电压为1.8V，采用的I / O电压秀3.3V，采用的供电芯片也为TI公司的TPS54310芯片。程序与数据存储器FLASH采用Intel公司的E28F320，其存储容量为32Mbit。由DSP的供电芯片TPS70348力其一起供电，TPS70348芯片的复位信号 / RESET为FLASH和DSP的共同复位信号

3. 1. 4 编解码电路

视频输入采用PHILIP的高性价比视频解码器SAA7115来实现，透过I2C进行寄存器配置，输出数字视频信号遵循ITU656标准。SAAT1 15解码后的数字视频信号

通过DM642是视频端口1传送给DSP，由DSP进行必要的视频处理。另一方面，DM642把接收的视频数据处理后，通过视频端口2，经过FPGA，由sAA7105编码显示输出，可提供复合视频输出、VGA视频输出以及HDTV高清视频信号的输出。SAA7105的控制也通过I2C实现。

3.2 OSD (ON SCREEM DISPLAY) 实现

SAA7105无法实现OSD功能，而由XC2s300E来实现。主控芯片DM642只需要通知FPGA要显示的内容和位置，具体的工作由FPGA执行。OSD的逻辑框图如图2所示。

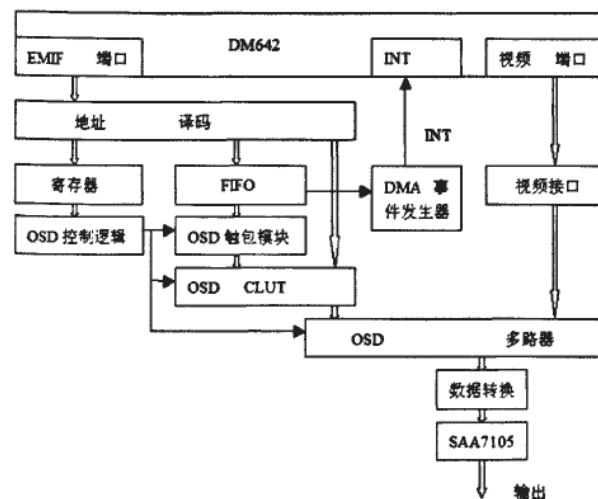


图2 OSD功能框图

OSD FPGA通过EMIFA从DSP DM642接收OSD数据和控制指令，通过DSP的视频端口接收视频数据，并将OSD的信息叠加到视频数据上，输出给视频编码器SAA7105。

OSD的各功能模块描述如下：

1) 地址译码模块的数据端口与DSP_SM642的A低32位数据接口，接收DM642发出的数据与控制信息，这些数据和控制信息是DM642发出的原始32位数据。

2) 地址译码模块将接收到的OSD数据，如OSD的内容等，以32位数据格式放入到FPGA的内部FIFO中。而控制信息主要是通过一组控制寄存器对OSD实现控制。

3) OSD解码模块根据控制逻辑的控制信息，从FIFO中取出要显示的数据，以与视频数据同步的方式输出到OSD CLUT模块。从FIFO中获得的数据是原始的DSP 32位数据，而OSD CLUT模块需要的数据是8/16位的，所以OSD解包模块需要以一定的规则将32位数据解包，以视频端口的频率将32位数据以8/16的宽度传输给OSD CLUT模块。

4) FIFO模块的另外一个功能是向DMA事件发生器模块传递FIFO的状态信息，

如FIFO满或FIFO空。DMA事件发生器监控这些事件，如果发生，则以中断的模式发送给DM642，以实现FIFO的正确读写操作。

5) OSD CLUT模块为从OSD解包模块接收的每个象素的数据查找Y CbCr的对应值，并控制这些OSDCLUT数据的输出顺序。这种转换关系是由DSP通过24位的数据端口传送过来的。OSD CLUT模块的数据直接输出给OSD多路控制器模块。OSD多路控制模块根据从OSD CLUT模块接收到的Alpha控制位确定输出视频数据，以此来实现OSD功能。

OSD多路控制器输出的数据并没有直接送给视频解码器，而是通过数据转换模块，根据具体的应用条件，进行必要的的数据格式转换。由SAA7105的接口时序可知，当SAA7105配置为复合视频输出时，其要求的数据为单时钟沿数据，此时数据转换模块不作任何工作，将从OSD多路控制模块接收的数据原封不动地传输给SAA7105。如果SAA7105配置为vGA或HDTV输出模式时，需要双时钟沿数据，此时数据转换模块将从OSD多路控制模块接收到的单时钟沿数据转换成双时钟沿数据，输出给视频解码器SAA7105。

3. 3电源系统

电源电路是整个设计系统稳定的保证，总的输入为单一的5V。

TMS320DM642芯片的核电压为1.5V，采用的I/O电压为3.3V，需要双电压供电。Xilinx公司的XC2S300系列芯片核电压为1.8V，采用的I/O电压为3.3V。

电压芯片全部采用的TI的电压管理监控芯片，上电稳定后，发RESET信号给DSP，进行复位。供电芯片为TI公司的TPS54310芯片，该芯片5V输入，1.5V和3.3V双电压输出。采用TPS76701芯片可得到FPGA所需电压1.8V。

模拟的3.3V的电压采用的从数字的3.3V经过磁珠，电容滤波后产生。

4、软件设计

由DSP+FPGA芯片及总线的结构组成高速图象处理平台，可以充分发挥软件的重要作用。该平台可以通过DSP的控制，发挥FPGA芯片的动态配置技术，实现了硬件资源动态分配。在同一个硬件平台上，通过动态地调用不同的软件程序，来实现多功能，多模式工作。由于采用了动态配置技术，该平台还具有一定的开放性和可扩展性，可以很好地满足设计的完善、功能的扩充及程序的更改。

本文设计的平台通过动态配置可以进行多模式工作，能够应用在无线接收、

卫星接收，图像处理和信号分析等多个领域。进行多模式工作时，受计算机或主控设备的控制，由接口完成命令的传输，DSP芯片完成命令的执行。加电复位后，DSP和n，ASH芯片完成初始化，DSP通过初始程序对FPGA芯片进行配置，系统开始进行数据的收发，并送往计算机或主控设备。当计算机或主控设备需要更改工作模式时，将变换工作模式的命令送DSP芯片，DSP芯片接收到该命令后，通过预置在FLASH的程序对FPGA芯片进行重新配置，并转换工作模式，系统重新开始数据的收发。

5、结束语

经过了对DSP处理器课程的学习，我对于DSP的基本结构和功能有了初步的了解，通过与MCS-51单片机部分结构功能的比较，加之以前的部分MCS-51应用经历，更对DSP的某些功能模块有了更加深刻的认识，从而也就更加凸显出DSP特别是在于测试与控制领域的强大功能，这为以后的学习和工作都将打下了良好的理论基础。

相信对你有帮助的：

[数字图像处理及模式识别](#)

[嵌入式图像处理与接口设计研究](#)

[利用 Visual C++实现数字图像处理研究](#)

[嵌入式系统基于 DirectDraw 的图像处理](#)

[Visual C++数字图像处理典型算法及实现](#)

介绍 **dsp** 知识，为大家提供最新的 **dsp** 资讯，更多内容可以去南京研旭电气科技有限公司的官网 www.njyxdq.com www.f28335.com 或者官方论坛，嵌嵌 **dsp** 论坛

www.armdsp.net 进行交流学习

dsp 论坛 www.armdsp.net

dsp 开发板 www.njyxdq.com

嵌入式开发板 www.f28335.com