

$Q = 0$ 。

[题 5.18] 设图 P5.18 中各触发器的初始状态皆为 $Q = 0$, 试画出在 CLK 信号连续作用下各触发器输出端的电压波形。

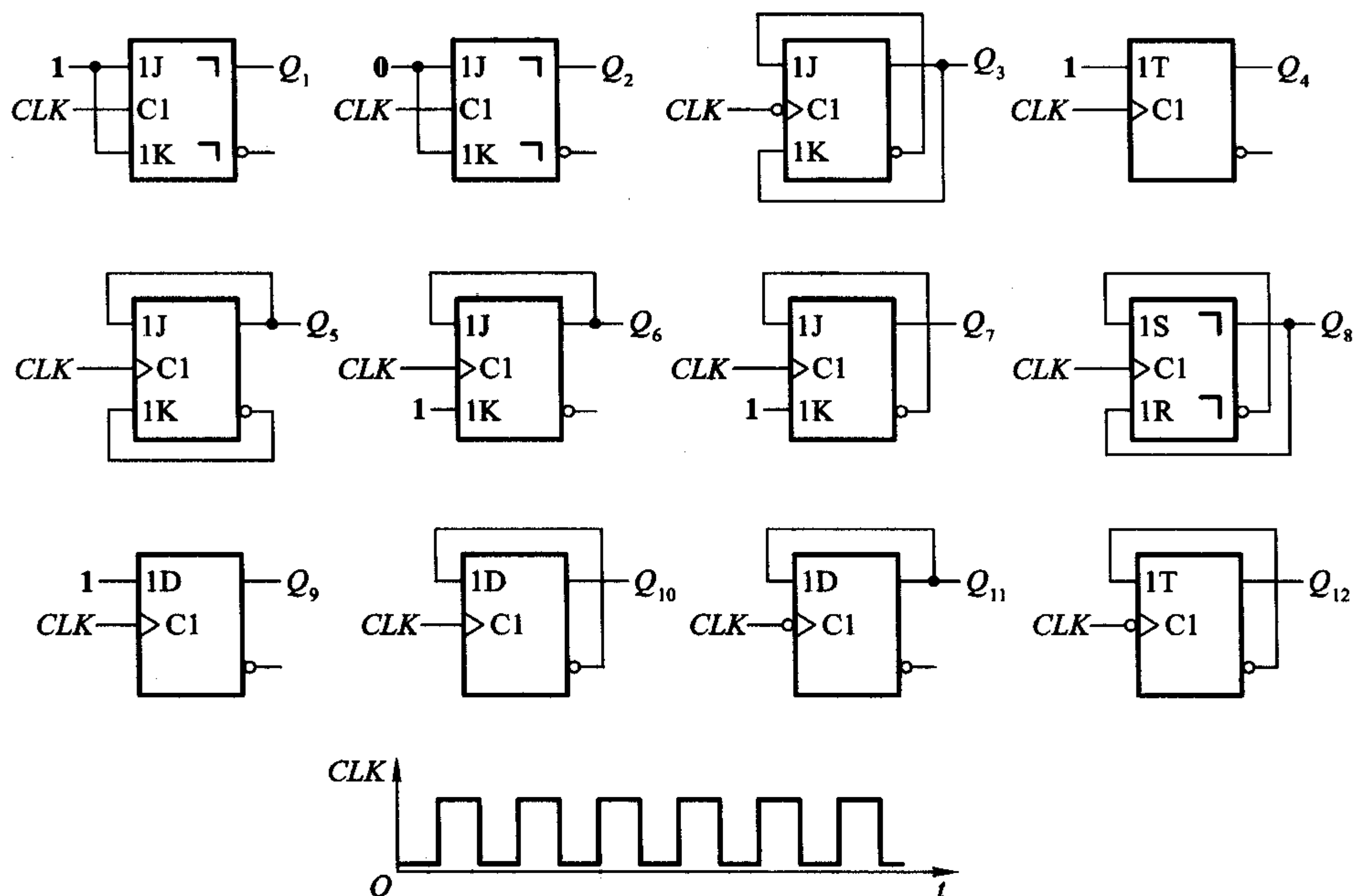


图 P5.18

[题 5.19] 试写出图 P5.19(a) 中各电路的次态函数 (即 Q_1^* 、 Q_2^* 、 Q_3^* 、 Q_4^* 与现态和输入变量之间的函数式), 并画出在图 P5.19(b) 所给定信号的作用下 Q_1 、 Q_2 、 Q_3 、 Q_4 的电压波形。假定各触发器的初始状态均为 $Q = 0$ 。

[题 5.20] 在图 P5.20 电路中已知输入信号 v_i 的电压波形如图所示, 试画出与之对应的输出电压 v_o 的波形。触发器为维持阻塞结构, 初始状态为 $Q = 0$ 。(提示: 应考虑触发器和异或门的传输延迟时间。)

[题 5.21] 在图 P5.21 所示的主从 JK 触发器电路中, CLK 和 A 的电压波形如图中所示, 试画出 Q 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

[题 5.22] 图 P5.22 所示是用 CMOS 边沿触发器和或非门组成的脉冲分频电路。试画出在一系列 CLK 脉冲作用下 Q_1 、 Q_2 和 Z 端对应的输出电压波形。设触发器的初始状态皆为 $Q = 0$ 。

[题 5.23] 图 P5.23 所示是用维持阻塞结构 D 触发器组成的脉冲分频电路。试画出在一系列 CLK 脉冲作用下输出端 Y 对应的电压波形。设触发器的初始状态均为 $Q = 0$ 。

[题 5.24] 试画出图 P5.24 所示电路输出端 Y 、 Z 的电压波形。输入信号 A 和 CLK 的电压波形如图中所示。设触发器的初始状态均为 $Q = 0$ 。

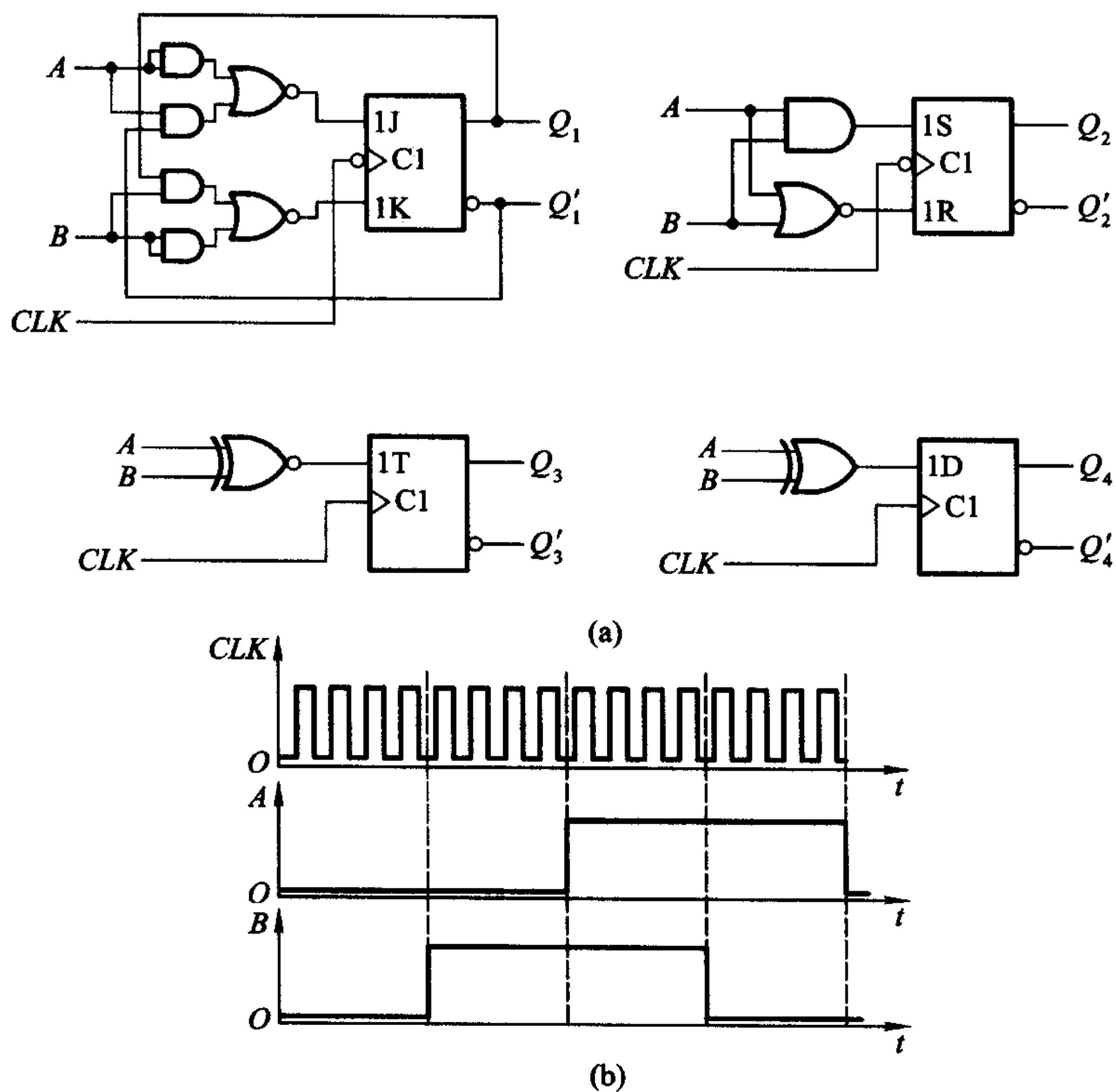


图 P5.19

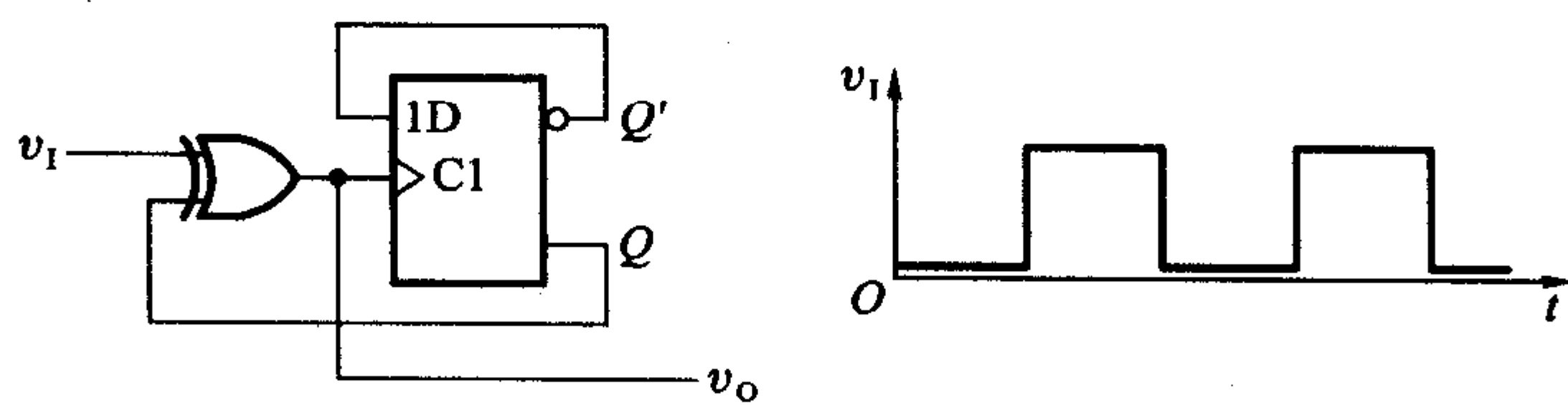


图 P5.20

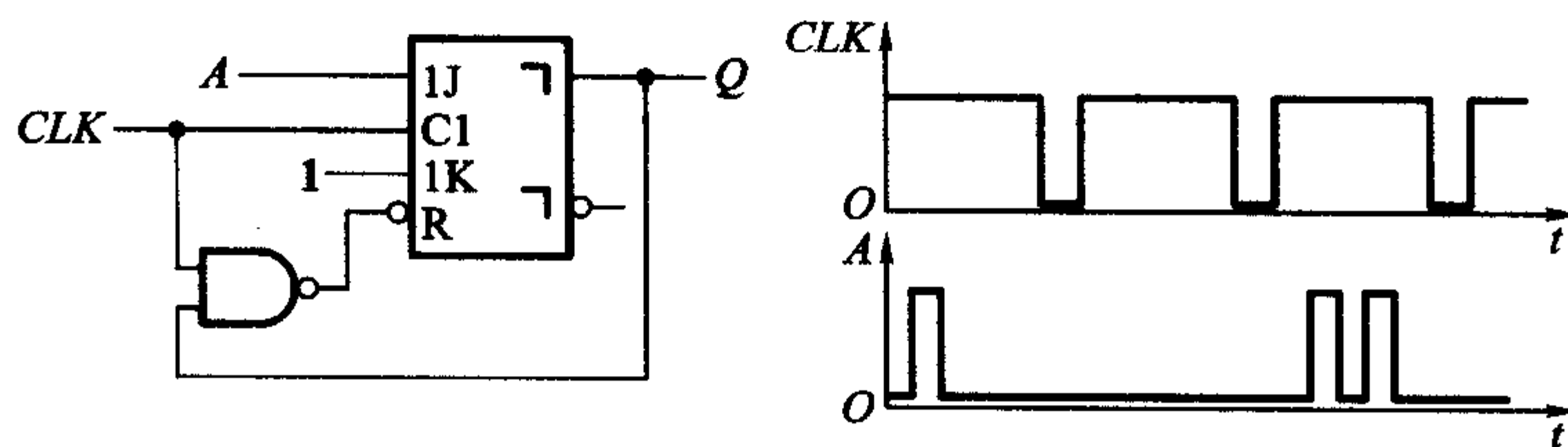


图 P5.21

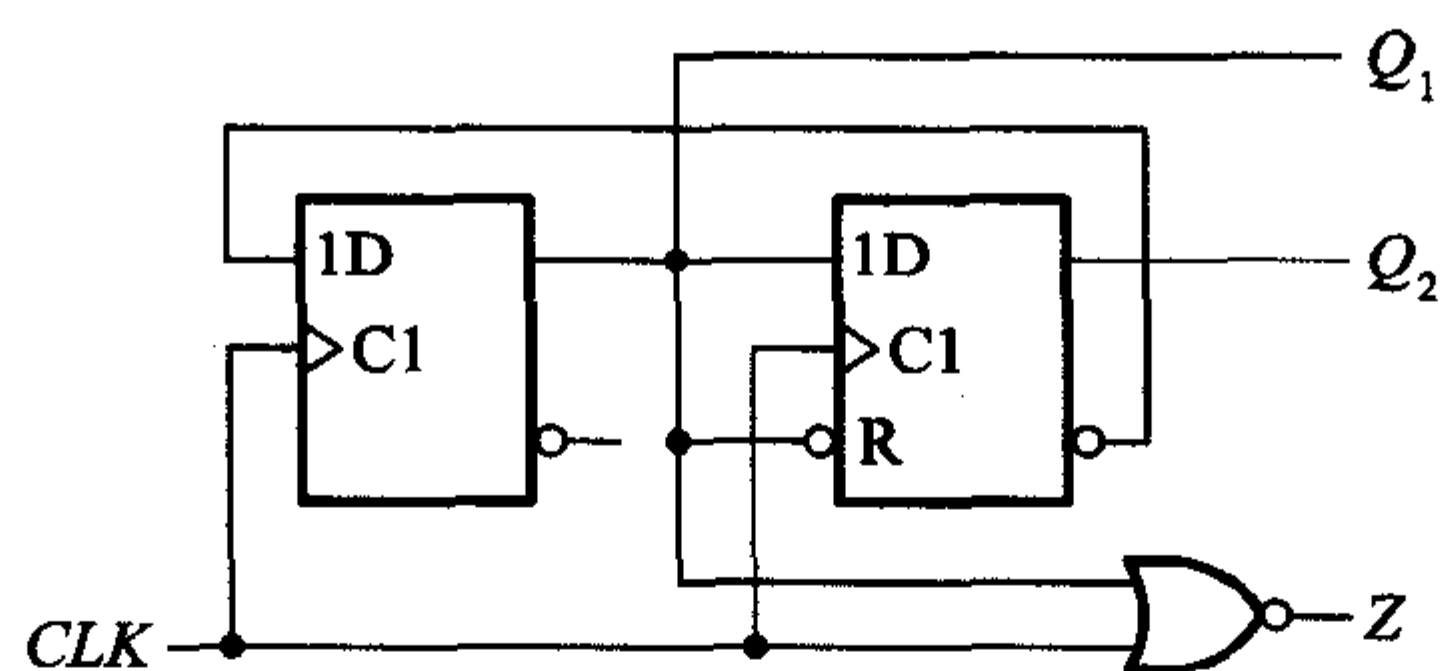


图 P5.22

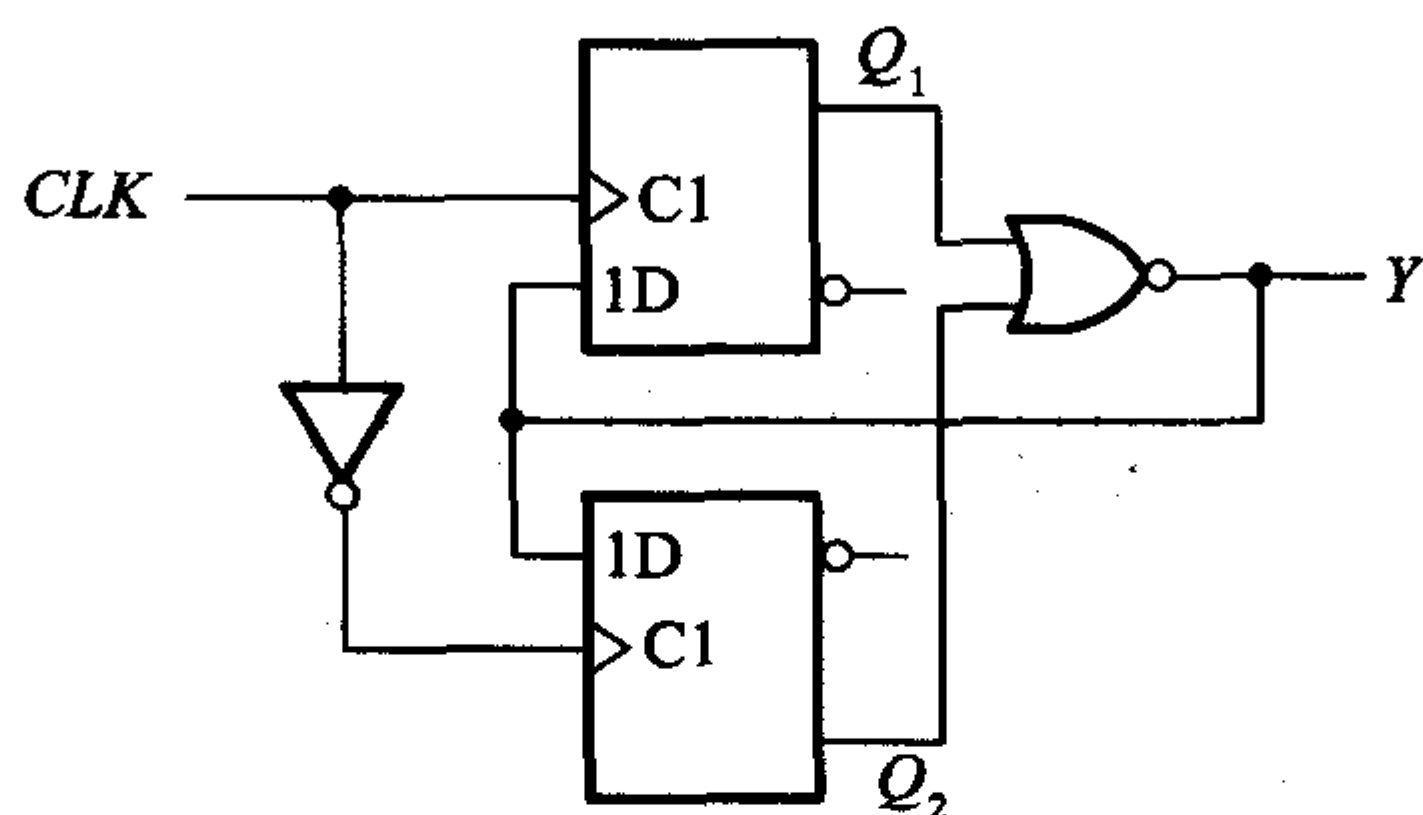


图 P5.23

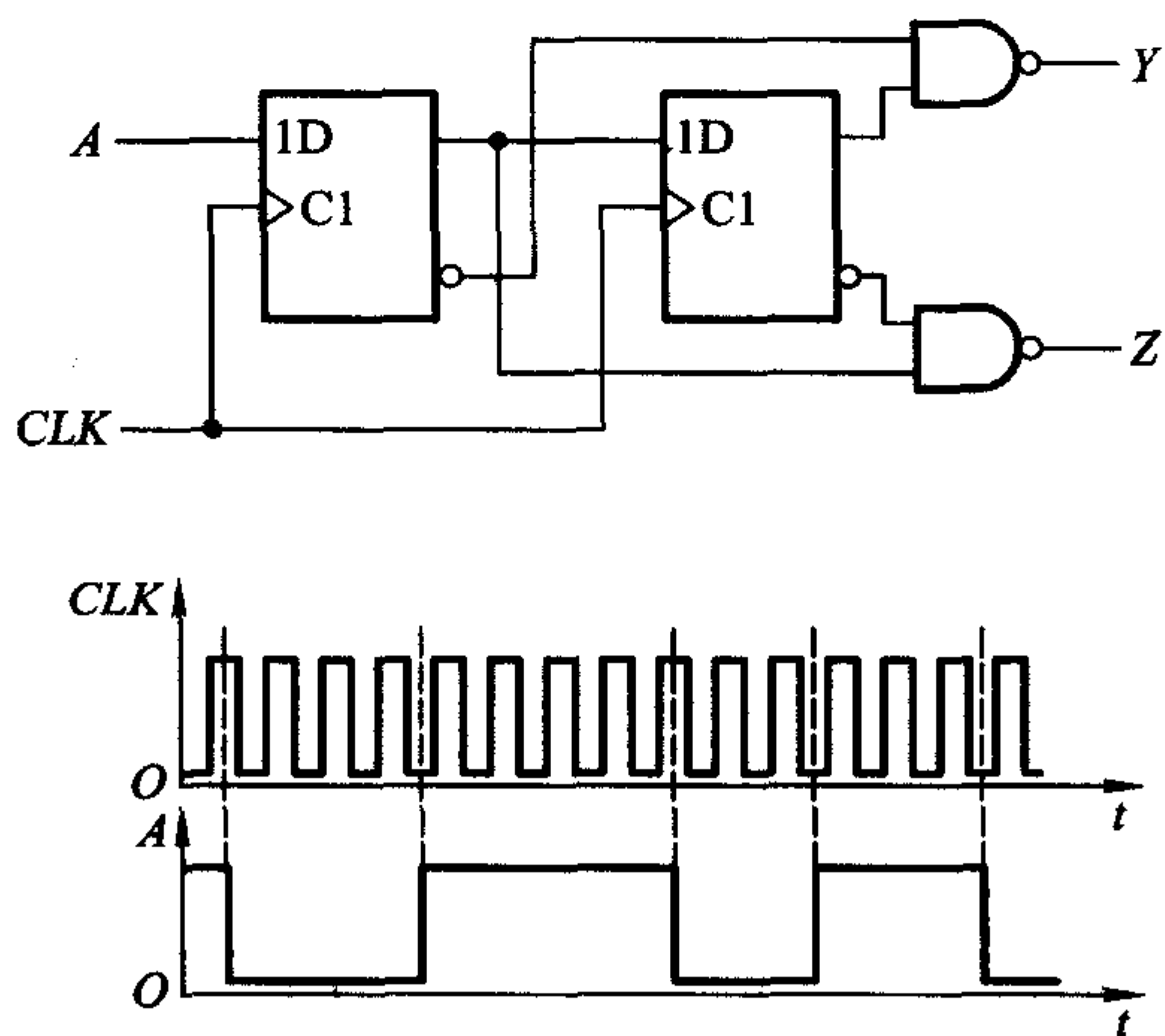


图 P5.24

[题 5.25] 试画出图 P5.25 所示电路输出端 Q_2 的电压波形。输入信号 A 和 CLK 的电压波形与上题相同。假定触发器为主从结构, 初始状态均为 $Q = 0$ 。

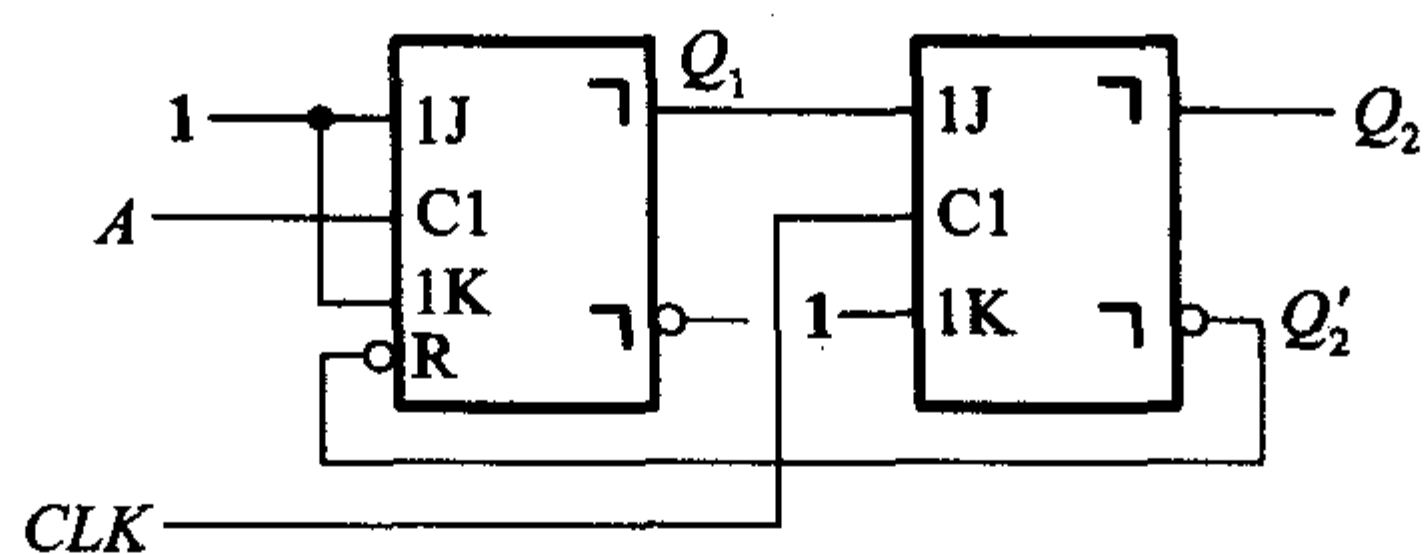


图 P5.25

[题 5.26] 试画出图 P5.26 所示电路在一系列 CLK 信号作用下 Q_1 、 Q_2 、 Q_3 端输出电压的波形。触发器均为边沿触发方式,初始状态为 $Q = 0$ 。

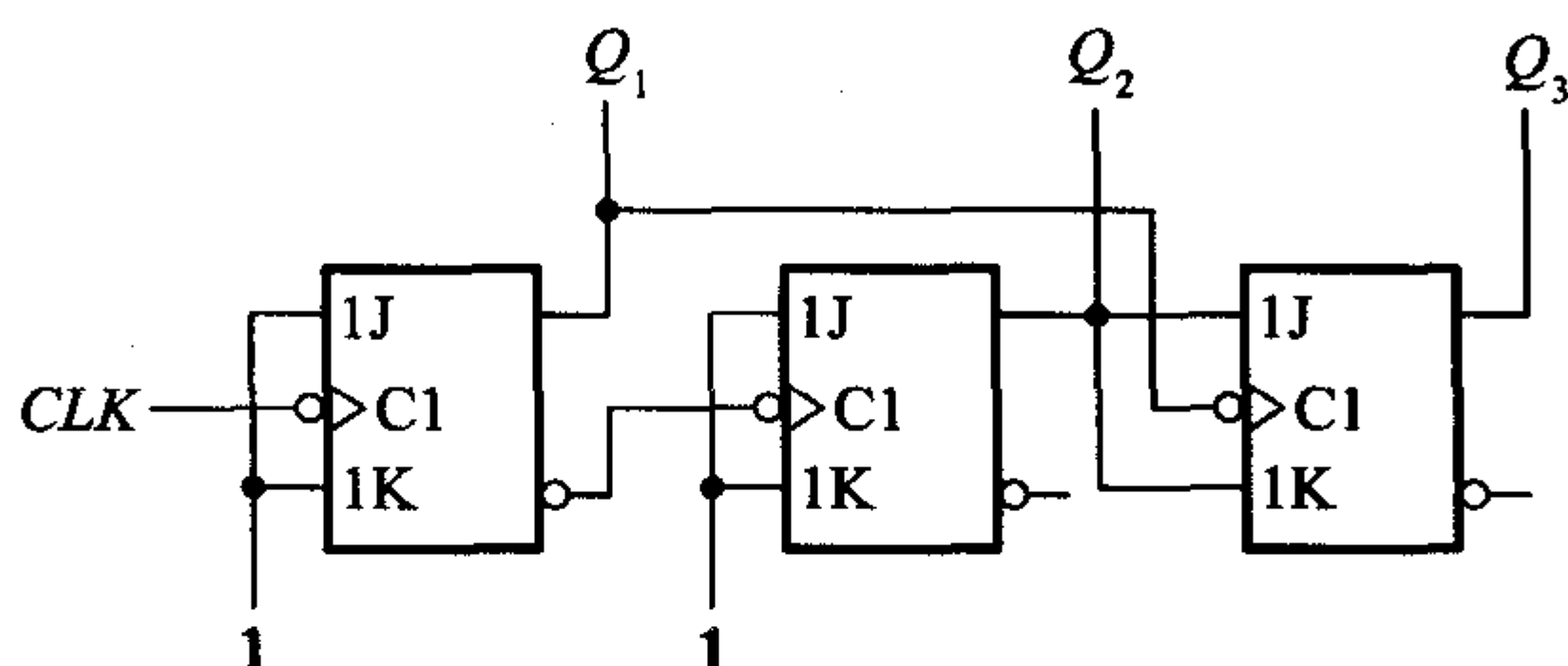


图 P5.26

[题 5.27] 试画出图 P5.27 电路在图中所示 CLK 、 R'_D 信号作用下 Q_1 、 Q_2 、 Q_3 的输出电压波形,并说明 Q_1 、 Q_2 、 Q_3 输出信号的频率与 CLK 信号频率之间的关系。

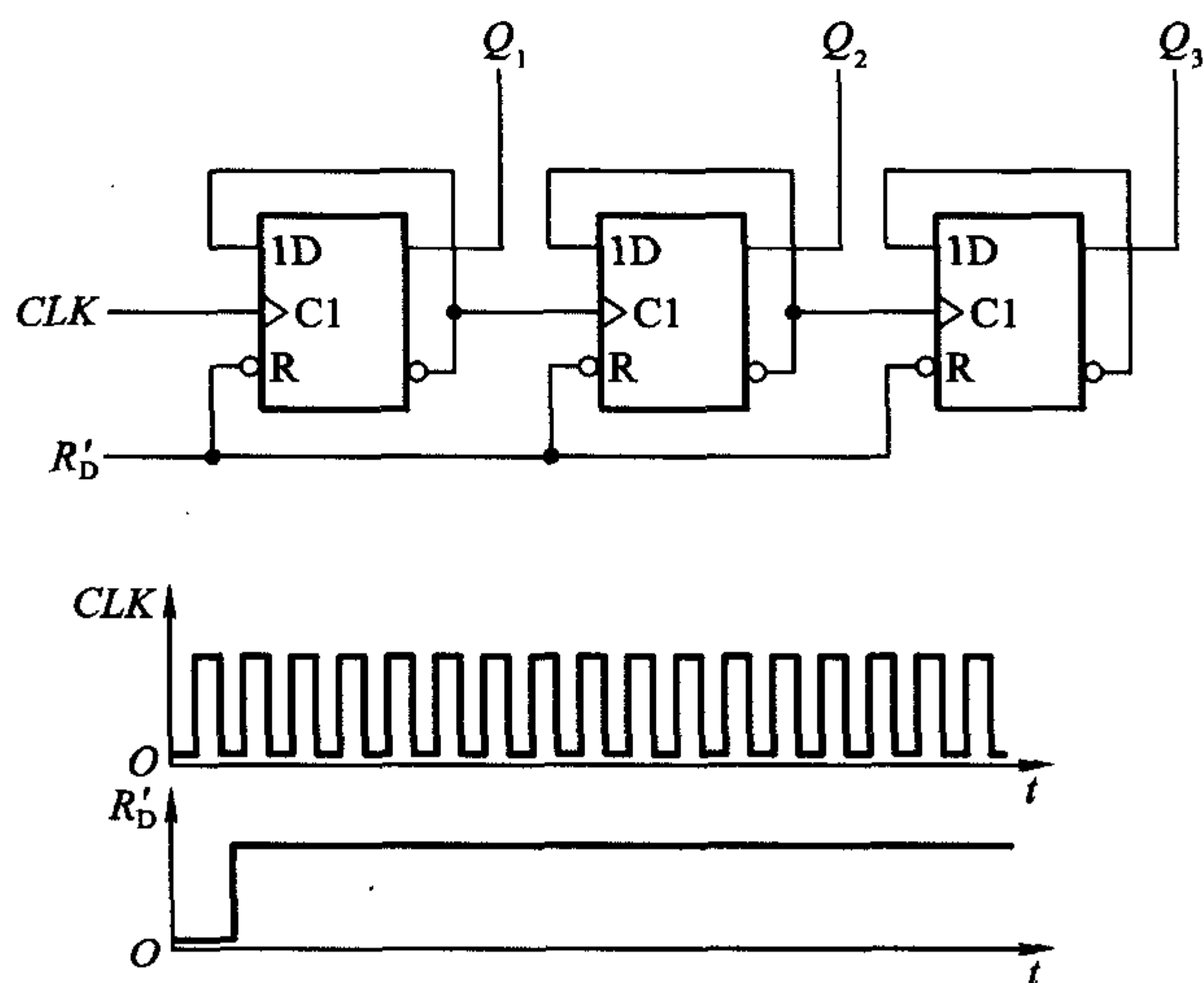


图 P5.27

[题 5.28] 设计一个 4 人抢答逻辑电路。具体要求如下:

- (1) 每个参赛者控制一个按钮,用按动按钮发出抢答信号。
- (2) 竞赛主持人另有一个按钮,用于将电路复位。
- (3) 竞赛开始后,先按动按钮者将对应的一个发光二极管点亮,此后其他 3 人再按动按钮对电路不起作用。

第六章

时序逻辑电路

内容提要

本章系统讲授时序逻辑电路的工作原理和分析方法、设计方法。

首先,概要地讲述了时序逻辑电路在逻辑功能和电路结构上的特点,并详细介绍了分析时序逻辑电路的具体方法和步骤。然后分别介绍了寄存器、计数器、顺序脉冲发生器等各类常用时序逻辑电路的工作原理和使用方法。最后讲述了时序逻辑电路的设计方法,并从物理概念上讨论了时序逻辑电路中的竞争-冒险现象。此外,还给出了用 Multisim 7 分析时序逻辑电路的实例。

6.1 概述

在第四章所讨论的组合逻辑电路中,任一时刻的输出信号仅取决于当时的输入信号。这也是组合逻辑电路在逻辑功能上的共同特点。本章要介绍另一种类型的逻辑电路,在这类逻辑电路中,任一时刻的输出信号不仅取决于当时的输入信号,而且还取决于电路原来的状态,或者说,还与以前的输入有关。具备这种逻辑功能特点的电路称为时序逻辑电路(sequential logic circuit,简称时序电路),以区别于组合逻辑电路。

为了进一步说明时序逻辑电路的特点,下面来分析一下图 6.1.1 给出的一个实例——串行加法器电路。

所谓串行加法,是指在将两个多位数相加时,采取从低位到高位逐位相加的方式完成相加运算。由于每一位(例如第 i 位)相加的结果不仅取决于本位的两个加数 a_i 和 b_i ,还与低一位是否有进位有关,所以完整的串行加法器电路除了应该具有将两个加数和来自低位的进位相加的能力之外,还必须具备记忆功能,

这样才能把本位相加后的进位结果保存下来,以备做高一位的加法时使用。因此,图 6.1.1 所示的串行加法器电路包含了两个组成部分,一部分是全加器 Σ , 另一部分是由触发器构成的存储电路。前者执行 a_i 、 b_i 和 c_{i-1} 三个数的相加运算,后者负责记下每次相加后的进位结果。

通过这个简单的例子不难看出,时序电路在电路结构上有两个显著的特点。第一,时序电路通常包含组合电路和存储电路两个组成部分,而存储电路是必不可少的。第二,存储电路的输出状态必须反馈到组合电路的输入端,与输入信号一起,共同决定组合逻辑电路的输出。

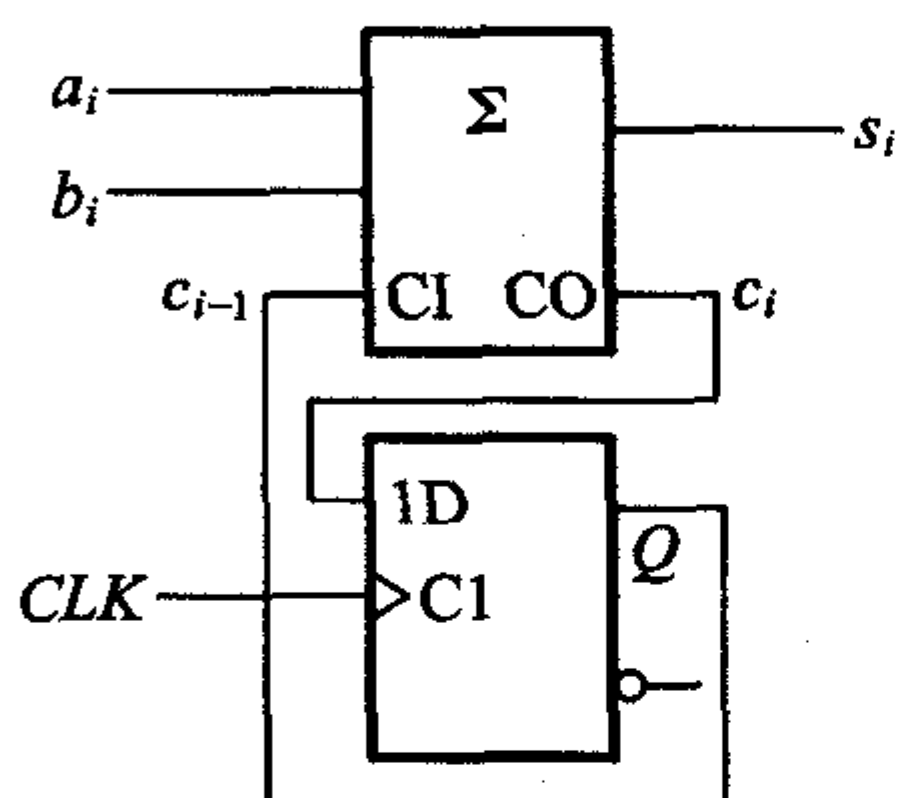


图 6.1.1 串行加法器电路

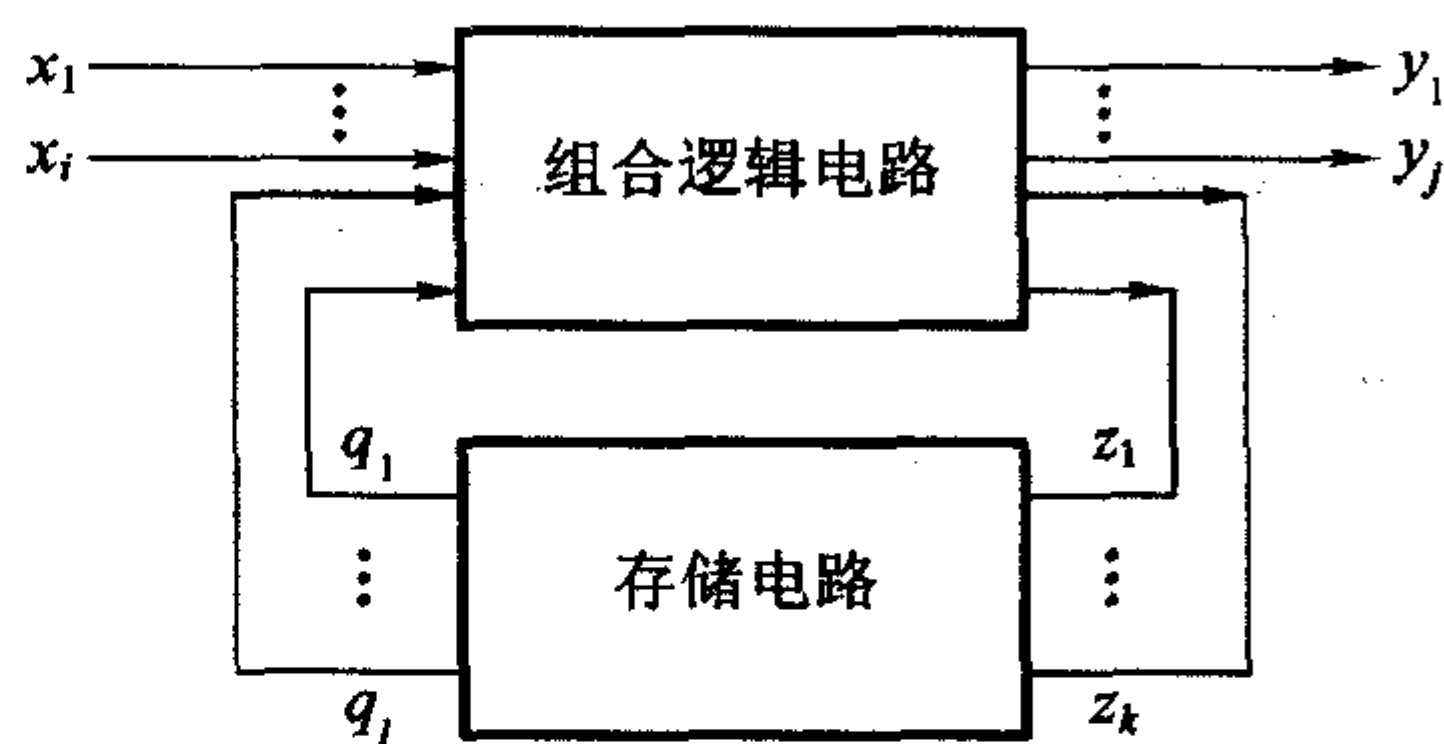


图 6.1.2 时序逻辑电路的结构框图

时序电路的框图可以画成图 6.1.2 所示的普遍形式。图中的 $X(x_1, x_2, \dots, x_i)$ 代表输入信号, $Y(y_1, y_2, \dots, y_j)$ 代表输出信号, $Z(z_1, z_2, \dots, z_k)$ 代表存储电路的输入信号, $Q(q_1, q_2, \dots, q_l)$ 代表存储电路的输出。这些信号之间的逻辑关系可以用三个方程组来描述

$$\begin{cases} y_1 = f_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ y_2 = f_2(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ y_j = f_j(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases} \quad (6.1.1)$$

$$\begin{cases} z_1 = g_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ z_2 = g_2(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ z_k = g_k(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases} \quad (6.1.2)$$

$$\begin{cases} q_1^* = h_1(z_1, z_2, \dots, z_k, q_1, q_2, \dots, q_l) \\ q_2^* = h_2(z_1, z_2, \dots, z_k, q_1, q_2, \dots, q_l) \\ \vdots \\ q_l^* = h_l(z_1, z_2, \dots, z_k, q_1, q_2, \dots, q_l) \end{cases} \quad (6.1.3)$$

式(6.1.1)称为输出方程,式(6.1.2)称为驱动方程(或激励方程),式(6.1.3)称为状态方程。 $q_1, q_2, \dots, q_l$ 表示存储电路中每个触发器的现态, $q_1^*, q_2^*, \dots, q_l^*$ 表示存储电路中每个触发器的次态。如果将式(6.1.1)、(6.1.2)和(6.1.3)写成向量函数的形式,则得到

$$Y = F[X, Q]$$

$$Z = G[X, Q]$$

$$Q^* = H[Z, Q]$$

由于存储电路中触发器的动作特点不同,在时序电路中又有同步时序电路和异步时序电路之分。在同步时序电路中,所有触发器状态的变化都是在同一时钟信号操作下同时发生的。而在异步时序电路中,触发器状态的变化不是同时发生的。

此外,有时还根据输出信号的特点将时序电路划分为米利(Mealy)型和穆尔(Moore)型两种。在米利型电路中,输出信号不仅取决于存储电路的状态,而且还取决于输入变量;在穆尔型电路中,输出信号仅仅取决于存储电路的状态。可见,穆尔型电路只不过是米利型电路的一种特例而已。

以后还会看到,在有些具体的时序电路中,并不都具备图6.1.2所示的完整形式。例如,有的时序电路中没有组合电路部分,而有的时序电路又可能没有输入逻辑变量,但它们在逻辑功能上仍有时序电路的基本特征。

鉴于时序电路在工作时是在电路的有限个状态间按一定的规律转换的,所以又将时序电路称为状态机(State Machine,简称SM)或算法状态机(Algorithmic State Machine,简称ASM)。

在分析时序电路时只要将状态变量和输入信号一样当作逻辑函数的输入变量处理,那么分析组合电路的一些运算方法仍然可以使用。不过,由于任意时刻状态变量的取值都和电路的历史情况有关,所以分析起来要比组合电路复杂一些。为便于描述存储电路的状态及其转换规律,还要引入一些新的表示方法和分析方法。

至于时序电路的设计方法,则更复杂一些,在讲过若干典型的时序电路之后对此再做详细介绍。

复习思考题

R6.1.1 组合逻辑电路和时序逻辑电路在逻辑功能与电路结构上有何区别?

R6.1.2 同步时序电路和异步时序电路有何不同?

6.2 时序逻辑电路的分析方法

6.2.1 同步时序逻辑电路的分析方法

分析一个时序电路,就是要找出给定时序电路的逻辑功能。具体地说,就是要求找出电路的状态和输出的状态在输入变量和时钟信号作用下的变化规律。

首先讨论同步时序电路的分析方法。由于同步时序电路中所有触发器都是在同一个时钟信号操作下工作的,所以分析方法比较简单。

在本章 6.1 节中已经讲过,时序电路的逻辑功能可以用输出方程、驱动方程和状态方程全面描述。因此,只要能写出给定逻辑电路的这三个方程,那么它的逻辑功能也就表示清楚了。根据这三个方程,就能够求得在任何给定输入变量状态和电路状态下电路的输出和次态。

分析同步时序电路时一般按如下步骤进行:

- (1) 从给定的逻辑图中写出每个触发器的驱动方程(亦即存储电路中每个触发器输入信号的逻辑函数式)。
- (2) 将得到的这些驱动方程代入相应触发器的特性方程,得出每个触发器的状态方程,从而得到由这些状态方程组成的整个时序电路的状态方程组。
- (3) 根据逻辑图写出电路的输出方程。

【例 6.2.1】 试分析图 6.2.1 所示时序逻辑电路的逻辑功能,写出它的驱动方程、状态方程和输出方程。 FF_1 、 FF_2 和 FF_3 是三个主从结构的 TTL 触发器,下降沿动作,输入端悬空时和逻辑 1 状态等效。

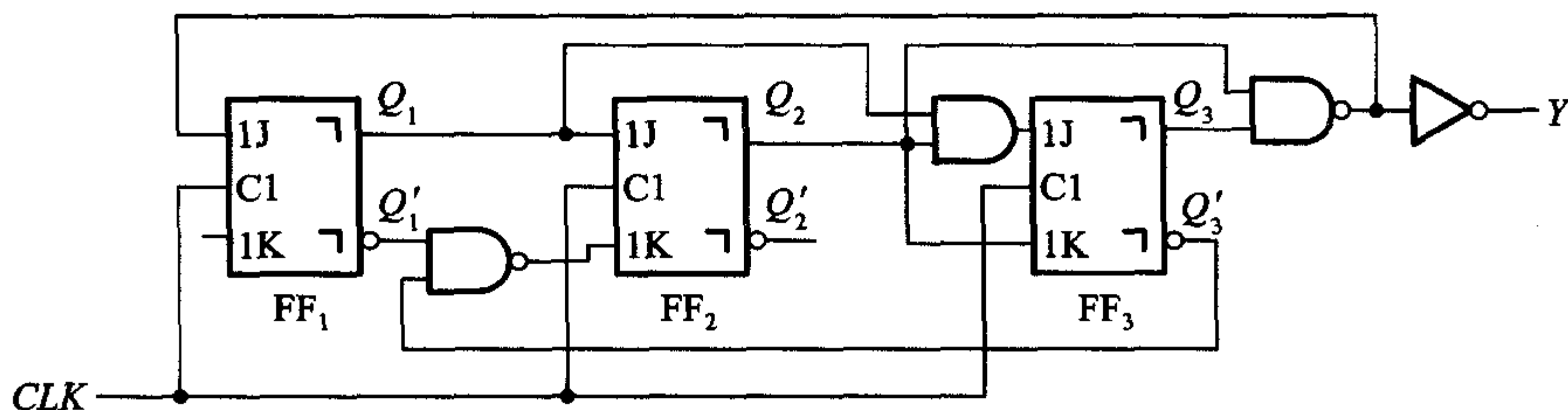


图 6.2.1 例 6.2.1 的时序逻辑电路

解: (1) 从图 6.2.1 给定的逻辑图可写出电路的驱动方程为

$$\begin{cases} J_1 = (Q_2 \cdot Q_3)' & K_1 = 1 \\ J_2 = Q_1 & K_2 = (Q_1' \cdot Q_3')' \\ J_3 = Q_1 \cdot Q_2 & K_3 = Q_2 \end{cases} \quad (6.2.1)$$

(2) 将式(6.2.1)代入 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ 中去,于是得到电路的状态方程

$$\begin{cases} Q_1^* = (Q_2 \cdot Q_3)'Q_1' \\ Q_2^* = Q_1 \cdot Q_2' + Q_1' \cdot Q_3' \cdot Q_2 \\ Q_3^* = Q_1 \cdot Q_2 \cdot Q_3' + Q_2' \cdot Q_3 \end{cases} \quad (6.2.2)$$

(3) 根据逻辑图写出输出方程为

$$Y = Q_2 \cdot Q_3 \quad (6.2.3)$$

6.2.2 时序逻辑电路的状态转换表、状态转换图、状态机流程图和时序图

从理论上讲,有了驱动方程、状态方程和输出方程以后,时序电路的逻辑功能就已经描述清楚了。然而通过例 6.2.1 可以发现,从这一组方程式中还不能获得电路逻辑功能的完整印象。这主要是由于电路每一时刻的状态都和电路的历史情况有关的缘故。由此可以想到,如果将电路在一系列时钟信号作用下状态转换的全部过程找出来,则电路的逻辑功能便可一目了然了。

用于描述时序电路状态转换全部过程的方法有状态转换表(也称状态转换真值表)、状态转换图、状态机流程图和时序图。由于这几种方法和方程组一样,都可以用来描述同一个时序电路的逻辑功能,所以它们之间可以互相转换。此外,还可以用硬件描述语言对时序电路的逻辑功能进行描述,这一部分内容将在后面的有关章节中介绍。

一、状态转换表

若将任何一组输入变量及电路初态的取值代入状态方程和输出方程,即可算出电路的次态和现态下的输出值;以得到的次态作为新的初态,和这时的输入变量取值一起再代入状态方程和输出方程进行计算,又得到一组新的次态和输出值。如此继续下去,将全部的计算结果列成真值表的形式,就得到了状态转换表。

【例 6.2.2】 试列出图 6.2.1 所示电路的状态转换表。

解: 由图 6.2.1 可见,这个电路没有输入逻辑变量。(需要注意的是,不要把 CLK 当作输入逻辑变量。时钟信号只是控制触发器状态转换的操作信号。)因此,电路的次态和输出只取决于电路的初态,它属于穆尔型时序电路。设电路的初态为 $Q_3Q_2Q_1 = 000$,代入式(6.2.2)和式(6.2.3)后得到