

$$\begin{cases} Q_3^* = 0 \\ Q_2^* = 0 \\ Q_1^* = 1 \end{cases}$$

$$Y = 0$$

将这一结果作为新的初态,即 $Q_3Q_2Q_1 = 001$,重新代入式(6.2.2)和式(6.2.3),又得到一组新的次态和输出值。如此继续下去即可发现,当 $Q_3Q_2Q_1 = 110$ 时,次态 $Q_3^*Q_2^*Q_1^* = 000$,返回了最初设定的初态。如果再继续算下去,电路的状态和输出将按照前面的变化顺序反复循环,因此已无需再做下去了。这样就得到了表 6.2.1 所示的状态转换表。

表 6.2.1 图 6.2.1 电路的状态转换表

Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Q_1^*	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

最后还要检查一下得到的状态转换表是否包含了电路所有可能出现的状态。结果发现, $Q_3Q_2Q_1$ 的状态组合共有 8 种,而根据上述计算过程列出的状态转换表中只有 7 种状态,缺少 $Q_3Q_2Q_1 = 111$ 这个状态。将此状态代入式(6.2.2)和式(6.2.3)计算得到

$$\begin{cases} Q_3^* = 0 \\ Q_2^* = 0 \\ Q_1^* = 0 \end{cases}$$

$$Y = 1$$

将这个计算结果补充到表中以后,才得到完整的状态转换表。

有时也将电路的状态转换表列成表 6.2.2 的形式。这种状态转换表给出了在一系列时钟信号作用下电路状态转换的顺序,比较直观。

从表 6.2.2 上很容易看出,每经过 7 个时钟信号以后电路的状态循环变化一次,所以这个电路具有对时钟信号计数的功能。同时,因为每经过 7 个时钟脉

冲作用以后输出端 Y 输出一个脉冲(由 0 变 1,再由 1 变 0),所以这是一个七进制计数器, Y 端的输出就是进位脉冲。

表 6.2.2 图 6.2.1 电路状态转换表的另一种形式

CLK 的顺序	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0

二、状态转换图

为了以更加形象的方式直观地显示出时序电路的逻辑功能,有时还进一步将状态转换表的内容表示成状态转换图的形式。

图 6.2.2 是图 6.2.1 所示电路的状态转换图。在状态转换图中以圆圈表示电路的各个状态,以箭头表示状态转换的方向。同时,还在箭头旁注明了状态转换前的输入变量取值和输出值。通常将输入变量取值写在斜线以上,将输出值写在斜线以下。因为图 6.2.1 电路没有输入逻辑变量,所以斜线上方没有注字。

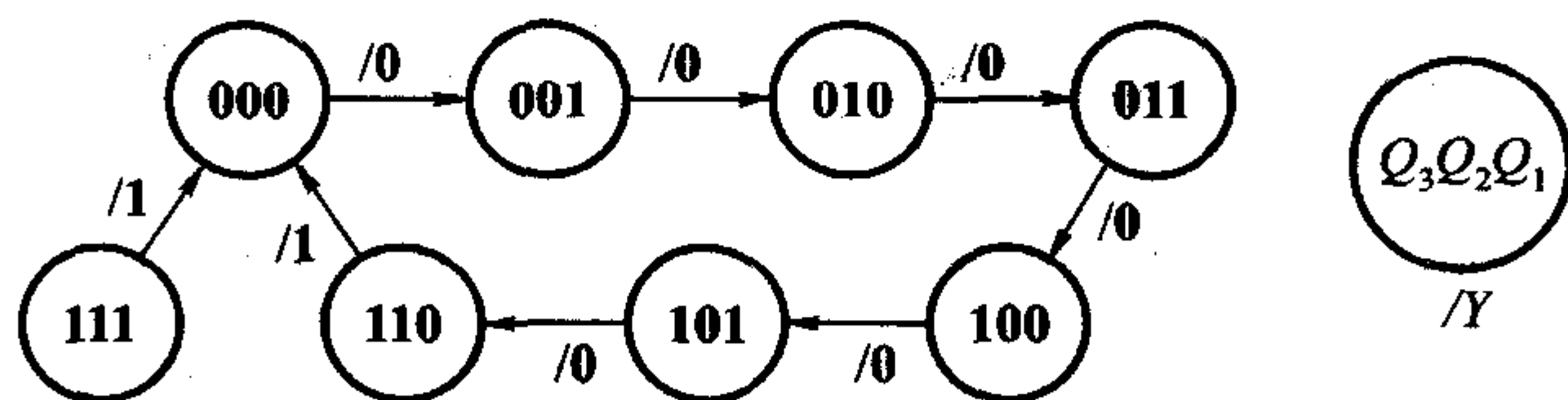


图 6.2.2 图 6.2.1 电路的状态转换图

【例 6.2.3】 分析图 6.2.3 所示时序逻辑电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图。

解: 首先从给定的电路图写出驱动方程

$$\begin{cases} D_1 = Q'_1 \\ D_2 = A \oplus Q_1 \oplus Q_2 \end{cases} \quad (6.2.4)$$

将式(6.2.4)代入 D 触发器的特性方程,得到电路的状态方程

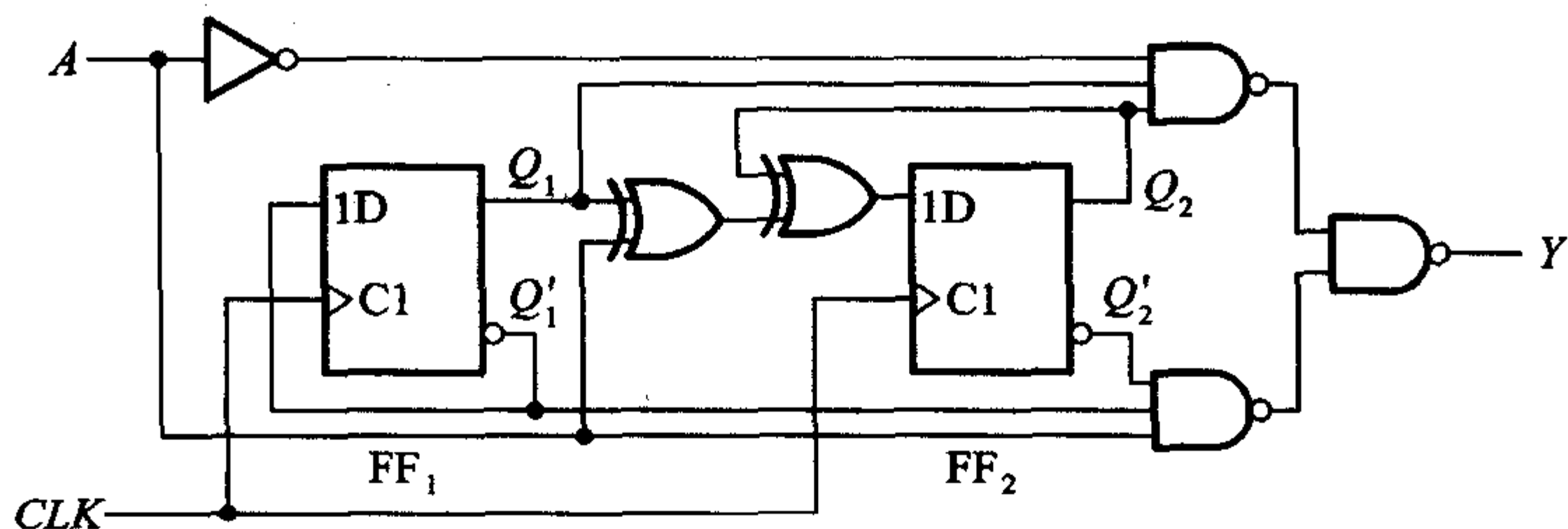


图 6.2.3 例 6.2.3 的时序逻辑电路

$$\begin{cases} Q_1^* = D_1 = Q_1' \\ Q_2^* = D_2 = A \oplus Q_1 \oplus Q_2 \end{cases} \quad (6.2.5)$$

从图 6.2.3 所示的电路图写出输出方程为

$$\begin{aligned} Y &= ((A'Q_1Q_2)' \cdot (AQ_1'Q_2'))' \\ &= A'Q_1Q_2 + AQ_1'Q_2' \end{aligned} \quad (6.2.6)$$

为便于画出电路的状态转换图,可先列出电路的状态转换表,如表 6.2.3 所示。它以真值表的形式表示了电路的次态和输出($Q_2^*Q_1^*/Y$)与现态和输入变量(Q_2Q_1 和 A)之间的函数关系。表中的数值用式(6.2.5)和式(6.2.6)计算得到。

根据表 6.2.3 画出的电路状态转换图如图 6.2.4 所示。

表 6.2.3 图 6.2.3 电路的状态转换表

$Q_2^*Q_1^*/Y$		Q_2Q_1			
		00	01	11	10
A					
0		01/0	10/0	00/1	11/0
1		11/1	00/0	10/0	01/0

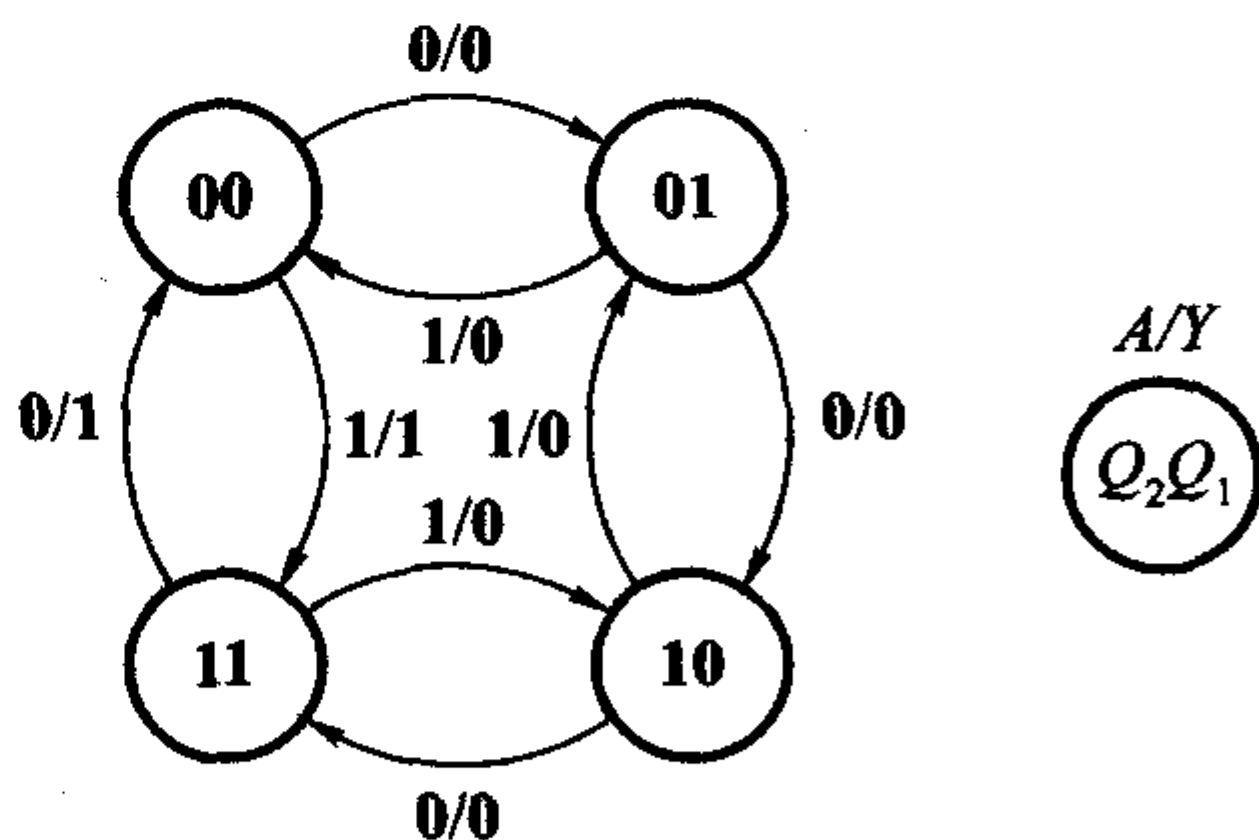


图 6.2.4 图 6.2.3 电路的状态转换图

由图 6.2.4 所示的状态转换图可以看出,图 6.2.3 所示电路可以作为可控计数器使用。当 $A=0$ 时是一个加法计数器,在时钟信号连续作用下, Q_2Q_1 的数值从 00 到 11 递增。如果从 $Q_2Q_1=00$ 状态开始加入时钟信号,则 Q_2Q_1 的数值可以表示输入的时钟脉冲数目。当 $A=1$ 时是一个减法计数器,在连续加入时钟脉冲时, Q_2Q_1 的数值是从 11 到 00 递减的。

三、状态机流程图(SM图)

时序电路(也称状态机)逻辑功能的另外一种描述形式称为状态机流程图(state machine flowchart, 或 state machine chart), 简称 SM 图。也有把它称为 ASM 图的。

SM 图采用类似于编写计算机程序时使用的程序流程图的形式, 表示在一系列时钟脉冲作用下时序电路状态转换的流程以及每个状态下的输入和输出。因此, 可以理解为它是状态转换图按时钟信号顺序展开的一种形式, 能够更加直观地表示出时序电路的运行过程。

SM 图中使用的图形符号有三种: 状态框、判断框和条件输出框。状态框是一个矩形框, 如图 6.2.5(a) 所示。每个状态框表示电路的一个状态, 左上角注明状态的名称(也有将状态名称写在框内的), 右上角注明状态编码, 框内列出此状态下等于 1 的输出逻辑变量。因为写在状态框内的输出只与电路的状态有关, 所以一定是 Moore 型输出。当这个状态机用作复杂系统的控制电路时, 每个输出信号可能就是系统进行某种操作的控制指令, 所以有时也在框内直接注明系统所应当执行的操作, 代替输出信号。

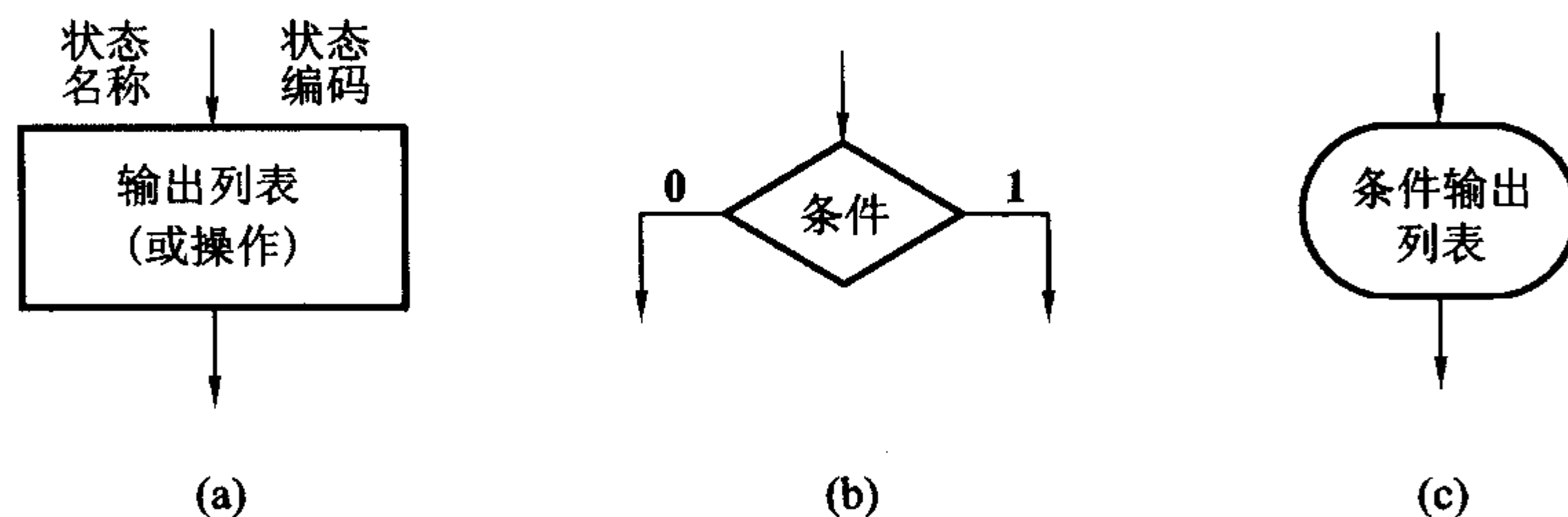


图 6.2.5 SM 图中使用的三种图形符号

(a) 状态框 (b) 判断框 (c) 条件输出框

判断框又称条件分支框, 它的外形为菱形, 如图 6.2.5(b) 所示。判断框接在状态框的出口, 决定着状态转换的去向。框内标注的是判断条件, 它可以是一个逻辑变量、一个乘积项或者一个逻辑式。根据判断条件的取值是 1 还是 0, 确定在时钟信号到达时电路状态的去向。

条件输出框的外形为扁圆形, 如图 6.2.5(c) 所示。它接在判断框的出口, 框内标注输出变量的名称。当所接判断框出口的条件满足时, 框内输出变量等于 1, 否则等于 0。

一个时序电路的 SM 图由若干个 SM 模块组成。每个模块包含一个状态框、若干个判断框和条件输出框。图 6.2.6 就是一个 SM 模块的例子。当电路进入 S_1 状态后, 输出 Y_1 、 Y_2 等于 1。若这时 $A = 1$ 、 $B = 0$, 则输出 Y_4 也等于 1, 下一个

时钟信号到达时,电路转向出口 2 所指向的次态。若这时 $A = B = 1$, 则 $Y_4 = 0$, 下一个时钟信号到达时,电路转向出口 3 所指向的次态。若这时 $A = 0$, 则 Y_3 等于 1, Y_4 等于 0, 下一个时钟信号到达时,电路转向出口 1 所指向的次态。可见,一个 SM 模块所表示的内容相当于状态转换图中一个状态所表示的内容。

按照以上所讲的规则,就可以根据状态转换表或状态转换图画出对应的 SM 图来。例如,根据表 6.2.3 的状态转换表就可以画出图 6.2.3 所示计数器电路的 SM 图,如图 6.2.7 所示。

四、时序图

为便于用实验观察的方法检查时序电路的逻辑功能,还可以将状态转换表

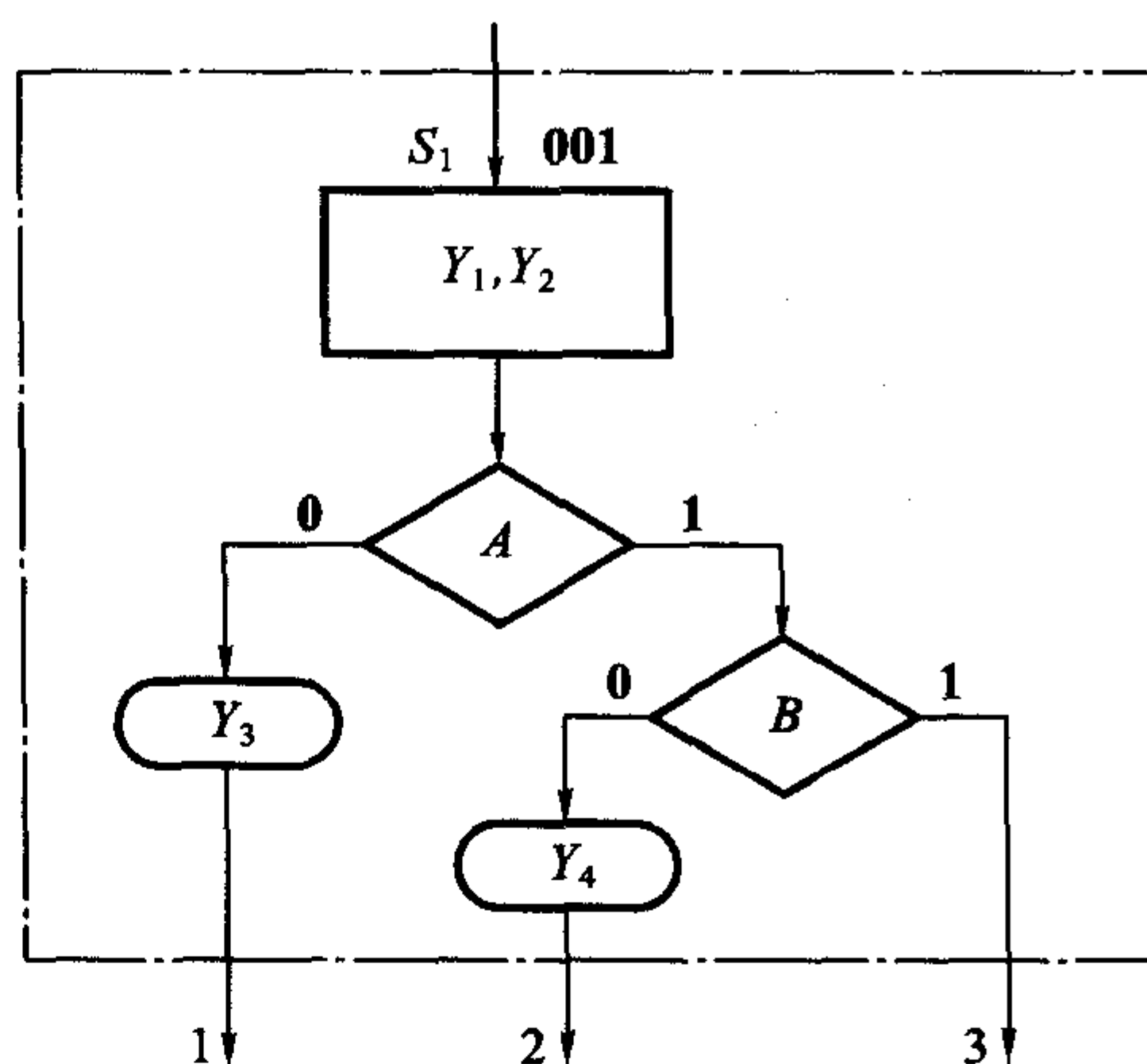


图 6.2.6 SM 模块举例

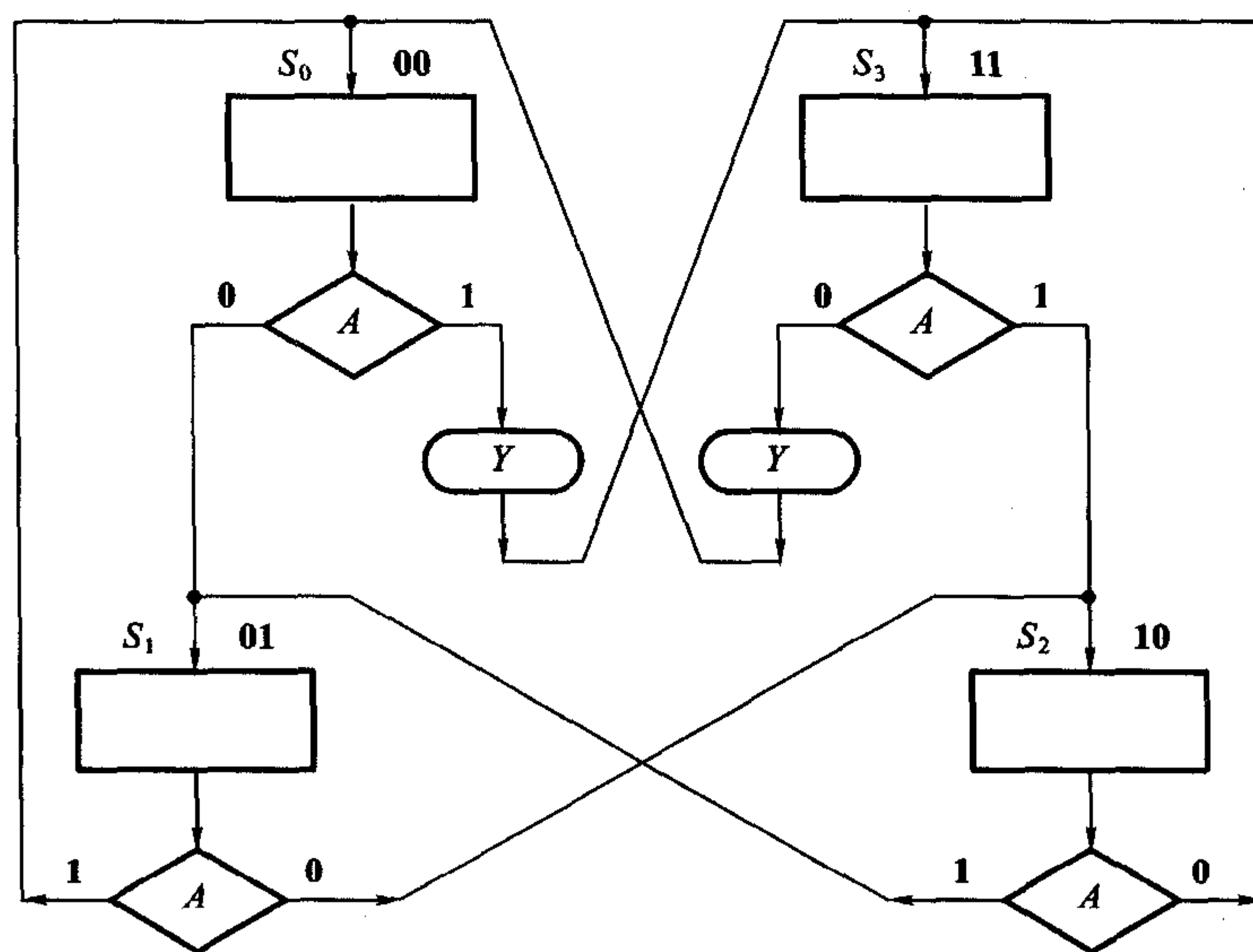


图 6.2.7 图 6.2.3 电路的 SM 图

的内容画成时间波形的形式。在输入信号和时钟脉冲序列作用下,电路状态、输出状态随时间变化的波形图称为时序图。

图 6.2.8 和图 6.2.9 中画出了图 6.2.1 和图 6.2.3 所示电路的时序图。

利用时序图检查时序电路逻辑功能的方法不仅用在实验测试中,也用于数字电路的计算机模拟当中。

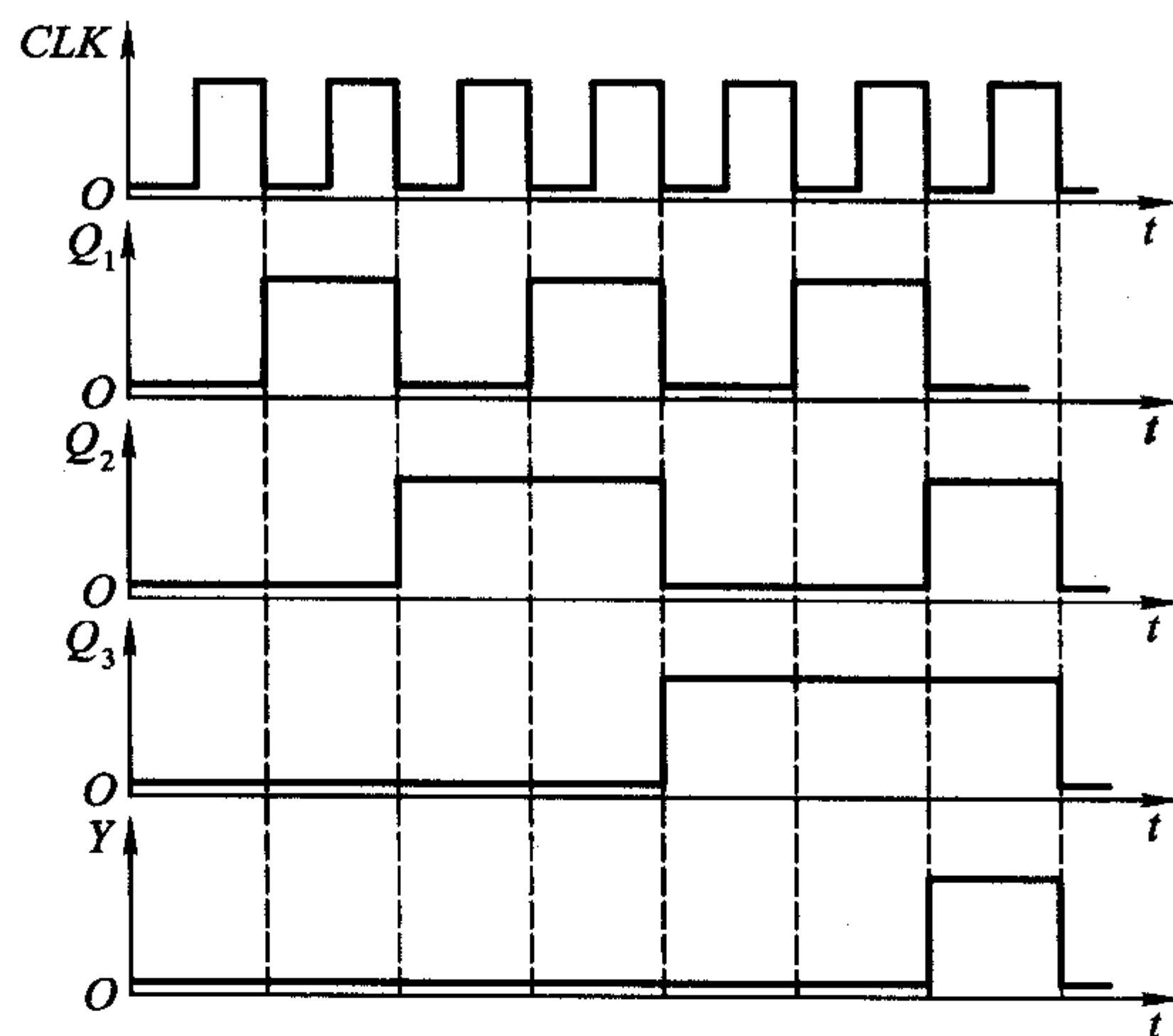


图 6.2.8 图 6.2.1 电路的时序图

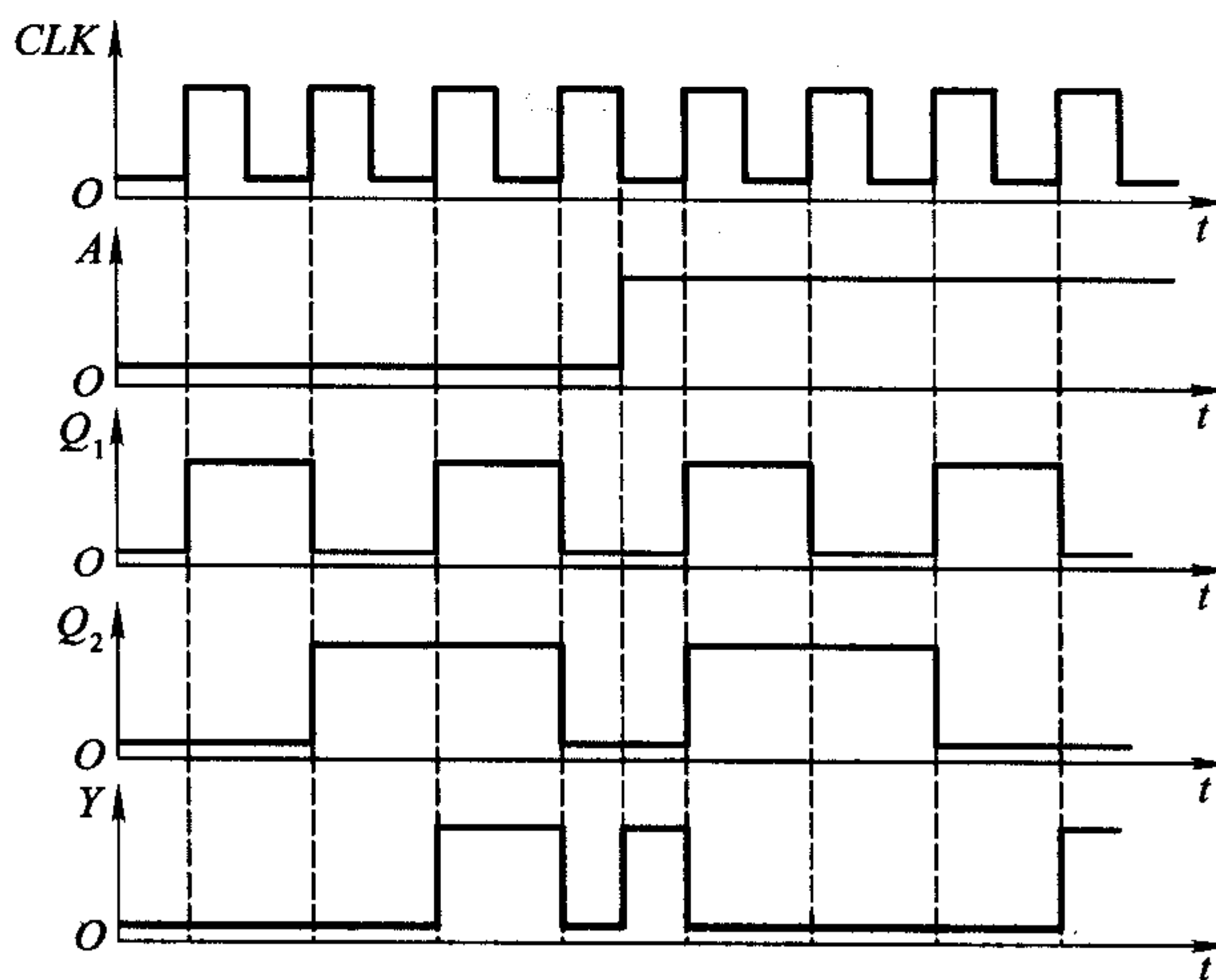


图 6.2.9 图 6.2.3 电路的时序图

复习思考题

R6.2.1 时序电路逻辑功能的描述方式有哪几种? 你能将其中任何一种描述方式转换为其他各种描述方式吗?

* 6.2.3 异步时序逻辑电路的分析方法

异步时序电路的分析方法和同步时序电路的分析方法有所不同。在异步时序电路中,每次电路状态发生转换时并不是所有触发器都有时钟信号。只有那些有时钟信号的触发器才需要用特性方程去计算次态,而没有时钟信号的触发器将保持原来的状态不变。

因此,在分析异步时序电路时还需要找出每次电路状态转换时哪些触发器有时钟信号,哪些触发器没有时钟信号。可见,分析异步时序电路要比分析同步时序电路复杂。

下面通过一个例子具体说明一下分析的方法和步骤。

【例 6.2.4】 已知异步时序电路的逻辑图如图 6.2.10 所示,试分析它的逻辑功能,画出电路的状态转换图和时序图。触发器和门电路均为 TTL 电路。

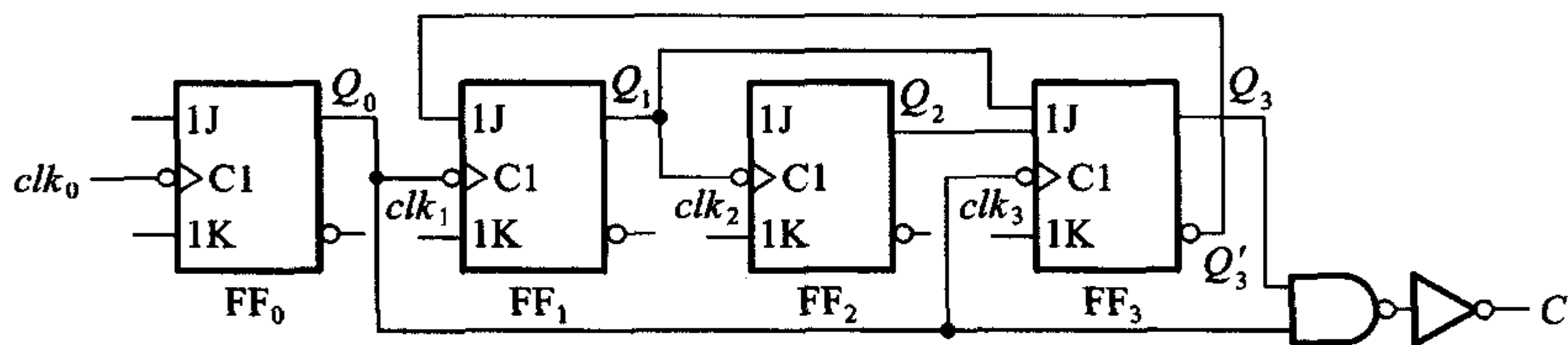


图 6.2.10 例 6.2.4 的异步时序逻辑电路

解: 首先根据逻辑图可写出驱动方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3', & K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_1 Q_2, & K_3 = 1 \end{cases} \quad (6.2.7)$$

将式(6.2.7)代入 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ 后得到电路的状态方程

$$\begin{cases} Q_0^* = Q_0' \cdot clk_0 \\ Q_1^* = Q_3' Q_1' \cdot clk_1 \\ Q_2^* = Q_2' \cdot clk_2 \\ Q_3^* = Q_1 Q_2 Q_3' \cdot clk_3 \end{cases} \quad (6.2.8)$$

式中以小写的 clk 表示时钟信号,它不是一个逻辑变量。对下降沿动作的触发器而言, $clk = 1$ 仅表示时钟输入端有下降沿到达;对上升沿动作的触发器而

言, $clk = 1$ 表示时钟输入端有上升沿到达。 $clk = 0$ 表示没有时钟信号到达, 触发器保持原来的状态不变。

根据电路图写出输出方程为

$$C = Q_0 Q_3 \tag{6.2.9}$$

为了画电路的状态转换图, 需列出电路的状态转换表。在计算触发器的次态时, 首先应找出每次电路状态转换时各个触发器是否有 clk 信号。为此, 可以从给定的 clk_0 连续作用下列出 Q_0 的对应值 (如表 6.2.4 中所示)。根据 Q_0 每次从 1 变 0 的时刻产生 clk_1 和 clk_3 , 即可得到表 6.2.4 中 clk_1 和 clk_3 的对应值。而 Q_1 每次从 1 变 0 的时刻将产生 clk_2 。以 $Q_3 Q_2 Q_1 Q_0 = 0000$ 为初态代入式 (6.2.8) 和式 (6.2.9) 依次计算下去, 就得到了表 6.2.4 所示的状态转换表。

表 6.2.4 图 6.2.10 电路的状态转换表

clk_0 的 顺序	触发器状态				时钟信号				输出 C
	Q_3	Q_2	Q_1	Q_0	clk_3	clk_2	clk_1	clk_0	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

由于图 6.2.10 所示电路中有 4 个触发器, 它们的状态组合有 16 种, 而表 6.2.4 中只包含了 10 种, 因此需要分别求出其余 6 种状态下的输出和次态。将这些计算结果补充到表 6.2.4 中, 才是完整的状态转换表。完整的电路状态转换图如图 6.2.11 所示。状态转换图表明, 当电路处于表 6.2.4 中所列 10 种状态以外的任何一种状态时, 都会在时钟信号作用下最终进入表 6.2.4 中的状态循环中去。具有这种特点的时序电路称为能够自行启动的时序电路。

从图 6.2.11 的状态转换图还可以看出, 图 6.2.10 电路是一个异步十进制加法计数器电路。

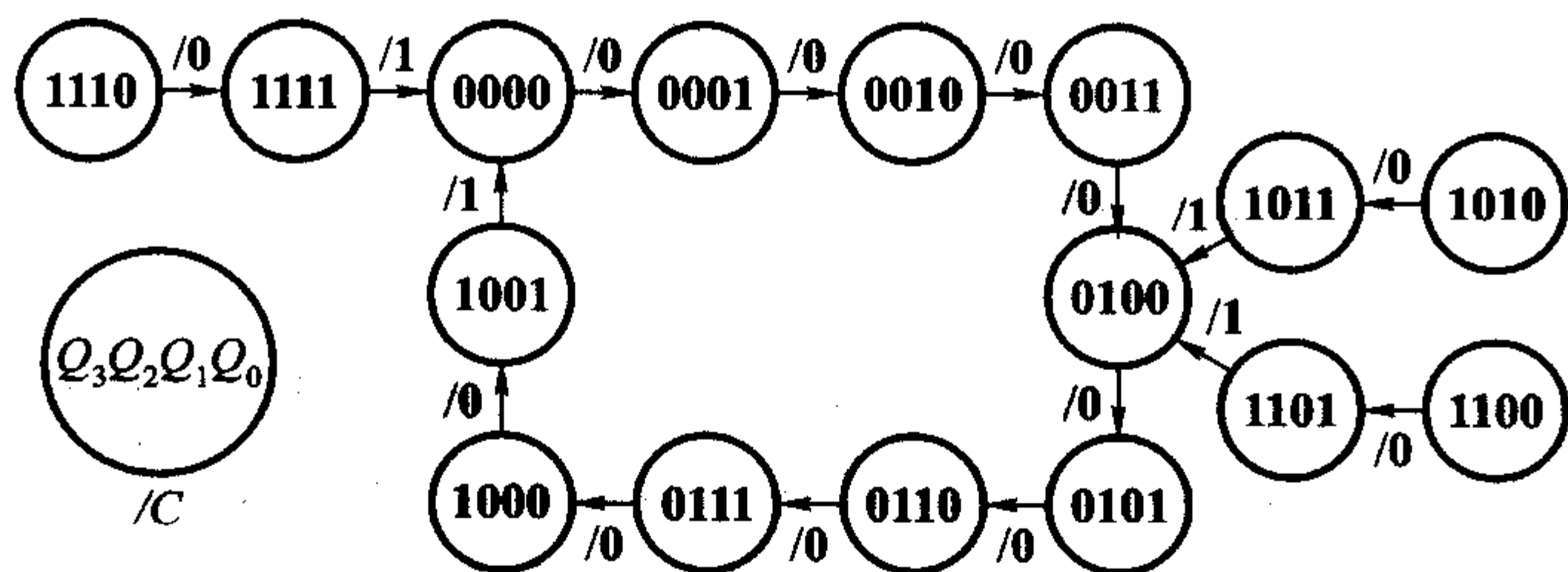


图 6.2.11 图 6.2.10 电路的状态转换图

6.3 若干常用的时序逻辑电路

6.3.1 寄存器和移位寄存器

一、寄存器

寄存器 (Register) 用于寄存一组二值代码, 它被广泛地用于各类数字系统和数字计算机中。

因为一个触发器能储存 1 位二值代码, 所以用 N 个触发器组成的寄存器能储存一组 N 位的二值代码。

对寄存器中的触发器只要求它们具有置 1、置 0 的功能即可, 因而无论是用电平触发的触发器, 还是用脉冲触发或边沿触发的触发器, 都可以组成寄存器。

图 6.3.1 是一个用电平触发的同步 SR 触发器组成的 4 位寄存器的实例——74LS75 的逻辑图。由电平触发的动作特点可知, 在 CLK 的高电平期间 Q 端的状态跟随 D 端状态而变, 在 CLK 变成低电平以后, Q 端将保持 CLK 变为低电平时刻 D 端的状态。

74HC175 则是用 CMOS 边沿触发器组成的 4 位寄存器, 它的逻辑图如图 6.3.2 所示。根据边沿触发的动作特点可知, 触发器输出端的状态仅仅取决于 CLK 上升沿到达时刻 D 端的状态。可见, 虽然 74LS75 和 74HC175 都是 4 位寄存器, 但由于采用了不同结构类型的触发器, 所以动作特点是不同的。

为了增加使用的灵活性, 在有些寄存器电路中还附加了一些控制电路, 使寄存器又增添了异步置 0、输出三态控制和“保持”等功能。这里所说的“保持”, 是指 CLK 信号到达时触发器不随 D 端的输入信号而改变状态, 保持原来的状态不变。

在上面介绍的两个寄存器电路中, 接收数据时所有各位代码是同时输入的, 而且触发器中的数据是并行地出现在输出端的, 因此将这种输入、输出方式称为

并行输入、并行输出方式。

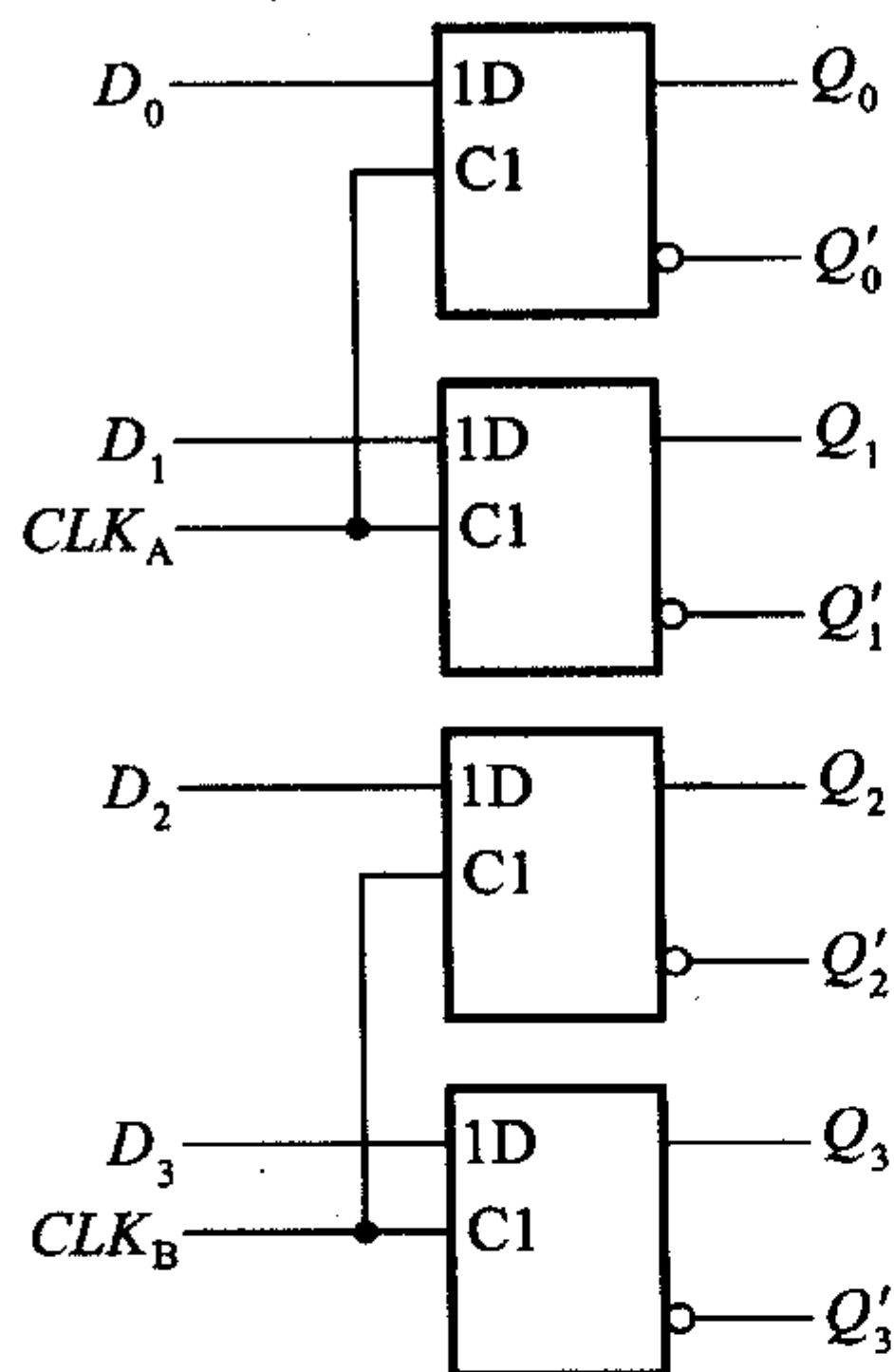


图 6.3.1 74LS75 的逻辑图

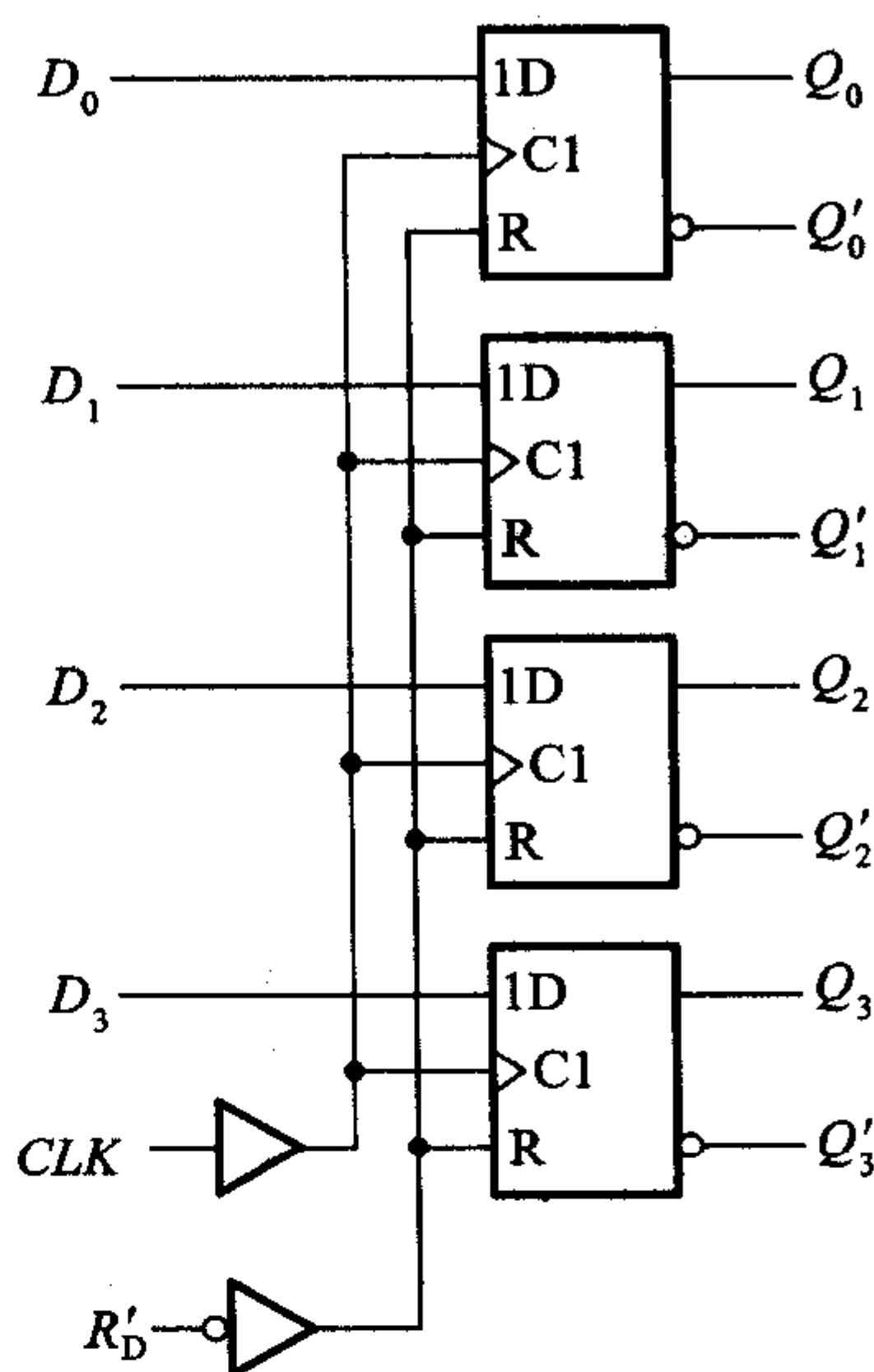


图 6.3.2 74HC175 的逻辑图

二、移位寄存器

移位寄存器 (Shift Register) 除了具有存储代码的功能以外,还具有移位功能。所谓移位功能,是指寄存器里存储的代码能在移位脉冲的作用下依次左移或右移。因此,移位寄存器不但可以用来寄存代码,还可以用来实现数据的串行-并行转换、数值的运算以及数据处理等。

图 6.3.3 所示电路是由边沿触发方式的 D 触发器组成的 4 位移位寄存器,其中第一个触发器 FF_0 的输入端接收输入信号,其余的每个触发器输入端均与前边一个触发器的 Q 端相连。

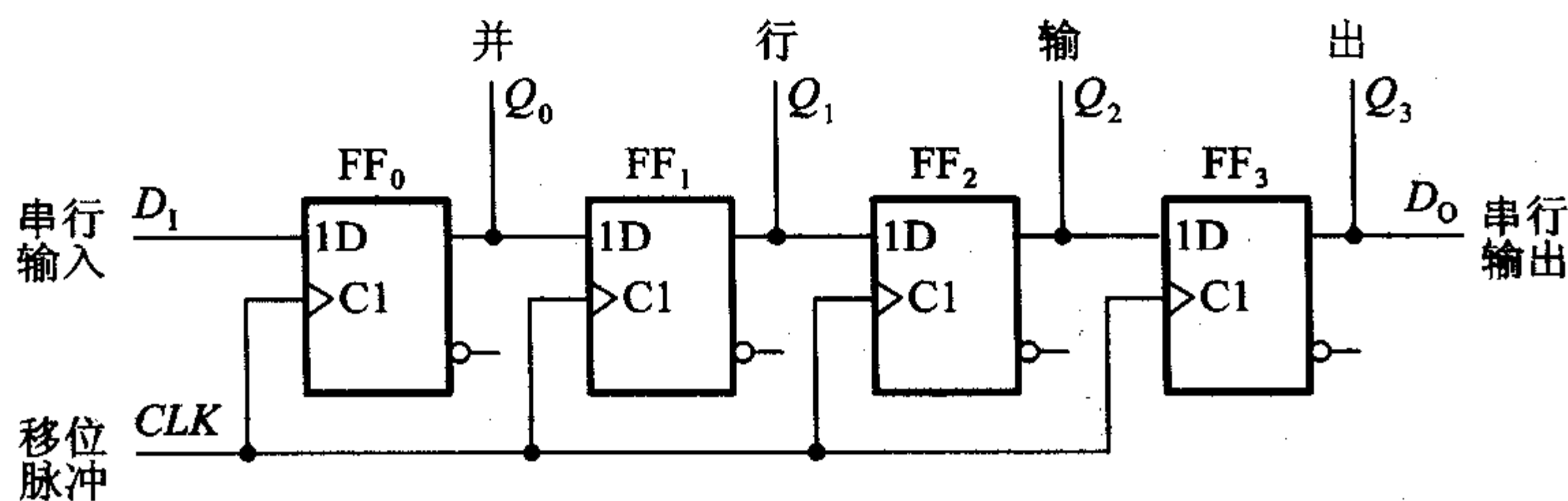


图 6.3.3 用 D 触发器构成的移位寄存器

因为从 CLK 上升沿到达开始到输出端新状态的建立需要经过一段传输延迟时间,所以当 CLK 的上升沿同时作用于所有的触发器时,它们输入端 (D 端)