

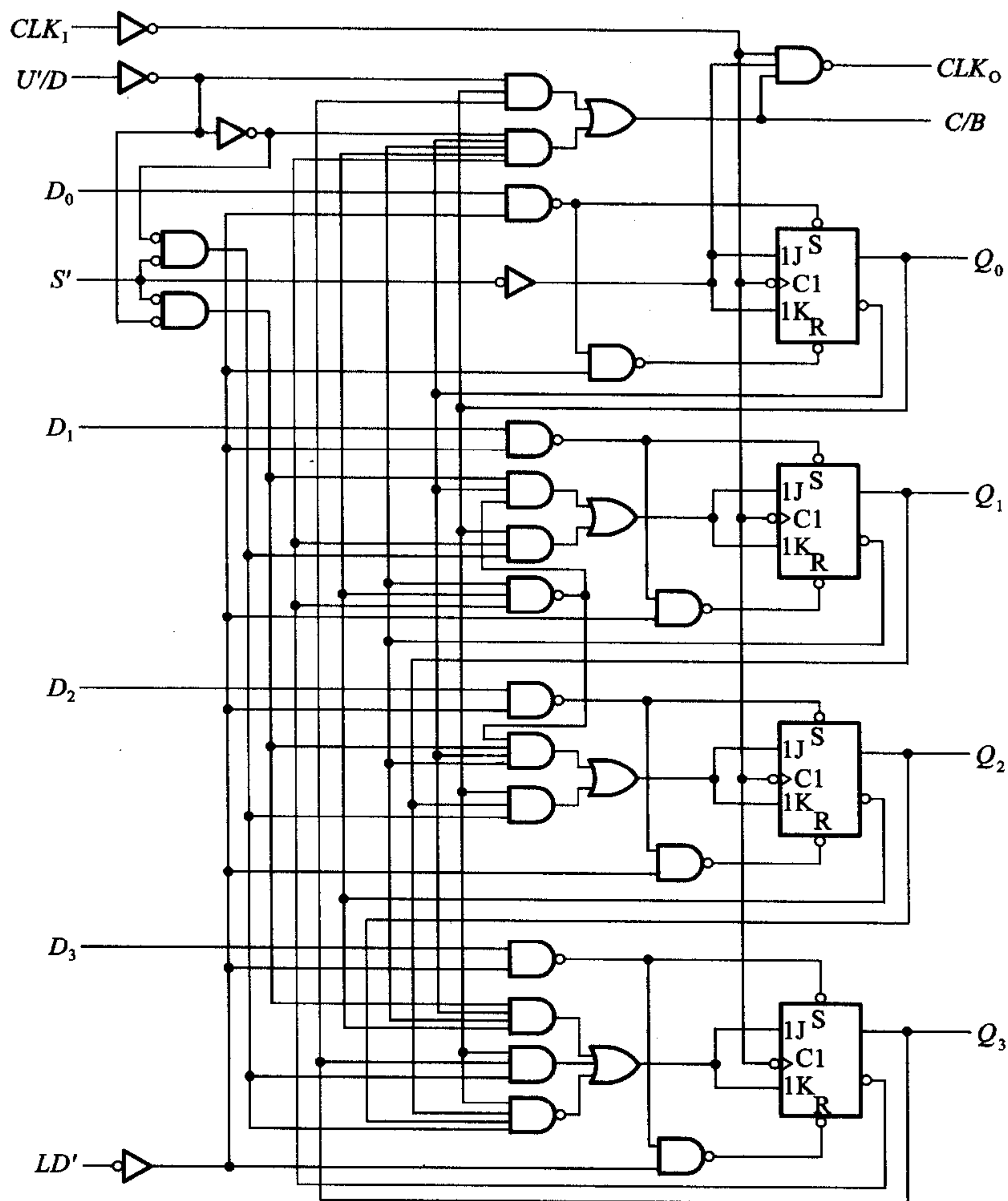


图 6.3.24 单时钟同步十进制加/减计数器 74LS190

二、异步计数器

1. 异步二进制计数器

异步计数器在做“加 1”计数时是采取从低位到高位逐位进位的方式工作的。因此,其中的各个触发器不是同步翻转的。

首先讨论二进制加法计数器的构成方法。按照二进制加法计数规则,每一位如果已经是 1,则再记入 1 时应变为 0,同时向高位发出进位信号,使高位翻转。若使用下降沿动作的 T 触发器组成计数器并令 $T=1$,则只要将低位触发器的 Q 端接至高位触发器的时钟输入端就行了。当低位由 1 变为 0 时, Q 端的下降

沿正好可以作为高位的时钟信号。

图 6.3.25 是用下降沿触发的 T 触发器组成的 3 位二进制加法计数器, T 触发器是令 JK 触发器的 $J = K = 1$ 而得到的。因为所有的触发器都是在时钟信号下降沿动作, 所以进位信号应从低位的 Q 端引出。最低位触发器的时钟信号 CLK_0 也就是要记录的计数输入脉冲。

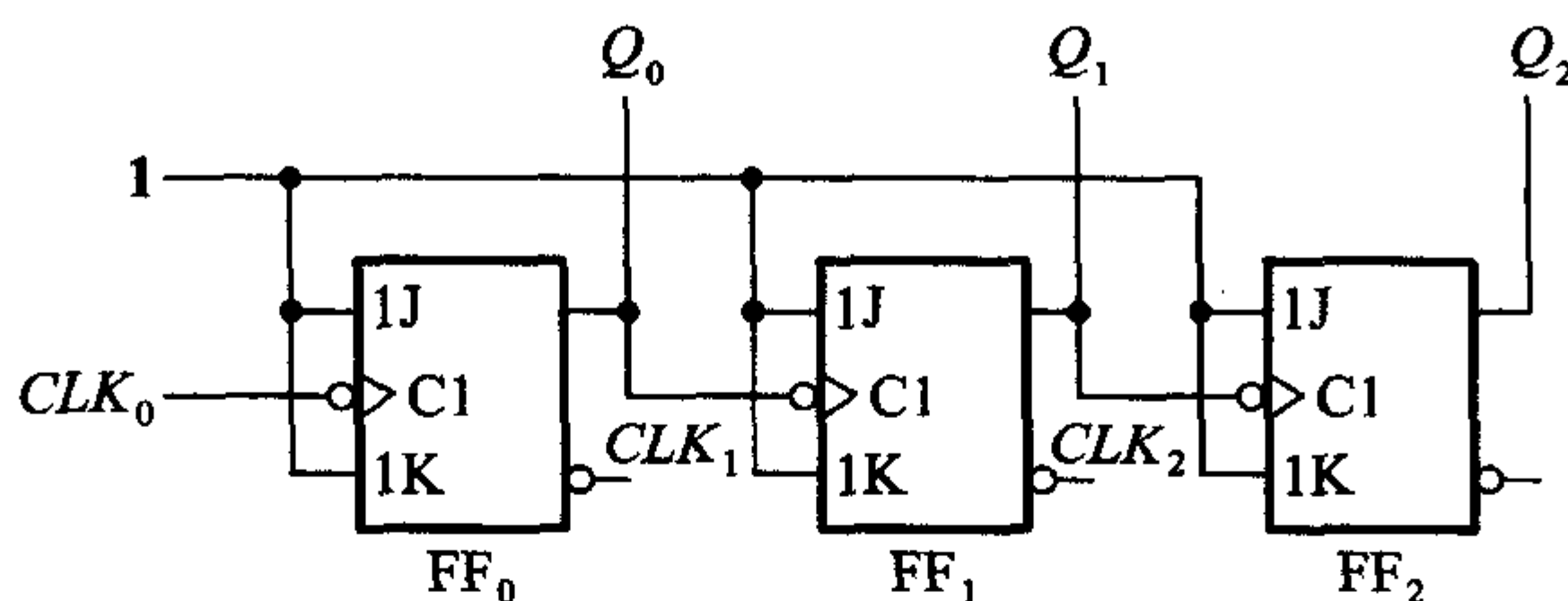


图 6.3.25 下降沿动作的异步二进制加法计数器

根据 T 触发器的翻转规律即可画出在一系列 CLK_0 脉冲信号作用下 Q_0 、 Q_1 、 Q_2 的电压波形, 如图 6.3.26 所示。由图可见, 触发器输出端新状态的建立要比 CLK 下降沿滞后一个触发器的传输延迟时间 t_{pd} 。

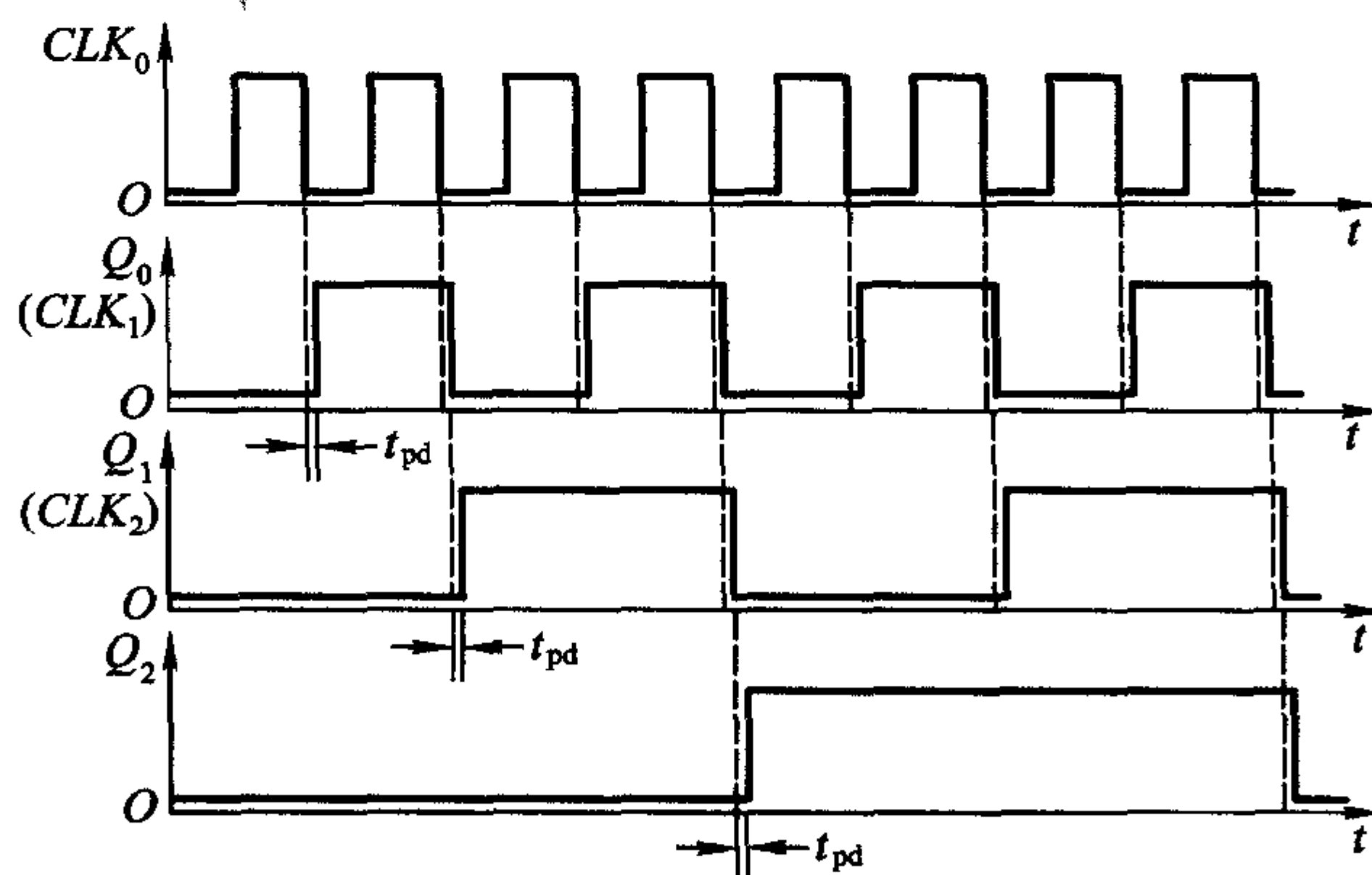


图 6.3.26 图 6.3.25 电路的时序图

从时序图出发还可以列出电路的状态转换表, 画出状态转换图。这些都和同步二进制计数器相同, 不再重复。

用上升沿触发的 T 触发器同样可以组成异步二进制加法计数器, 但每一级触发器的进位脉冲应改由 Q' 端输出。

如果将 T 触发器之间按二进制减法计数规则连接, 就得到二进制减法计数器。按照二进制减法计数规则, 若低位触发器已经为 0, 则再输入一个减法计数

脉冲后应翻成1,同时向高位发出借位信号,使高位翻转。图 6.3.27 就是按上述规则接成的 3 位二进制减法计数器。图中仍采用下降沿动作的 JK 触发器接成 T 触发器使用,并令 $T=1$ 。它的时序图如图 6.3.28 所示。

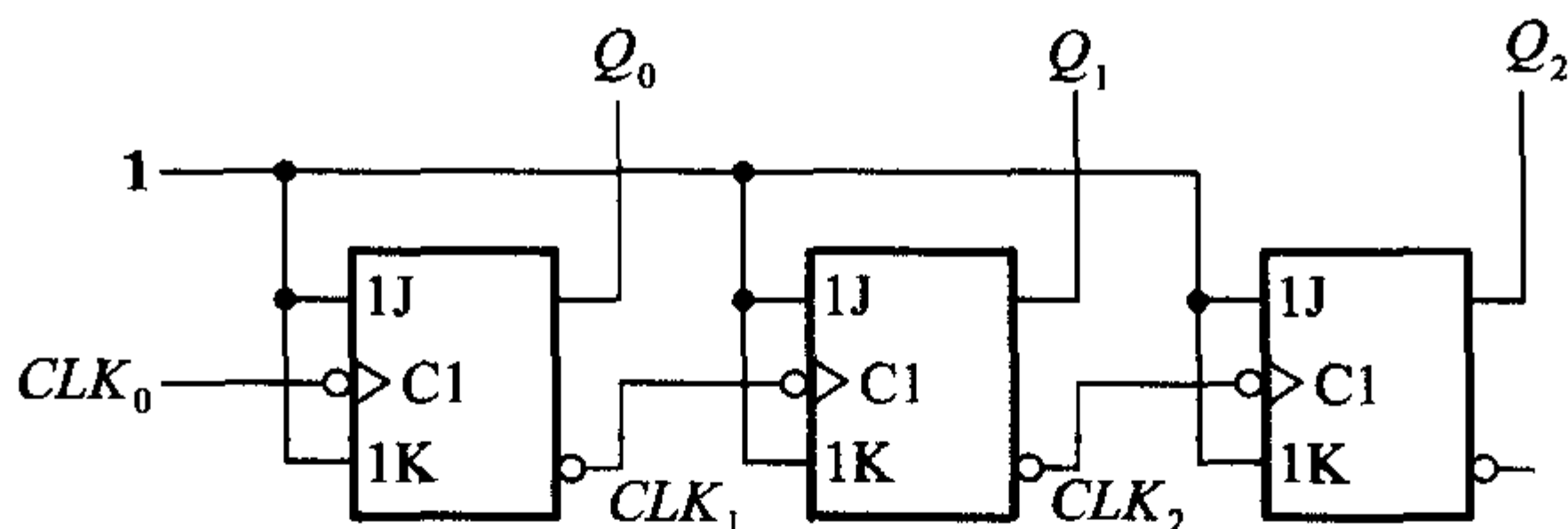


图 6.3.27 下降沿动作的异步二进制减法计数器

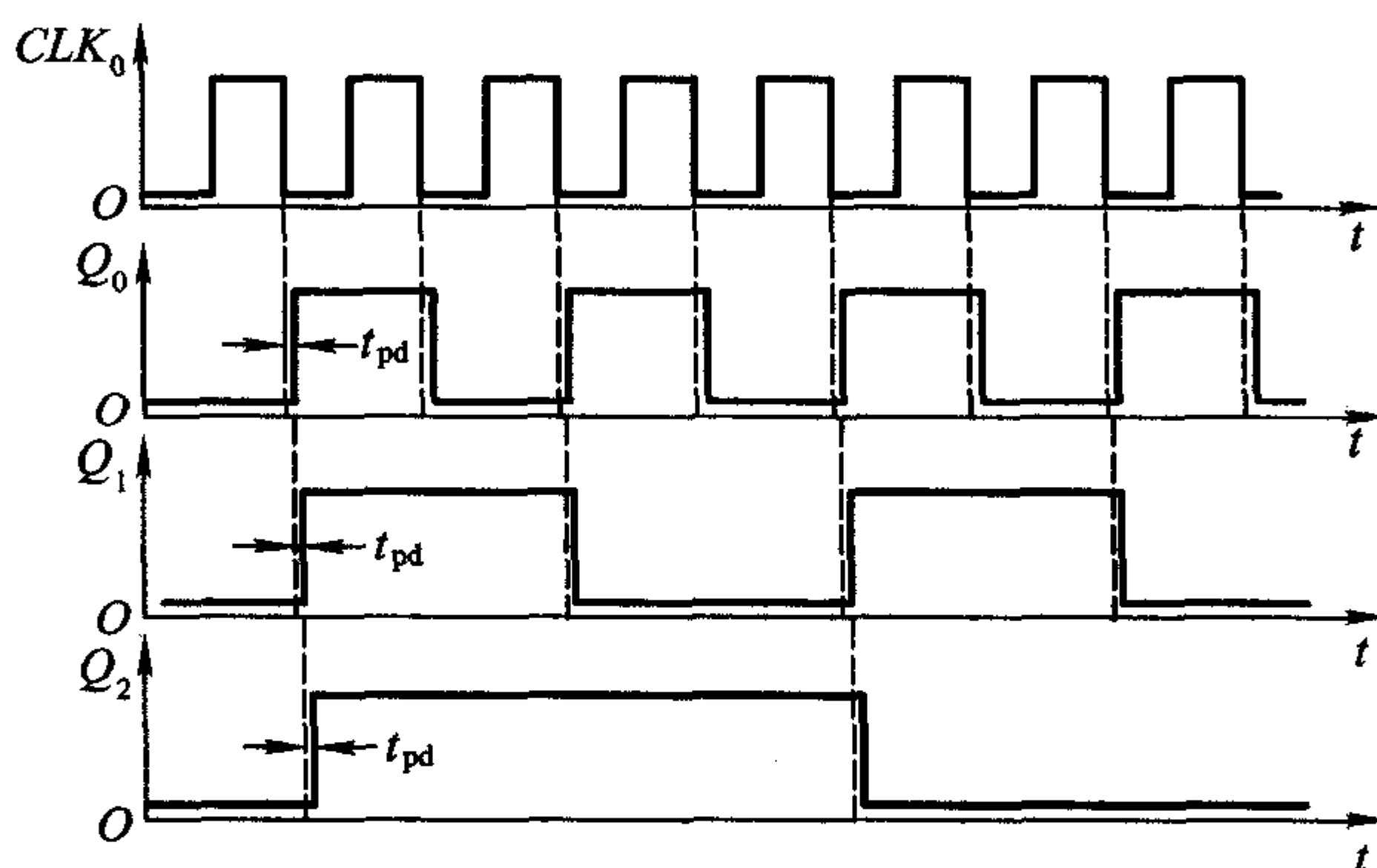


图 6.3.28 图 6.3.27 电路的时序图

将异步二进制减法计数器和异步二进制加法计数器做个比较即可发现,它们都是将低位触发器的一个输出端接到高位触发器的时钟输入端而组成的。在采用下降沿动作的 T 触发器时,加法计数器以 Q 端为输出端,减法计数器以 Q' 端为输出端。而在采用上升沿动作的 T 触发器时,情况正好相反,加法计数器以 Q' 端为输出端,减法计数器以 Q 端为输出端。

目前常见的异步二进制加法计数器产品有 4 位的(如 74LS293、74LS393、74HC393 等)、7 位的(如 CC4024 等)、12 位的(如 74HC4040 等)和 14 位的(如 74HC4020 等)几种类型。

2. 异步十进制计数器

异步十进制加法计数器是在 4 位异步二进制加法计数器的基础上加以修改而得到的。修改时要解决的问题是如何使 4 位二进制计数器在计数过程中跳过

从 1010 到 1111 这 6 个状态。

图 6.3.29 所示电路是异步十进制加法计数器的典型电路。假定所用的触发器为 TTL 电路, J 、 K 端悬空时相当于接逻辑 1 电平。

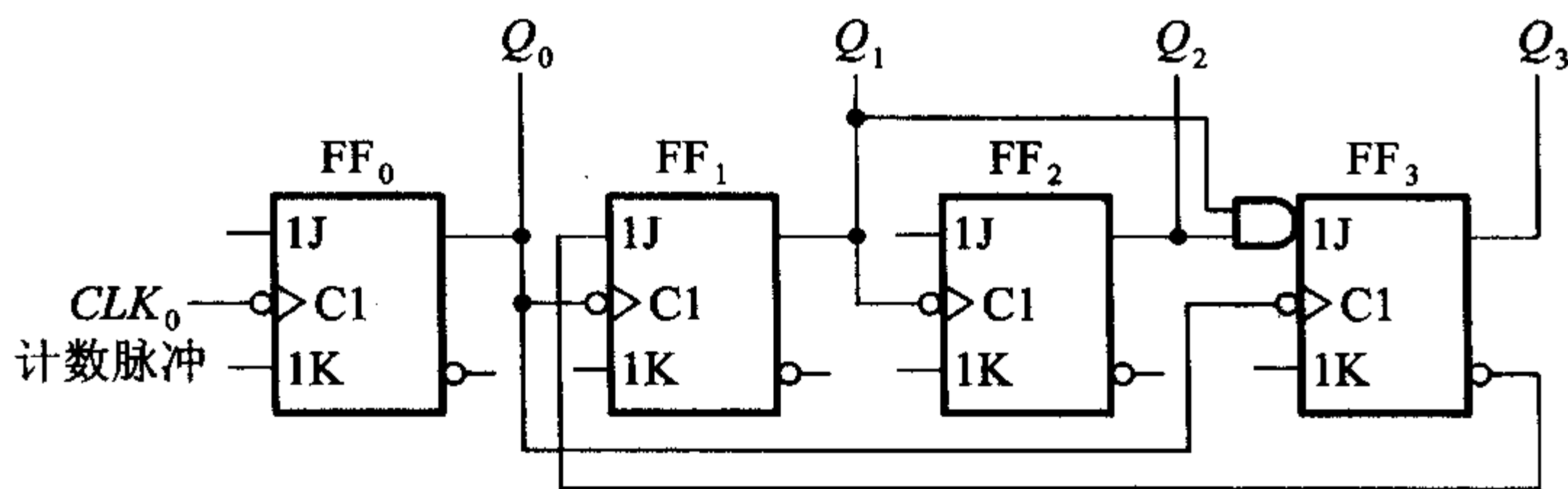


图 6.3.29 异步十进制加法计数器的典型电路

如果计数器从 $Q_3Q_2Q_1Q_0 = 0000$ 开始计数, 由图可知在输入第八个计数脉冲以前 FF_0 、 FF_1 和 FF_2 的 J 和 K 始终为 1, 即工作在 T 触发器的 $T=1$ 状态, 因而工作过程和异步二进制加法计数器相同。在此期间虽然 Q_0 输出的脉冲也送给了 FF_3 , 但由于每次 Q_0 的下降沿到达时 $J_3 = Q_1Q_2 = 0$, 所以 FF_3 一直保持 0 状态不变。

当第八个计数脉冲输入时, 由于 $J_3 = K_3 = 1$, 所以 Q_0 的下降沿到达以后 FF_3 由 0 变为 1。同时, J_1 也随 Q_3' 变为 0 状态。第九个计数脉冲输入以后, 电路状态变成 $Q_3Q_2Q_1Q_0 = 1001$ 。第十个计数脉冲输入后, FF_0 翻成 0, 同时 Q_0 的下降沿使 FF_3 置 0, 于是电路从 1001 返回到 0000, 跳过了 1010 ~ 1111 这 6 个状态, 成为十进制计数器。

将上述过程用电压波形表示, 即得图 6.3.30 所示的时序图。根据时序图又可列出电路的状态转换表, 画出电路的状态转换图。

通过这个例子可以看到, 在分析一些比较简单的异步时序电路时, 可以采取从物理概念出发直接画波形图的方法分析它的功能, 而不一定要按前面介绍的异步时序电路的分析方法去写方程式。

在讨论异步时序电路的分析方法时曾以图 6.2.10 所示电路作为例子(见例 6.2.4), 它与图 6.3.29 所示

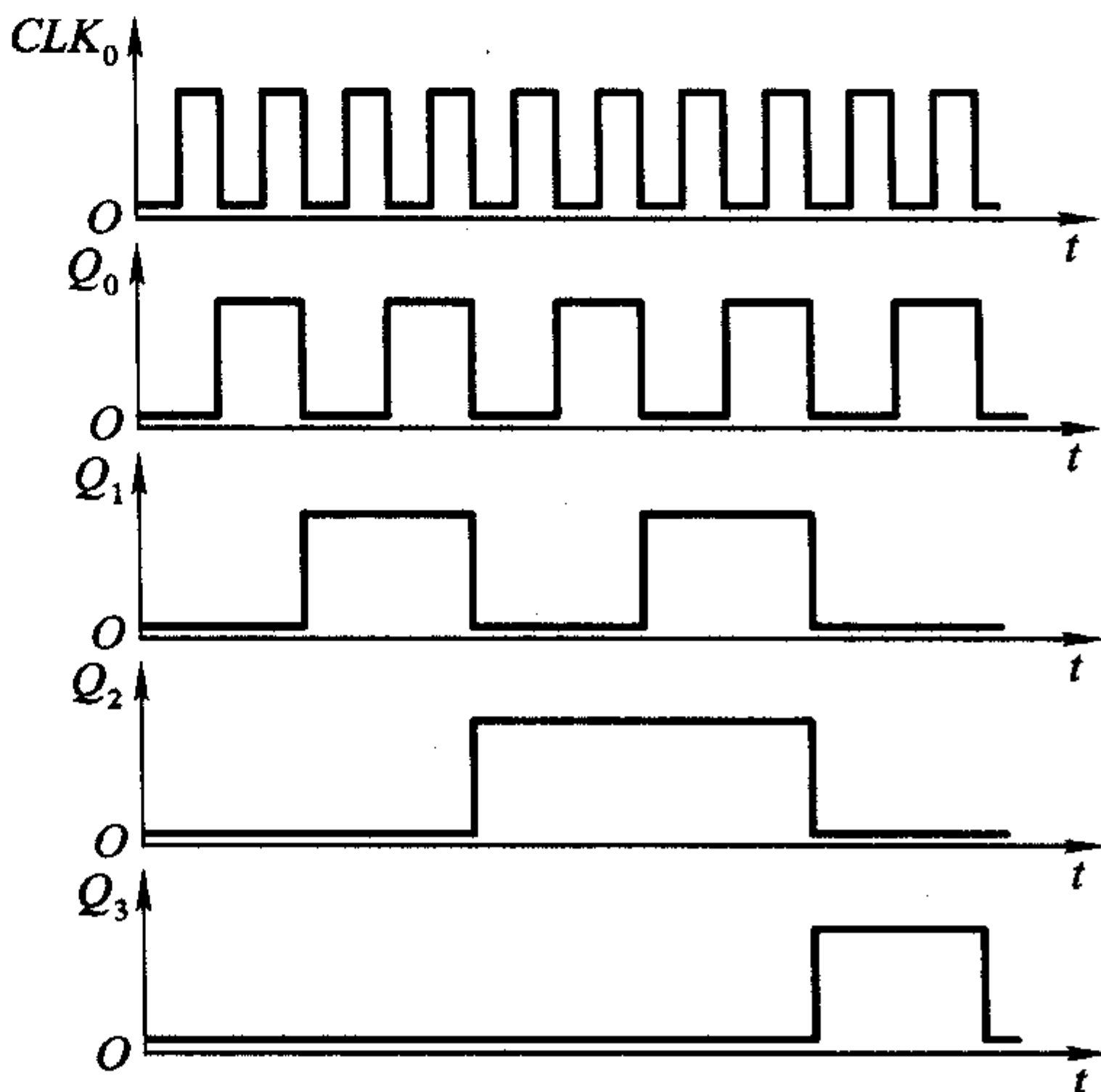


图 6.3.30 图 6.3.29 电路的时序图

电路的差别仅在于多一个进位输出端 C 。因此,图 6.2.10 所示电路的状态转换表和状态转换图就是异步十进制加法计数器的状态转换表和状态转换图。

74LS290 就是按照图 6.3.29 所示电路的原理制成的异步十进制加法计数器,它的逻辑图示于图 6.3.31 中。为了增加使用的灵活性, FF_1 和 FF_3 的 CLK 端没有与 Q_0 端连在一起,而从 CLK_1 端单独引出。若以 CLK_0 为计数输入端、 Q_0 为输出端,即得到二进制计数器(或二分频器);若以 CLK_1 为输入端、 Q_3 为输出端,则得到五进制计数器(或五分频器);若将 CLK_1 与 Q_0 相连,同时以 CLK_0 为输入端、 Q_3 为输出端,则得到十进制计数器(或十分频器)。因此,又将这个电路称为二-五-十进制异步计数器。

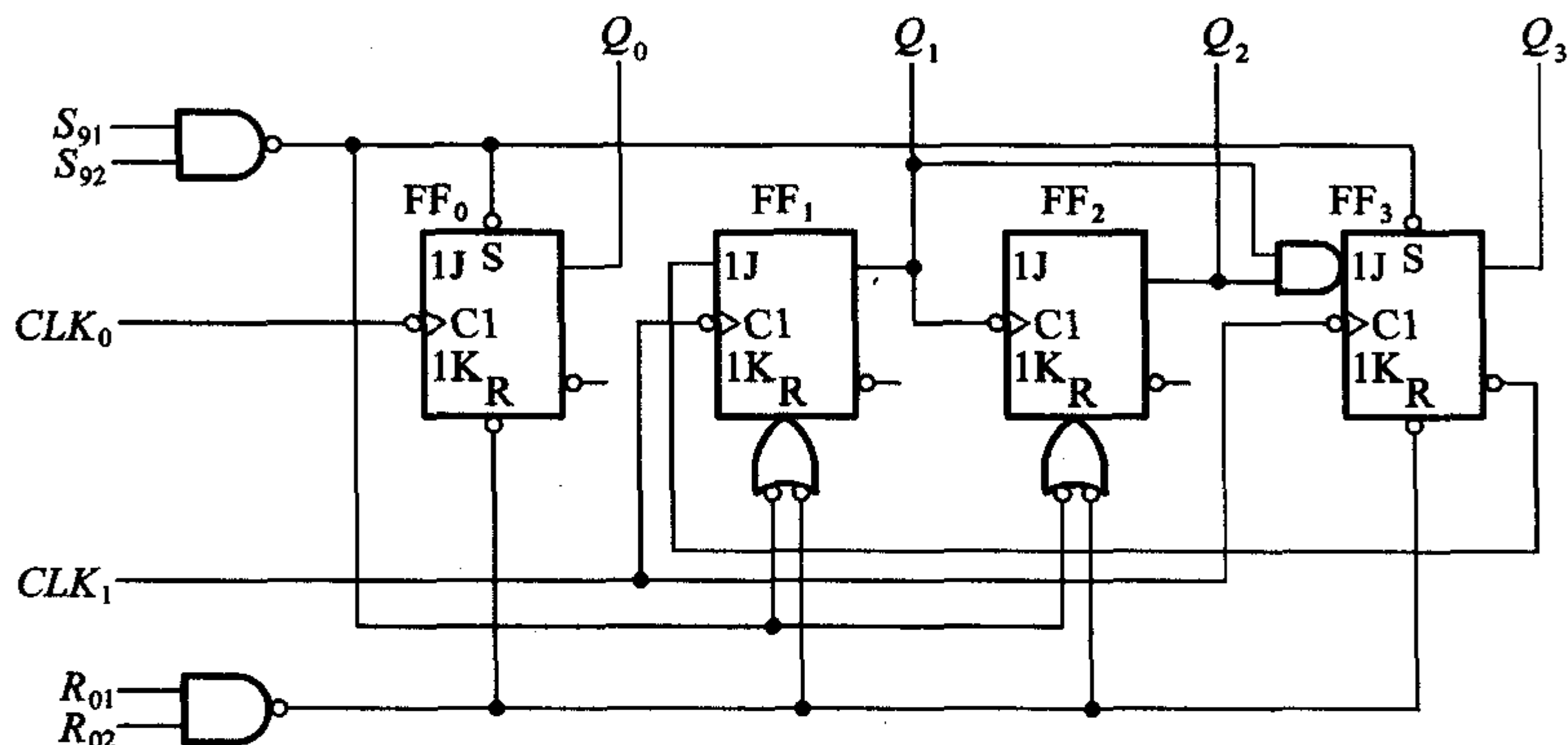


图 6.3.31 二-五-十进制异步计数器 74LS290

此外,在图 6.3.31 电路中还设置了两个置 0 输入端 R_{01} 、 R_{02} 和两个置 9 输入端 S_{91} 、 S_{92} ,以便于工作时根据需要将计数器预先置成 0000 或 1001 状态。

和同步计数器相比,异步计数器具有结构简单的优点。在用 T 触发器构成二进制计数器时,可以不附加任何其他电路。但异步计数器也存在两个明显的缺点。第一个缺点是工作频率比较低。因为异步计数器的各级触发器是以串行进位方式连接的,所以在最不利的情况下要经过所有各级触发器传输延迟时间之和以后,新状态才能稳定建立起来。第二个缺点是在电路状态译码时存在竞争-冒险现象。这两个缺点使异步计数器的应用受到了很大的限制。

三、任意进制计数器的构成方法

从降低成本的角度考虑,集成电路的定型产品必须有足够大的批量。因此,目前常见的计数器芯片在计数进制上只做成应用较广的几种类型,如十进制、十六进制、7 位二进制、12 位二进制、14 位二进制等。在需要其他任意一种进制的计数器时,只能用已有的计数器产品经过外电路的不同连接方式得到。

假定已有的是 N 进制计数器,而需要得到的是 M 进制计数器。这时有 $M <$

N 和 $M > N$ 两种可能的情况。下面分别讨论两种情况下构成任意一种进制计数器的方法。

1. $M < N$ 的情况

在 N 进制计数器的顺序计数过程中,若设法使之跳越 $N - M$ 个状态,就可以得到 M 进制计数器了。

实现跳跃的方法有置零法(或称复位法)和置数法(或称置位法)两种。

置零法适用于有置零输入端的计数器。对于有异步置零输入端的计数器,它的工作原理是这样的:设原有的计数器为 N 进制,当它从全 0 状态 S_0 开始计数并接收了 M 个计数脉冲以后,电路进入 S_M 状态。如果将 S_M 状态译码产生一个置零信号加到计数器的异步置零输入端,则计数器将立刻返回 S_0 状态,这样就可以跳过 $N - M$ 个状态而得到 M 进制计数器(或称为分频器)。图 6.3.32 (a) 为置零法原理示意图。

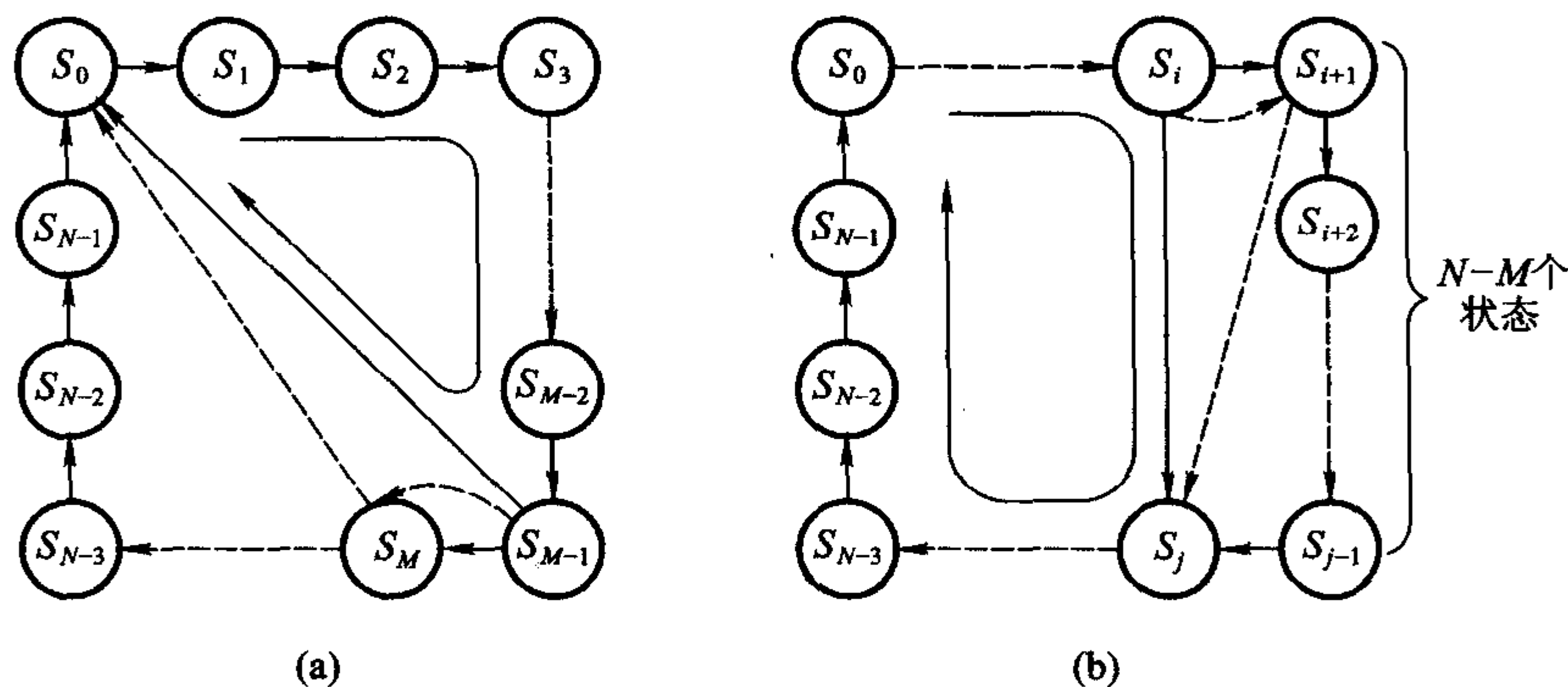


图 6.3.32 获得任意进制计数器的两种方法

(a) 置零法 (b) 置数法

由于电路一进入 S_M 状态后立即又被置成 S_0 状态,所以 S_M 状态仅在极短的瞬时出现,在稳定的状态循环中不包括 S_M 状态。

而对于有同步置零输入端的计数器,由于置零输入端变为有效电平后计数器并不会立刻被置零,必须等下一个时钟信号到达后,才能将计数器置零,因而应由 S_{M-1} 状态译出同步置零信号。而且, S_{M-1} 状态包含在稳定状态的循环当中。例如同步十进制计数器 74162、同步十六进制计数器 74163 就都是采用同步置零方式。

置位法与置零法不同,它是通过给计数器重复置入某个数值的方法跳越 $N - M$ 个状态,从而获得 M 进制计数器的,如图 6.3.32(b) 所示。置数操作可以在电路的任何一个状态下进行。这种方法适用于有预置数功能的计数器电路。

对于同步式预置数的计数器(如 74160、74161), $LD' = 0$ 的信号应从 S_i 状态译出,待下一个 CLK 信号到来时,才将要置入的数据置入计数器中。稳定的状态循环中包含有 S_i 状态。而对于异步式预置数的计数器(如 74LS190、74LS191),只要 $LD' = 0$ 信号一出现,立即会将数据置入计数器中,而不受 CLK 信号的控制,因此 $LD' = 0$ 信号应从 S_{i+1} 状态译出。 S_{i+1} 状态只在极短的瞬间出现,稳态的状态循环中不包含这个状态,如图 6.3.32(b) 中虚线所示。

【例 6.3.2】 试利用同步十进制计数器 74160 接成同步六进制计数器。74160 的逻辑图见图 6.3.21,它的功能表与 74161 的功能表(见表 6.3.4)相同。

解: 因为 74160 兼有异步置零和同步预置数功能,所以置零法和置数法均可采用。

图 6.3.33 所示电路是采用异步置零法接成的六进制计数器。当计数器计成 $Q_3Q_2Q_1Q_0 = 0110$ (即 S_M) 状态时,担任译码器的门 G 输出低电平信号给 R'_D 端,将计数器置零,回到 0000 状态。电路的状态转换图如图 6.3.34 所示。

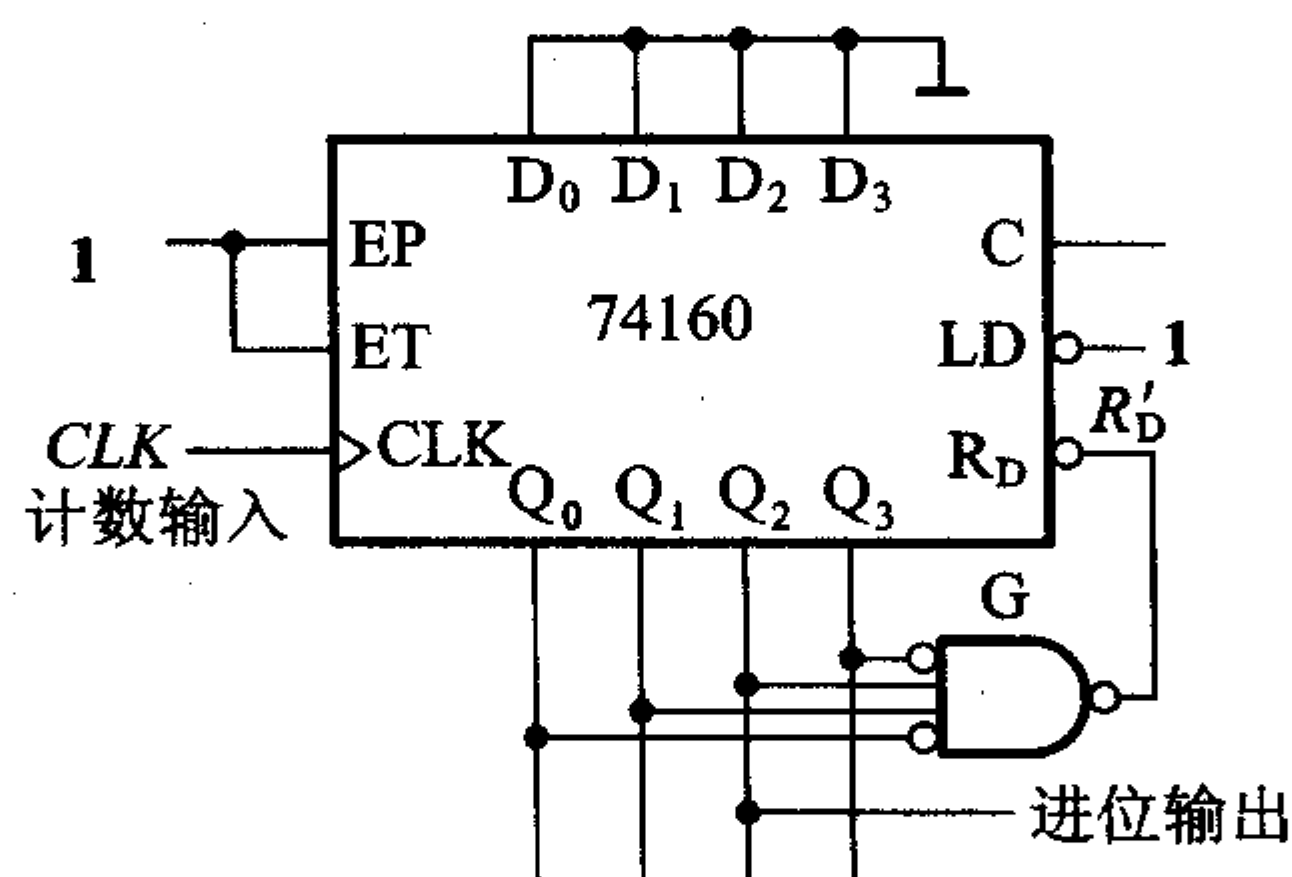


图 6.3.33 用置零法将 74160 接成六进制计数器

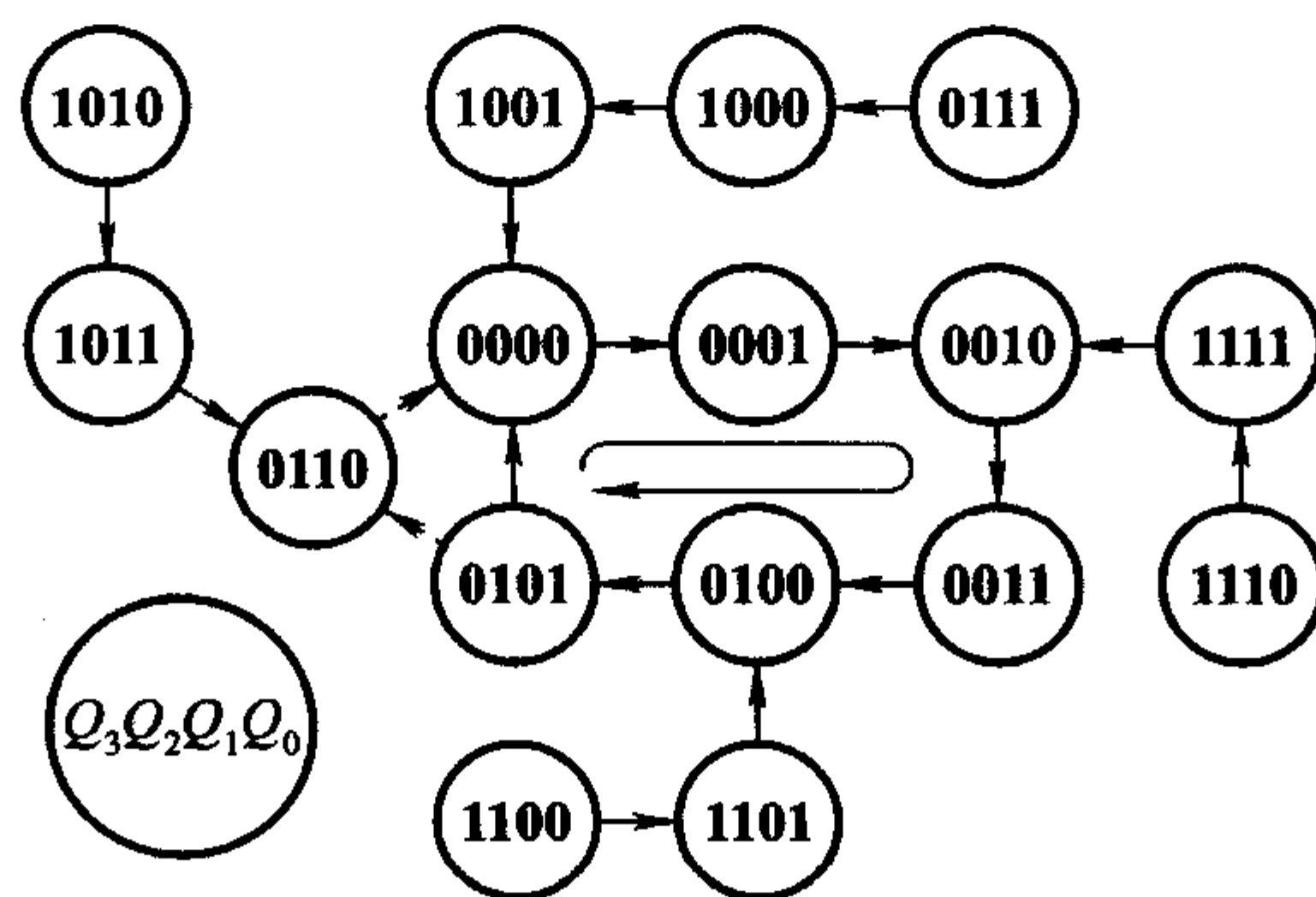


图 6.3.34 图 6.3.33 电路的状态转换图

由于置零信号随着计数器被置零而立即消失,所以置零信号持续时间极短,

如果触发器的复位速度有快有慢,则可能动作慢的触发器还未来得及复位,置零信号已经消失,导致电路误动作。因此,这种接法的电路可靠性不高。

为了克服这个缺点,时常采用图 6.3.35 所示的改进电路。图中的与非门 G_1 起译码器的作用,当电路进入 0110 状态时,它输出低电平信号。与非门 G_2 和 G_3 组成了 SR 锁存器,以它 Q' 端输出的低电平作为计数器的置零信号。

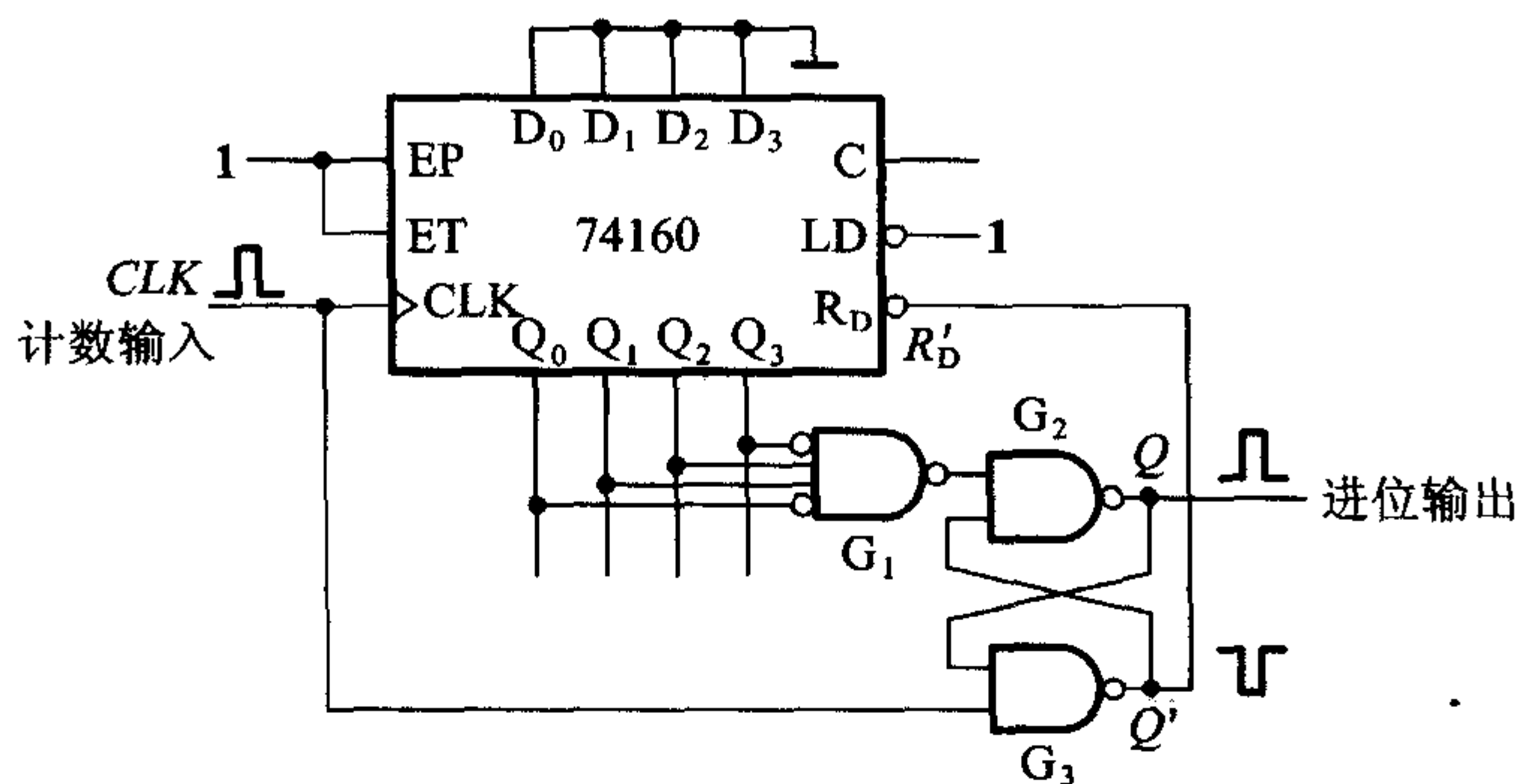


图 6.3.35 图 6.3.33 电路的改进

若计数器从 0000 状态开始计数,则第六个计数输入脉冲上升沿到达时计数器进入 0110 状态, G_1 输出低电平,将 SR 锁存器置 1, Q' 端的低电平立刻将计数器置零。这时虽然 G_1 输出的低电平信号随之消失了,但 SR 锁存器的状态仍保持不变,因而计数器的置零信号得以维持。直到计数脉冲回到低电平以后, SR 锁存器被置零, Q' 端的低电平信号才消失。可见,加到计数器 R_D 端的置零信号宽度与输入计数脉冲高电平持续时间相等。

同时,进位输出脉冲也可以从 SR 锁存器的 Q 端引出。这个脉冲的宽度与计数脉冲高电平宽度相等。

在有的计数器产品中,将 G_1 、 G_2 、 G_3 组成的附加电路直接制作在计数器芯片上,这样在使用时就不用外接附加电路了。

采用置数法时可以从计数循环中的任何一个状态置入适当的数值而跳越 $N-M$ 个状态,得到 M 进制计数器。图 6.3.36 中给出了两个不同的方案,其中图(a)的接法是用 $Q_3Q_2Q_1Q_0 = 0101$ 状态译码产生 $LD' = 0$ 信号,下一个 CLK 信号到达时置入 0000 状态,从而跳过 0110 ~ 1001 这 4 个状态,得到六进制计数器,如图 6.3.37 中的实线所表示的那样。

从图 6.3.37 所示的状态转换图中可以发现,图 6.3.36(a) 电路所取的 6 个循环状态中没有 1001 这个状态。因为进位输出信号 C 是由 1001 状态译码产生的,所以计数过程中 C 端始终没有输出信号。图 6.3.33 电路也存在同样的问题。这时的进位输出信号只能从 Q_2 端引出。

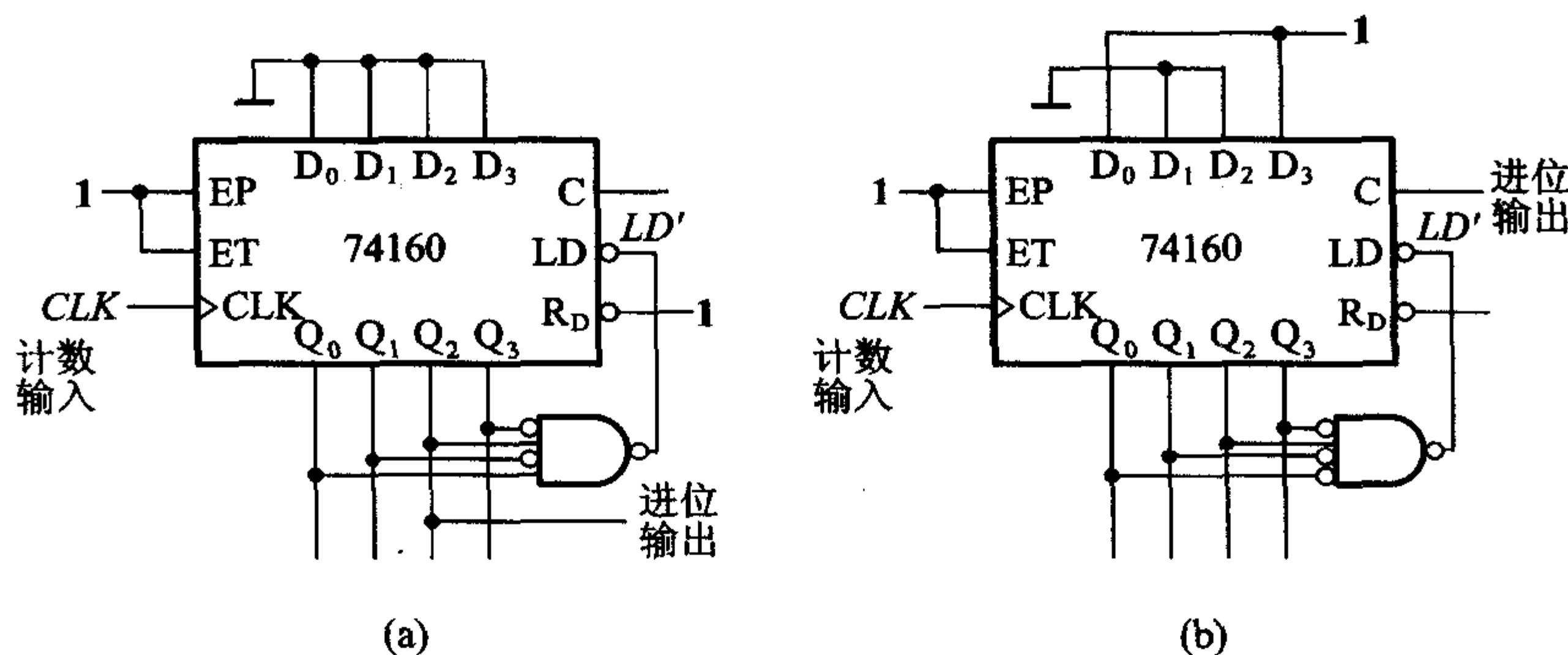


图 6.3.36 用置数法将 74160 接成六进制计数器

(a) 置入 0000 (b) 置入 1001

若采用图 6.3.36(b) 所示电路的方案,则可以从 C 端得到进位输出信号。在这种接法下,是用 **0100** 状态译码产生 $LD' = 0$ 信号,下一个 CLK 信号到来时置入 **1001** (如图 6.3.37 中的虚线所示),因而循环状态中包含了 **1001** 这个状态,每个计数循环都会在 C 端给出一个进位脉冲。

由于 74160 的预置数是同步式的,即 $LD' = 0$ 以后,还要等下一个 CLK 信号到来时才置入数据,而这时 $LD' = 0$ 的信号已稳定地建立了,所以不存在异步置零法中因置零信号持续时间过短而可靠性不高的问题。

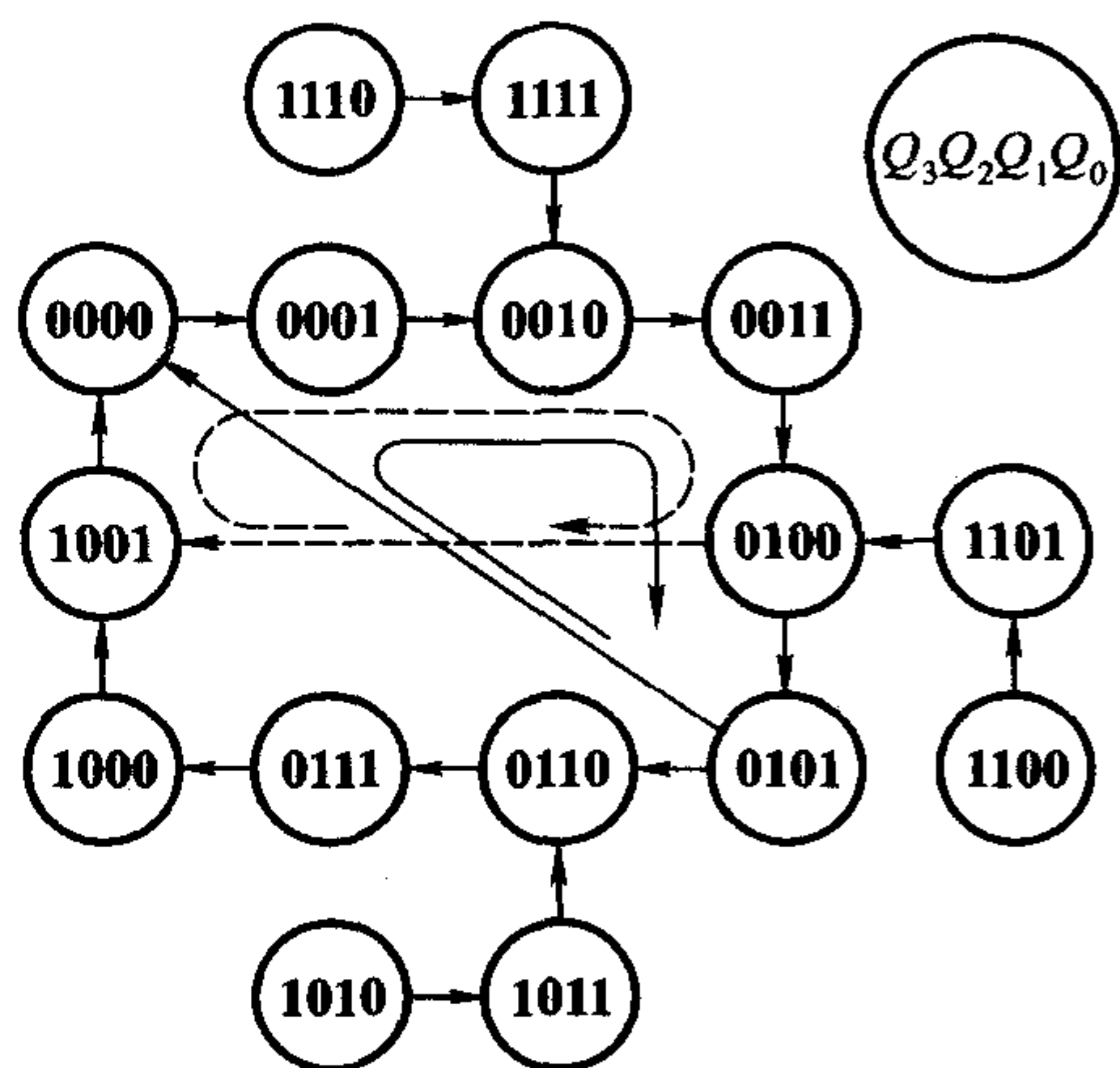


图 6.3.37 图 6.3.36 电路的状态转换图

2. $M > N$ 的情况

这时必须用多片 N 进制计数器组合起来,才能构成 M 进制计数器。各片之间(或称为各级之间)的连接方式可分为串行进位方式、并行进位方式、整体置零方式和整体置数方式几种。下面仅以两级之间的连接为例说明这四种连接方式的原理。

若 M 可以分解为两个小于 N 的因数相乘,即 $M = N_1 \times N_2$,则可采用串行进位方式或并行进位方式将一个 N_1 进制计数器和一个 N_2 进制计数器连接起来,构成 M 进制计数器。

在串行进位方式中,以低位片的进位输出信号作为高位片的时钟输入信号。在并行进位方式中,以低位片的进位输出信号作为高位片的工作状态控制信号

(计数的使能信号), 两片的 CLK 输入端同时接计数输入信号。

【例 6.3.3】 试用两片同步十进制计数器接成百进制计数器。

解: 本例中 $M = 100, N_1 = N_2 = 10$, 将两片 74160 直接按并行进位方式或串行进位方式连接即得百进制计数器。

图 6.3.38 所示电路是并行进位方式的接法。以第(1)片的进位输出 C 作为第(2)片的 EP 和 ET 输入, 每当第(1)片计成 9(1001)时 C 变为 1, 下个 CLK 信号到达时第(2)片为计数工作状态, 计入 1, 而第(1)片计成 0(0000), 它的 C 端回到低电平。第(1)片的 EP 和 ET 恒为 1, 始终处于计数工作状态。

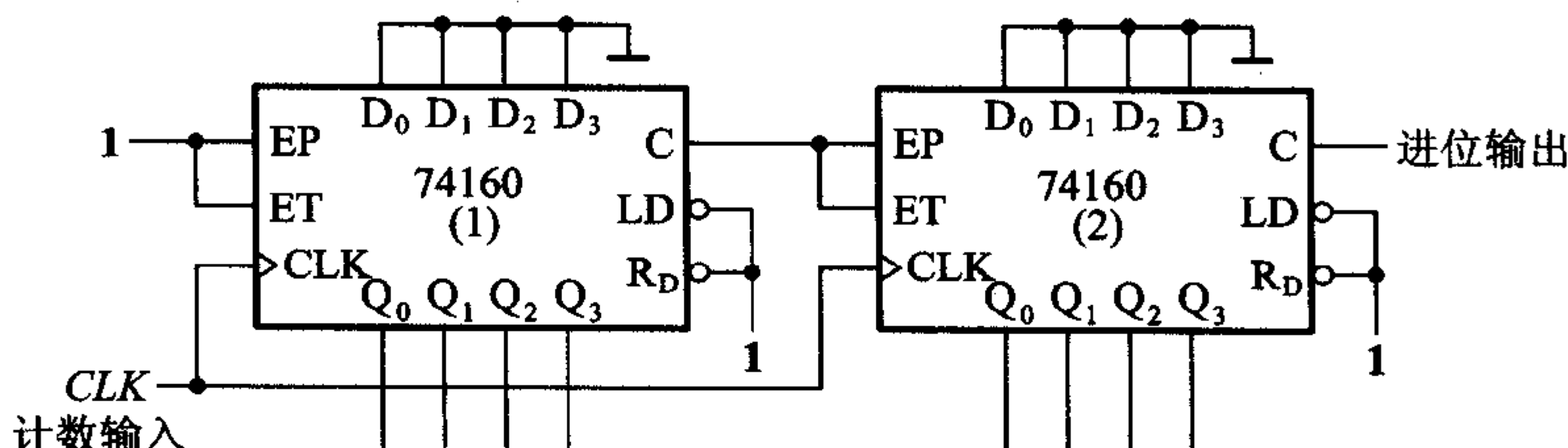


图 6.3.38 例 6.3.3 电路的并行进位方式

图 6.3.39 所示电路是串行进位方式的连接方法。两片 74160 的 EP 和 ET 恒为 1, 都工作在计数状态。第(1)片每计到 9(1001)时 C 端输出变为高电平, 经反相器后使第(2)片的 CLK 端为低电平。下一个计数输入脉冲到达后, 第(1)片计成 0(0000)状态, C 端跳回低电平, 经反相后使第(2)片的输入端产生一个正跳变, 于是第(2)片计入 1。可见, 在这种接法下两片 74160 不是同步工作的。

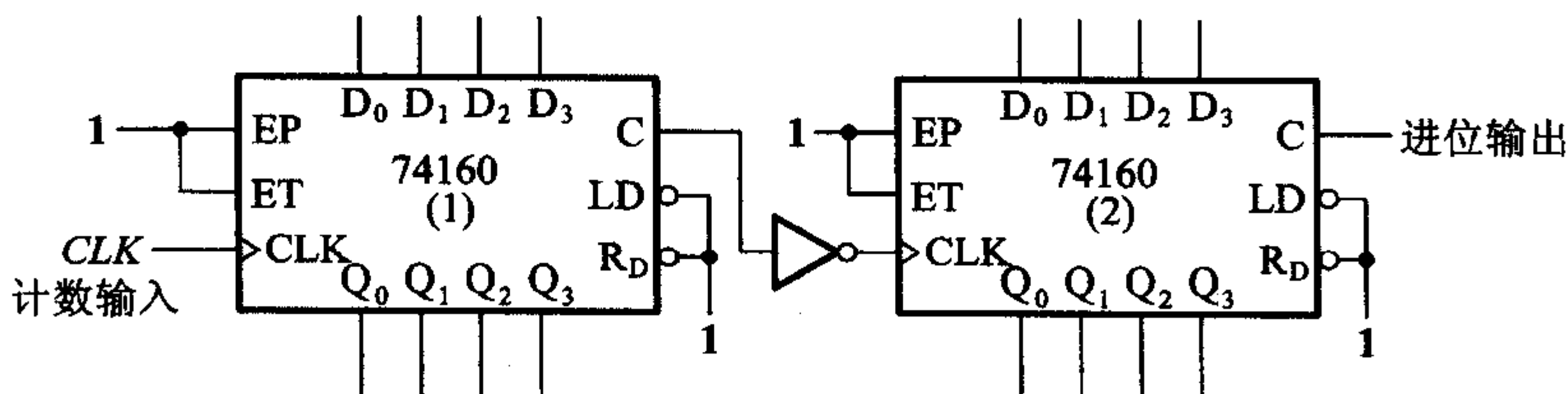


图 6.3.39 例 6.3.3 电路的串行进位方式

在 N_1, N_2 不等于 N 时, 可以先将两个 N 进制计数器分别接成 N_1 进制计数器和 N_2 进制计数器, 然后再以并行进位方式或串行进位方式将它们连接起来。

当 M 为大于 N 的素数时, 不能分解成 N_1 和 N_2 , 上面讲的并行进位方式和串行进位方式就行不通了。这时必须采取整体置零方式或整体置数方式构成 M 进制计数器。