

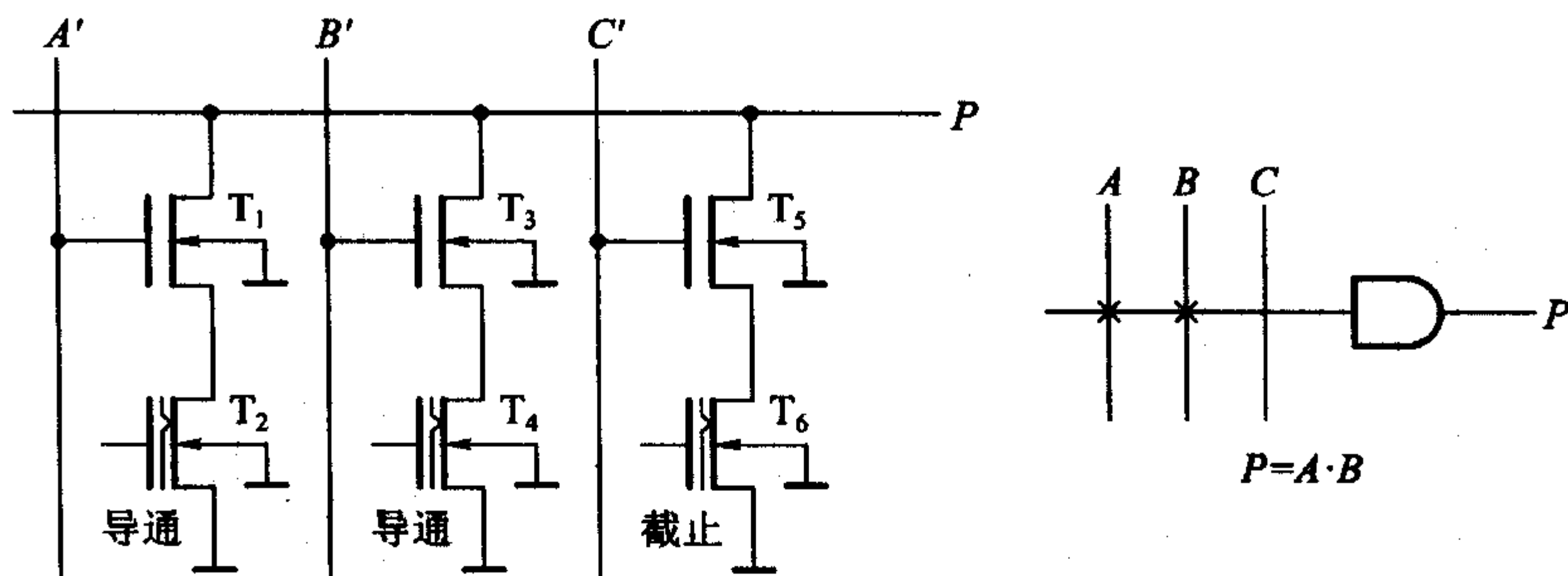


图 8.4.2 由 3 个编程单元构成的与门

在 GAL16V8 中除了与逻辑阵列以外还有一些编程单元。编程单元的地址分配和功能划分情况如图 8.4.3 所示。因为这并不是编程单元实际的空间布局图,所以又将图 8.4.3 称为行地址映射图。

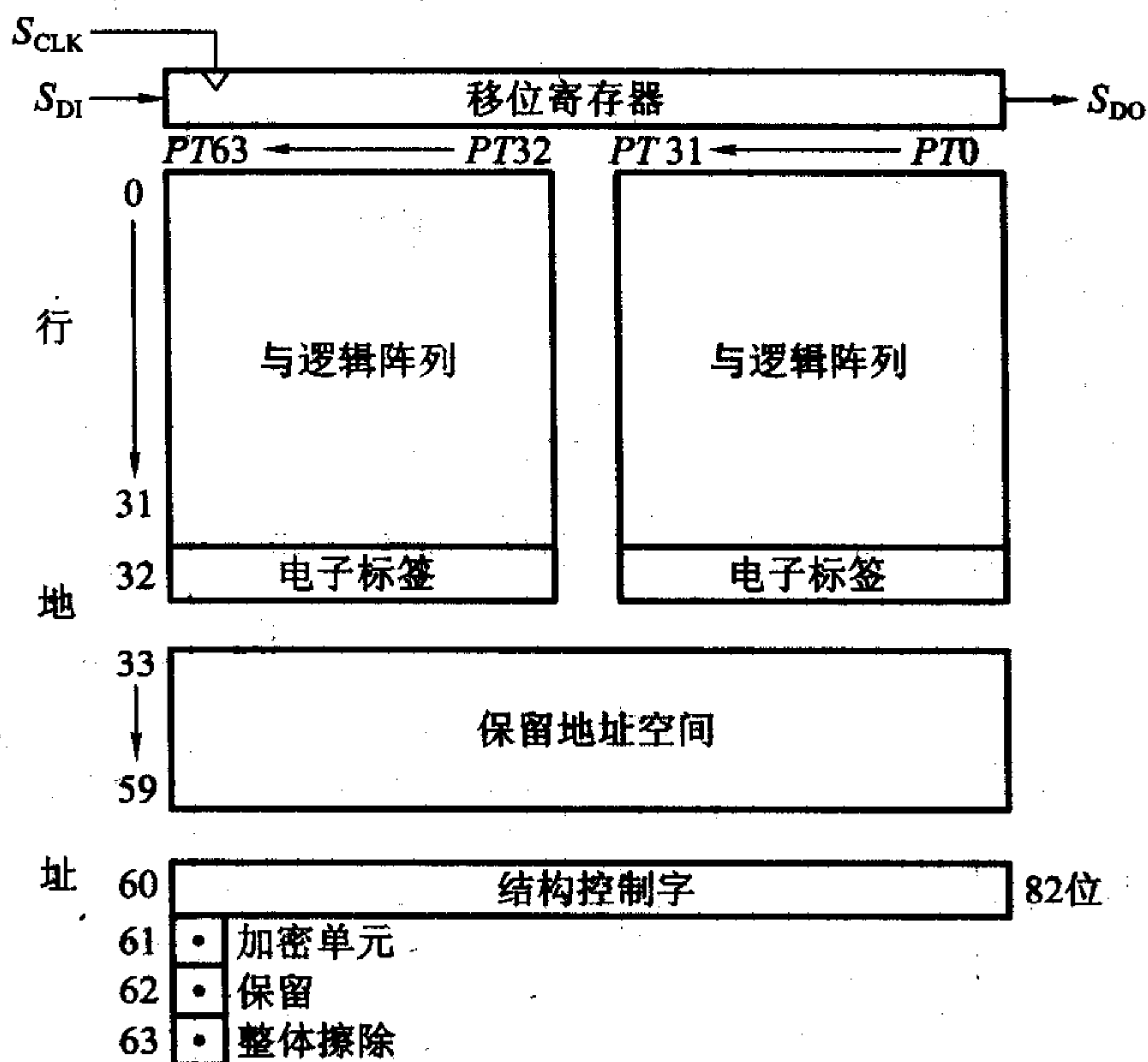


图 8.4.3 GAL16V8 编程单元的地址分配

第 0 ~ 31 行对应与逻辑阵列的编程单元,编程后可产生 0 ~ 63 共 64 个乘积项。

第 32 行是电子标签,供用户存放各种备查的信息。如器件的编号、电路的名称、编程日期、编程次数等。

第 33 ~ 59 行是制造厂家保留的地址空间,用户不能使用。

第 60 行是结构控制字,共有 82 位,用于设定 8 个 OLMC 的工作模式和 64 个乘积项的禁止。

第 61 行是一位加密单元。这一位被编程以后,将不能对与逻辑阵列做进一步的编程或读出验证,因此可以实现对电路设计结果的保密。只有在与逻辑阵列被整体擦除时,才能将加密单元同时擦除。但是电子标签的内容不受加密单元的影响,在加密单元被编程后电子标签的内容仍可读出。

第 63 行是一位整体擦除位。对这一位单元寻址并执行擦除命令,则所有编程单元全被擦除,器件返回到编程前的初始状态。

对 GAL 的编程是在开发系统的控制下完成的。在编程状态下,编程数据由第 9 脚串行送入 GAL 器件内部的移位寄存器中。移位寄存器有 64 位,装满一次就向编程单元地址中写入一行。编程是逐行进行的。

8.4.2 输出逻辑宏单元(OLMC)

图 8.4.4 是输出逻辑宏单元的结构框图。OLMC 中包含一个或门、一个 D 触发器和由 4 个数据选择器及一些门电路组成的控制电路。

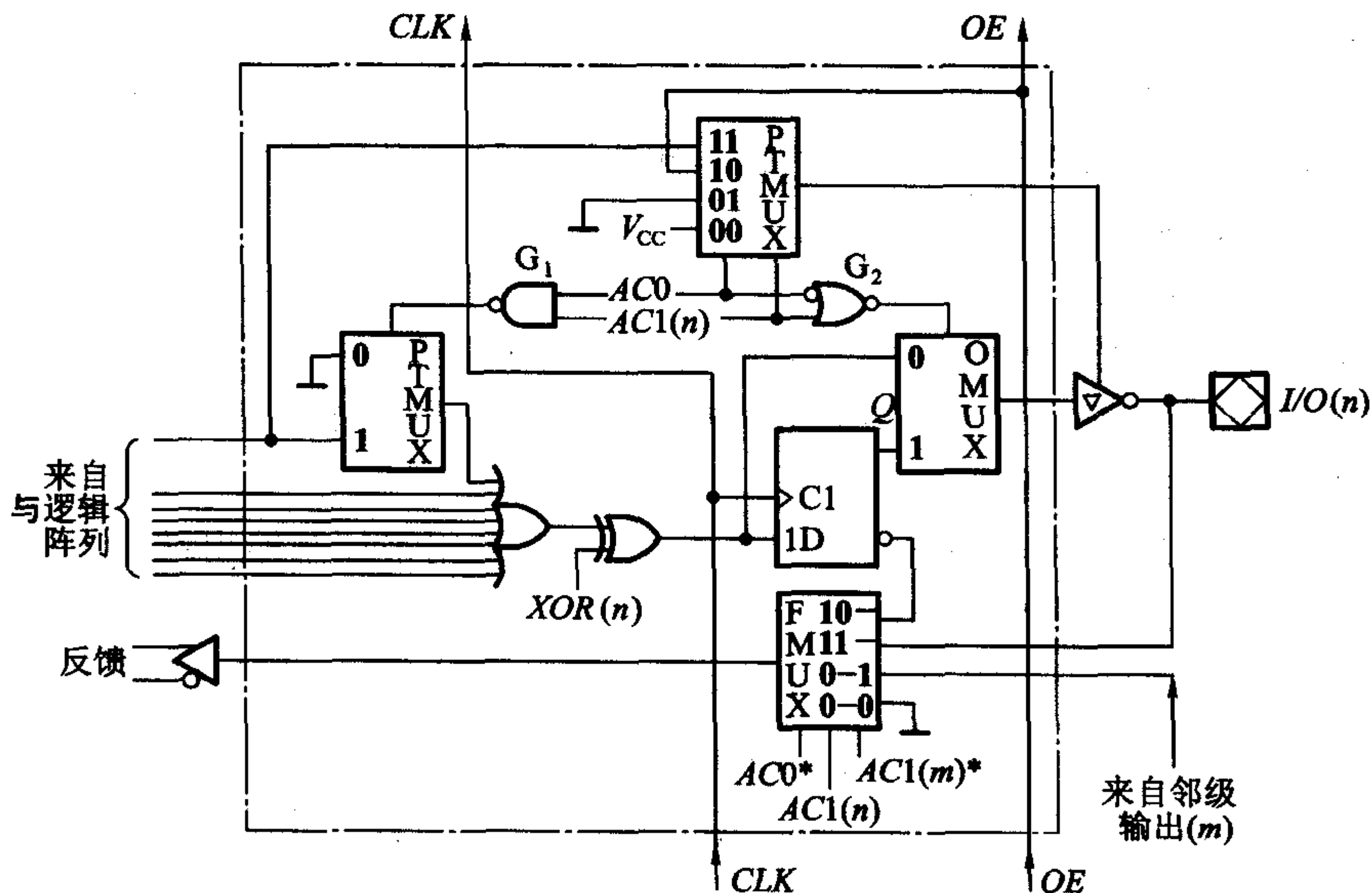


图 8.4.4 OLMC 的结构框图

图中的 $AC0$ 、 $AC1(n)$ 、 $XOR(n)$ 都是结构控制字中的一位数据,通过对结构控制字编程,便可设定 OLMC 的工作模式。GAL16V8 结构控制字的组成如图 8.4.5 所示,其中的 (n) 表示 OLMC 的编号,这个编号与每个 OLMC 连接的引脚

号码一致。

图 8.4.4 中的或门有 8 个输入端,它们来自与逻辑阵列的输出,在或门的输出端能产生不超过 8 项的与或逻辑函数。

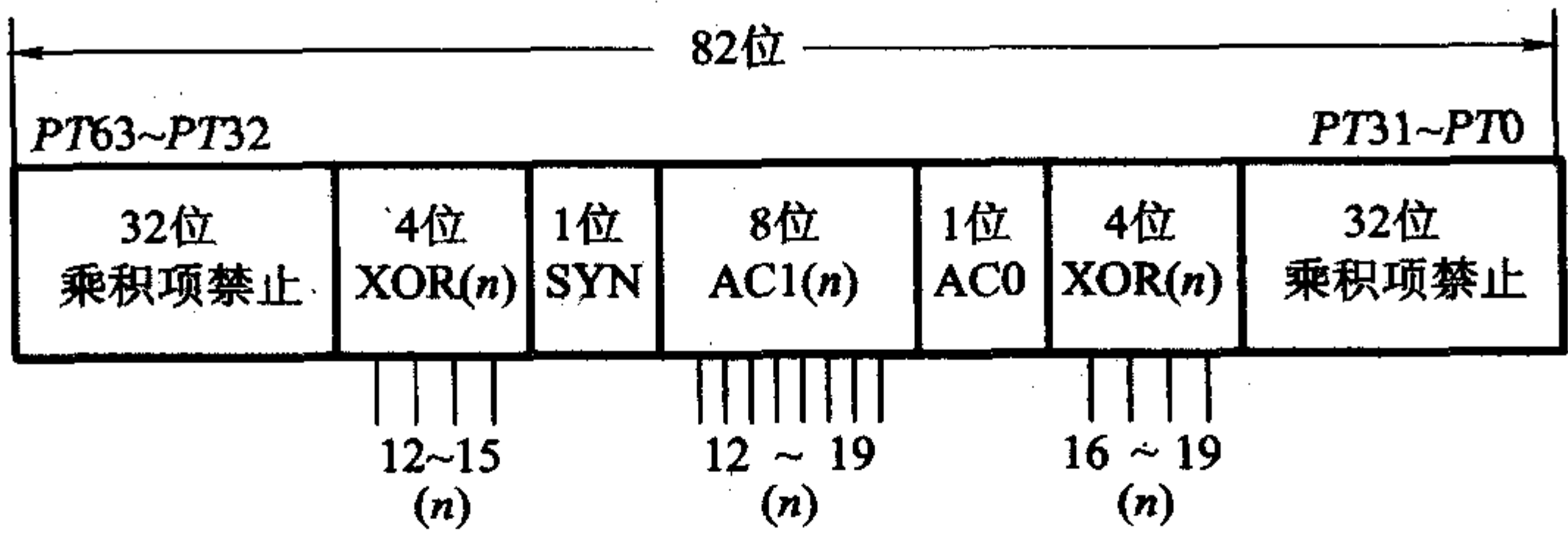


图 8.4.5 GAL16V8 结构控制字的组成

异或门用于控制输出函数的极性。当 $XOR(n) = 0$ 时,异或门的输出和或门的输出同相;当 $XOR(n) = 1$ 时,异或门的输出和或门的输出相位相反。

输出电路结构的形式受 4 个数据选择器控制。输出数据选择器 OMUX 是 2 选 1 数据选择器,它根据 $AC0$ 和 $AC1(n)$ 的状态决定 OLMC 是工作在组合输出模式还是寄存器输出模式。当 G_2 的输出为 0 时,异或门输出的与或逻辑函数直接经 OMUX 送到输出端的三态缓冲器;而 G_2 的输出为 1 时,触发器的状态经 OMUX 送到输出三态缓冲器。因此, G_2 输出为 0 时是组合逻辑输出, G_2 输出为 1 时是寄存器输出。

乘积项数据选择器 PTMUX 也是 2 选 1 数据选择器,它根据 $AC0$ 、 $AC1(n)$ 的状态决定来自与逻辑阵列的第一乘积项是否作为或门的一个输入。当 G_1 输出为 1 时,第一乘积项经过 PTMUX 加到或门的输入;而 G_1 输出为 0 时,第一乘积项不作为或门的一个输入。

三态数据选择器 TSMUX 是 4 选 1 数据选择器,用来控制输出端三态缓冲器的工作状态。它根据 $AC0$ 、 $AC1(n)$ 的状态从 V_{cc} 、地、 OE 和来自与逻辑阵列的第一乘积项当中选择一个作为输出三态缓冲器的控制信号,如表 8.4.1 所示。

表 8.4.1 TSMUX 的控制功能表

$AC0$	$AC1(n)$	TSMUX 的输出	输出三态缓冲器工作状态
0	0	V_{cc}	工作态
0	1	地电平	高阻态
1	0	OE	$OE = 1$ 为工作态 $OE = 0$ 为高阻态
1	1	第一乘积项	取值为 1,工作态 取值为 0,高阻态

反馈数据选择器 FMUX 是 8 选 1 数据选择器,但输入信号只有 4 个。它的作用是根据 $AC0$ 、 $AC1(n)$ 和 $AC1(m)$ 的状态从触发器的 Q' 端、 $I/O(n)$ 端、邻级输出和地电平中选择一个作为反馈信号接回到与逻辑阵列的输入,如表 8.4.2 所示。这里的 (m) 是相邻 OLMC 的编号。由图 8.4.1 所示 GAL16V8 的电路结构图可见,对 OLMC(16)、OLMC(17)、OLMC(18) 而言,相邻的 OLMC 分别为 OLMC(17)、OLMC(18)、OLMC(19)。而对 OLMC(13)、OLMC(14)、OLMC(15) 而言,相邻的 OLMC 分别为 OLMC(12)、OLMC(13)、OLMC(14)。OLMC(12) 和 OLMC(19) 的邻级输入分别由 11 号引脚和 1 号引脚的输入代替,同时这两个单元的 $AC0$ 和 $AC1(m)$ 又被 SYN' 和 SYN 所取代。 SYN 是结构控制字中的一位。

表 8.4.2 FMUX 的控制功能表

$AC0 *$	$AC1(n)$	$AC1(m) *$	反馈信号来源
1	0	x	本单元触发器 Q' 端
1	1	x	本单元 I/O 端
0	x	1	邻级 (m) 输出
0	x	0	地电平

* 在 OLMC(12) 和 OLMC(19) 中 SYN' 代替 $AC0$, SYN 代替 $AC1(m)$ 。

OLMC 的工作模式有表 8.4.3 中列出的 5 种,它们由结构控制字中的 SYN 、 $AC0$ 、 $AC1(n)$ 、 $XOR(n)$ 的状态指定。

当 $SYN=1$ 、 $AC0=0$ 、 $AC1(n)=1$ 时,OLMC(n) 工作在专用输入模式,简化电路结构如图 8.4.6(a) 所示。因为这时输出端的三态缓冲器为禁止态,所以 $I/O(n)$ 只能作输入端使用。这时加到 $I/O(n)$ 上的输入信号作为相邻 OLMC 的“来自邻级输出(m)”信号经过邻级的 FMUX 接到与逻辑阵列的输入上。

当 $SYN=1$ 、 $AC0=0$ 、 $AC1(n)=0$ 时,OLMC 工作在专用组合输出模式,简化的电路结构如图 8.4.6(b) 所示。这时输出三态缓冲器处于选通(工作)状态,异或门的输出经 OMUX 送到三态缓冲器。因为输出缓冲器是一个反相器,所以 $XOR(n)=0$ 时输出的组合逻辑函数为低电平有效,而 $XOR(n)=1$ 时为高电平有效。由于相邻 OLMC 的 $AC1(m)$ 也是 0,故反馈数据选择器的输出为地电平,即没有反馈信号。

表 8.4.3 OLMC 的 5 种工作模式

SYN	$AC0$	$AC1(n)$	$XOR(n)$	工作模式	输出极性	备 注
1	0	1	/	专用输入	/	1 和 11 脚为数据输入,三态门禁止。

续表

SYN	AC0	AC1(n)	XOR(n)	工作模式	输出极性	备 注
1	0	0	0	专用组合输出	低电平有效	1 和 11 脚为数据输入, 三态门被选通。
			1		高电平有效	
1	1	1	0	反馈组合输出	低电平有效	1 和 11 脚为数据输入, 三态门选通信号是第一乘积项, 反馈信号取自 I/O 端。
			1		高电平有效	
0	1	1	0	时序电路中的组合输出	低电平有效	1 脚接 CLK, 11 脚接 OE', 至少另有一个 OLMC 为寄存器输出模式。
			1		高电平有效	
0	1	0	0	寄存器输出	低电平有效	1 脚接 CLK, 11 脚接 OE'。
			1		高电平有效	

当 $SYN = 1$ 、 $AC0 = 1$ 、 $AC1(n) = 1$ 时, OLMC 工作在反馈组合输出模式, 简化的电路结构如图 8.4.6(c) 所示。它与专用组合输出模式的区别在于三态缓冲器是由第一乘积项选通的, 而且输出信号经过 FMUX 又反馈到与逻辑阵列的输入线上。

当 $SYN = 0$ 、 $AC0 = 1$ 、 $AC1(n) = 1$ 时, OLMC(n) 工作在时序电路中的组合输出模式。这时 GAL16V8 构成一个时序逻辑电路, 这个 OLMC(n) 是时序电路中的组合逻辑部分的输出, 而其余的 7 个 OLMC 中至少会有一个是寄存器输出模式。由图 8.4.6(d) 可见, 在这种工作模式下, 异或门的输出不经过触发器而直接送往输出端。输出三态缓冲器由第一乘积项选通。输出信号经 FMUX 反馈到与逻辑阵列上。

因为这时整个 GAL16V8 是一个时序逻辑电路, 故 1 脚作为时钟信号 CLK 的输入端使用, 11 脚作为输出三态缓冲器的选通信号 OE' 的输入端使用。这两个信号供给工作在寄存器输出模式下的那些 OLMC 使用。

当 $SYN = 0$ 、 $AC0 = 1$ 、 $AC1(n) = 0$ 时, OLMC(n) 工作在寄存器输出模式, 简化的电路结构如图 8.4.6(e) 所示。这时异或门的输出作为 D 触发器的输入, 触发器的 Q 端经三态缓冲器送至输出端。三态缓冲器由外加的 OE 信号控制。反馈信号来自 Q' 端。时钟信号由 1 脚输入, 11 脚接三态控制信号 OE'。

综上所述, 只要给 GAL 器件写入不同的结构控制字, 就可以得到不同类型的输出电路结构。这些电路结构完全可以取代 PAL 器件的各种输出电路结构。

8.4.3 GAL 的输入特性和输出特性

在 GAL 器件的每个输入端都设置有图 8.4.7 所示的输入缓冲器电路。图

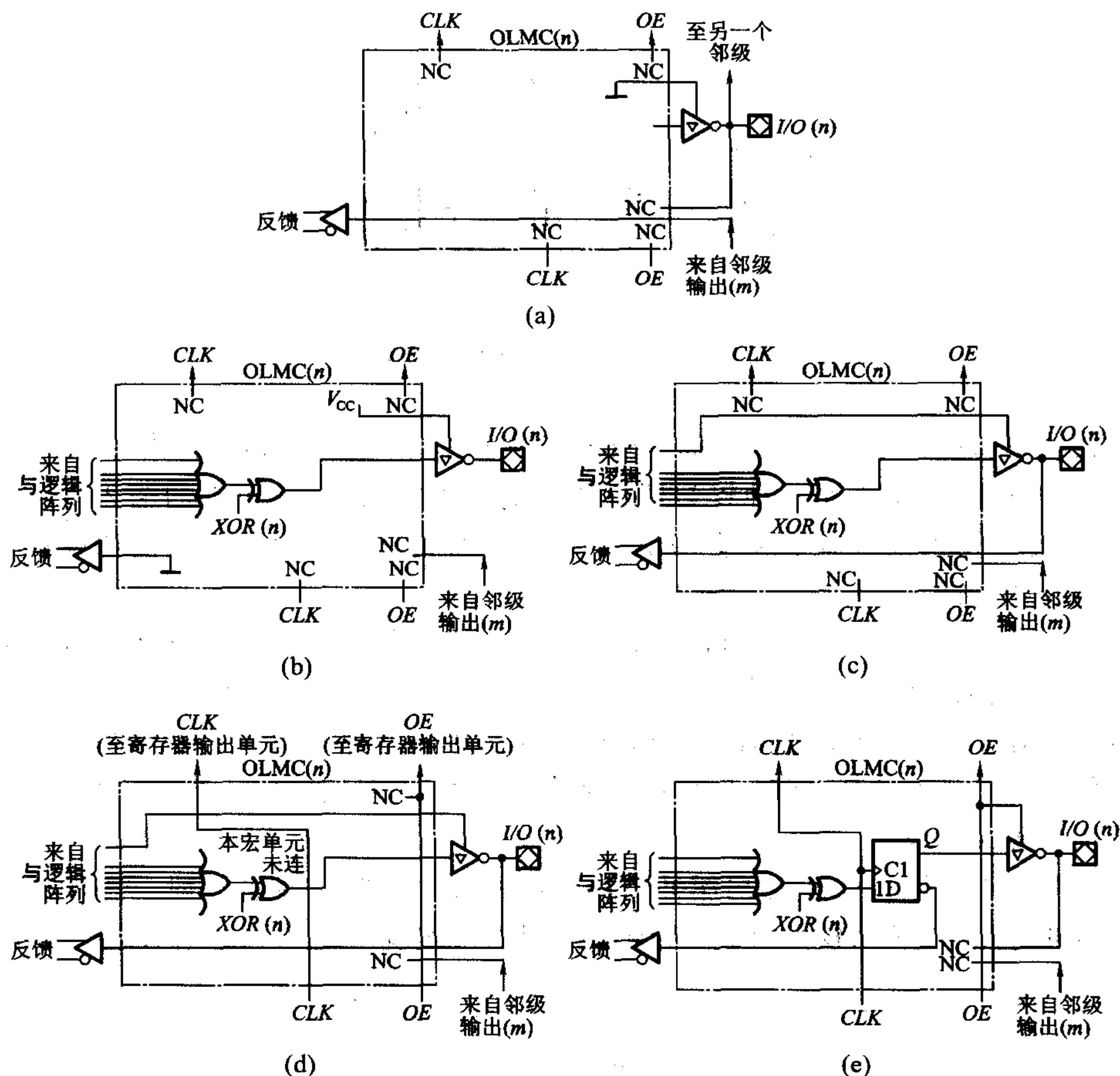


图 8.4.6 OLMC 5 种工作模式下的简化电路(图中 NC 表示不连接)

(a) 专用输入模式 (b) 专用组合输出模式
(c) 反馈组合输出模式 (d) 时序电路中的组合输出模式 (e) 寄存器输出模式

中的 T_2 、 T_3 、 T_4 、 T_5 组成两级 CMOS 反相器, 它们将输入端的信号 A 变换为一对内部标准电平的 A 和 A' 信号送往内部电路, 并使输入端与内部电路隔离。扩散电阻 R 和电容 C 组成噪声滤波电路。这个电路能有效地抑制加到输入端上的白噪声型噪声电压。

接在输入端的 T_1 是 N 沟道增强型 MOS 管, 它和电阻 R 构成静电保护电路。 T_1 的栅极接地, 在输入电压的正常工作范围内不会导通。由于在制作 T_1 的漏区采用了特殊的磷注入方式, 因而当它的漏源电压达到 23 V 时将在漏极与源极间产生非破坏性击穿, 在反相器的栅极与地之间形成一个低内阻通路, 使输入电

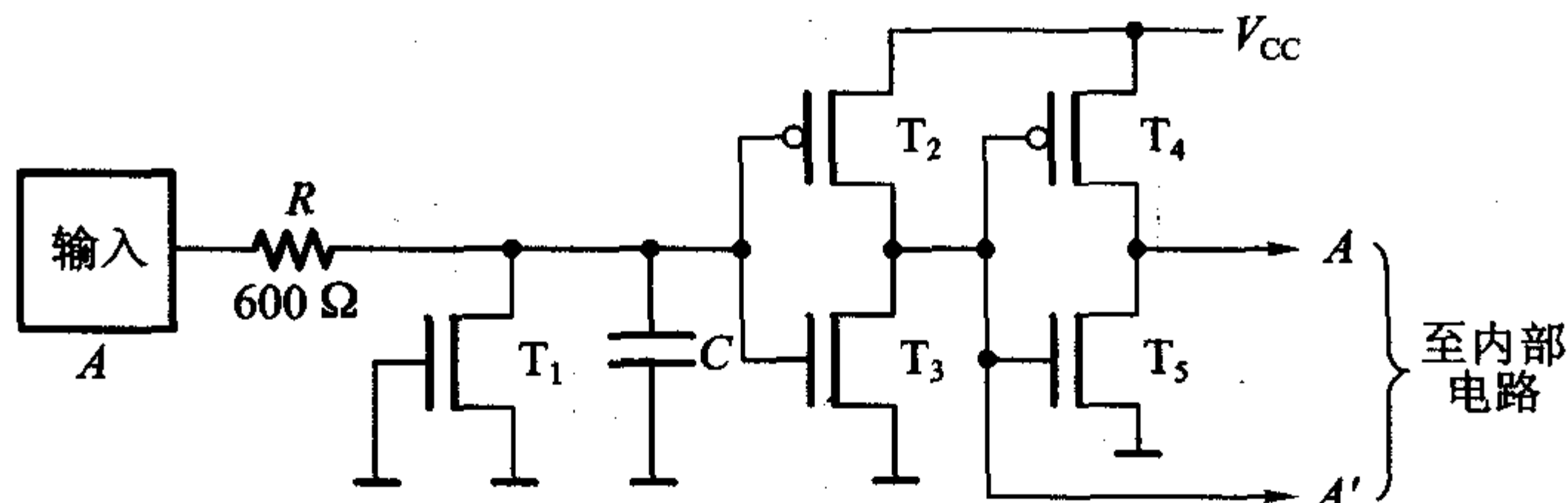


图 8.4.7 GAL 的输入缓冲器电路

压的大部分降到电阻 R 上,从而有效地保护了 T_2 和 T_3 的栅极不被击穿。

由此可见,GAL 是一种较为理想的高输入阻抗器件,在正常的输入电压范围内,输入端的漏电流不超过 $10\ \mu\text{A}$ 。而且内部的输入电路还具有滤除噪声和静电防护功能。

此外,由图 8.4.7 中还可以看到,由于 GAL 的输入端没有上拉电阻,而且 T_1 截止时的内阻极高,所以输入端悬空时它的电平由电容 C 上的感应电荷决定,有可能处于高、低电平之间的某个数值。在这种输入电平下反相器的功耗是很大的。为了降低功耗,同时也为了抑制外界干扰,未使用的输入端不应悬空,可以接电源或接地。

图 8.4.8 是 GAL 的输出缓冲器电路结构图。它除了具备一般三态输出缓冲器的特点(能驱动较大负载、起隔离作用以及实现对输出的三态控制)以外,

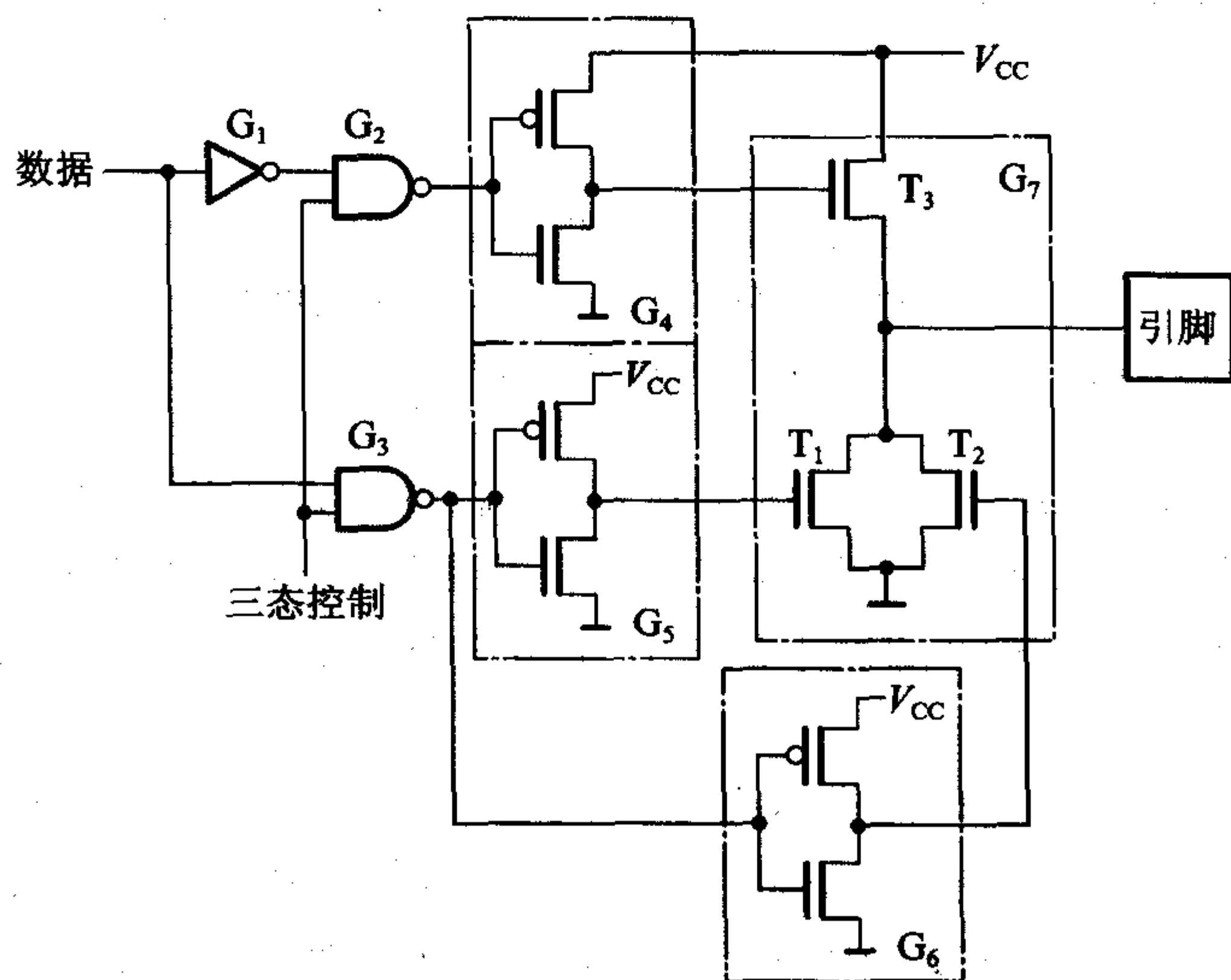


图 8.4.8 GAL 的输出缓冲器电路

还有两个突出的特点。

第一个特点是输出级采用了单一类型的 N 沟道增强型 MOS 管,而不是采用 P 沟道管与 N 沟道管互补的 CMOS 结构。因此,它不会发生第二章 3.3.6 节所讲的 CMOS 电路的锁定效应。

第二个特点是它的输出具有“软开关特性”。输出级的两个驱动管 T_1 和 T_2 分别由反相器 G_5 和 G_6 驱动。虽然它们的开关速度都很快,但在制造时有意地使 G_6 的开关速度较 G_5 的开关速度慢一些(约 1.5ns)。因此,当数据输入端由 0 跳变为 1 的过程中 T_1 首先导通,而 T_2 导通在后,从而削弱了动态脉冲电流的峰值。这就是所说的软开关特性。在负载电流较大时,软开关特性能有效地降低公共电源线上的电流变化率,也就减小了由于电流变化在电源线和地线寄生电感上产生的噪声电压。

图 8.4.9(a) 是 GAL 器件在输出为高电平时的静态输出特性。在 $V_{CC} = 5\text{V}$ 的条件下,只要负载电阻不小于 $200\ \Omega$,便可保证输出的高电平在 2.9V 以上。

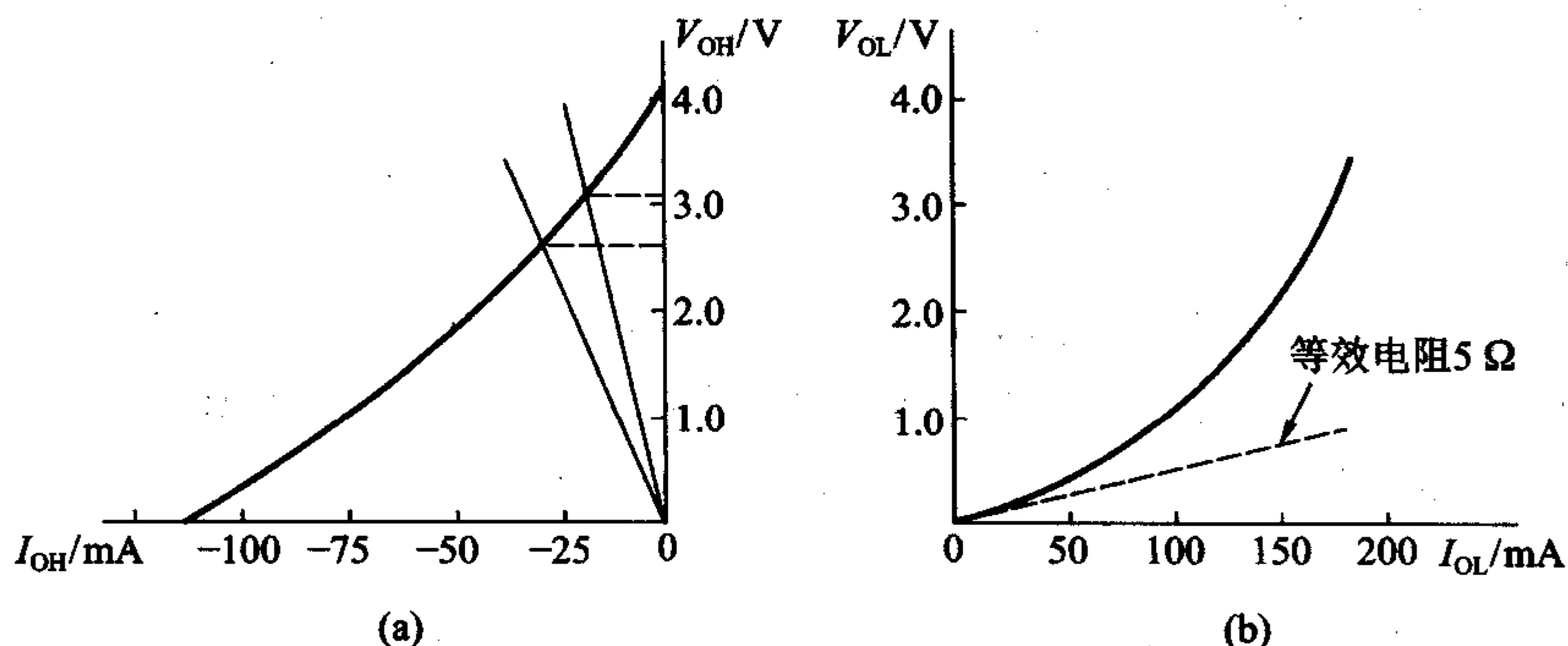


图 8.4.9 GAL 的静态输出特性

(a) 输出为高电平时 (b) 输出为低电平时

输出为低电平时的输出特性如图 8.4.9(b) 所示。当 $V_{CC} = 5\text{V}$ 、 $V_{OL} \approx 0$ 时, 输出电阻仅 $5\ \Omega$ 左右。

复习思考题

R8.4.1 GAL 和 PAL 有哪些不同之处?

R8.4.2 根据 PAL 和 GAL 各自的特点,你认为它们各适用于哪些使用场合?

8.5 可擦除的可编程逻辑器件(EPLD)

8.5.1 EPLD 的基本结构和特点

EPLD 是继 PAL、GAL 之后推出的一种可编程逻辑器件,它采用 CMOS 和 UVEPROM 工艺制作,集成度比 PAL 和 GAL 器件高得多,其产品多半属于高密度 PLD。

图 8.5.1 是 Atmel 公司生产的 EPLD 产品 AT22V10 的电路结构框图。它的基本结构形式和 PAL、GAL 器件类似,仍由可编程的与逻辑阵列、固定的或逻辑阵列和输出逻辑宏单元(简称 OLMC)组成。AT22V10 有两种不同的封装形式,即双列直插式(DIP)和表面安装式(SMT)。图 8.5.1 中每个引脚的两个标号中前一个是 DIP 封装形式下的标号,后一个是 SMT 封装形式下的标号。

与 PAL 和 GAL 相比,EPLD 有以下几个特点。

首先,由于采用了 CMOS 工艺,所以 EPLD 具有 CMOS 器件低功耗、高噪声容限的优点。

其次,因为采用了 UVEPROM 工艺,以叠栅注入 MOS 管作为编程单元,所以不仅可靠性高、可以改写,而且集成度高、造价便宜。这也是选用 UVEPROM 工艺制作 EPLD 的一个主要原因。目前 EPLD 产品的集成度最高已达 1 万门以上。

第三个特点是输出部分采用了类似于 GAL 器件的可编程的输出逻辑宏单元。EPLD 的 OLMC 不仅吸收了 GAL 器件输出电路结构可编程的优点,而且还增加了对 OLMC 中触发器的预置数和异步置零功能。因此,EPLD 的 OLMC 要比 GAL 中的 OLMC 有更大的使用灵活性。

此外,为了提高与-或逻辑阵列中乘积项的利用率,有些 EPLD 的或逻辑阵列部分也引入了可编程逻辑结构。

*8.5.2 EPLD 的与-或逻辑阵列

在 PAL 和 GAL 器件的与-或逻辑阵列中,每个或门输入的一组乘积项数目是固定的,而且在许多情况下每一组的数目又是相等的。但由于需要产生的与-或逻辑函数所包含的乘积项各不相同,因而与-或阵列中的乘积项就得不到充分利用。为了克服这种局限性,在 EPLD 的与-或逻辑阵列上做了一些改进。

首先,在大多数的 EPLD 中与-或逻辑阵列每一组乘积项的数目不完全相等,这样既便于产生不同项数的与或逻辑函数,又有利于提高乘积项的利用率。

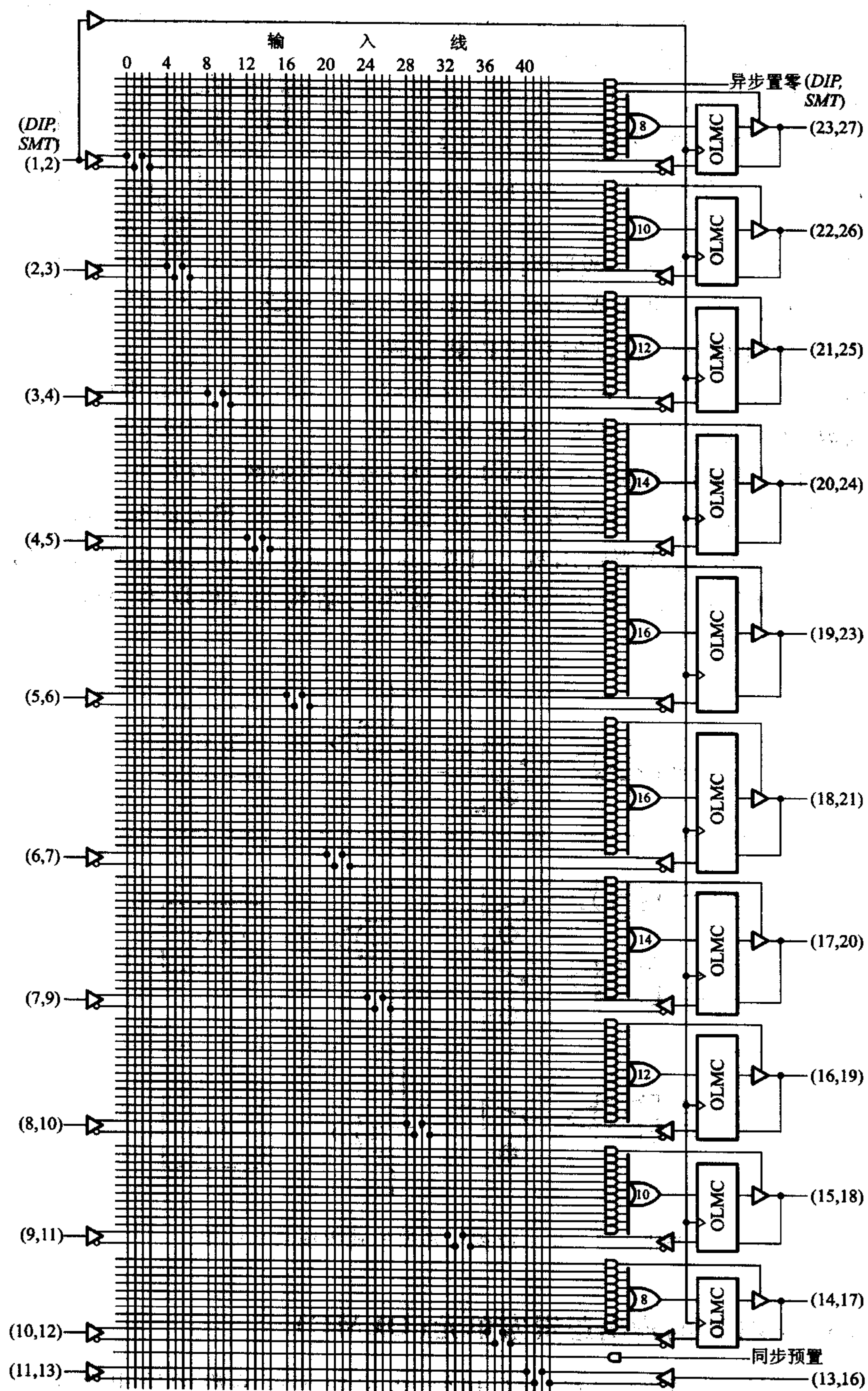


图 8.5.1 AT22V10 的电路结构框图