

```

        // 状态机的编码位数,在电路实现时对应寄存器个数
always @ ( in or currentState) begin
    // 根据输入和现态判断应当有的次态
    out = currentState[1] & ( ~ currentState[0] ); // 判断输出的逻辑值
    if ( currentState == 0 )
        if( in ) nextState = 1;
        // 如现态为 0,且输入为 1,则推断次态为 1
    if( currentState == 1 )
        if( in ) nextState = 2;
        // 如现态为 1,且输入为 1,则推断次态为 2
        else nextState = 0;
    if ( currentState == 2 ) begin
        if( in ) nextState = 2;
        // 如现态为 2,且输入为 1,则推断次态为 2
        else nextState = 0; // 否则推断次态为 0
    end
end
end
always @ ( posedge clock ) begin
    // 接收到时钟的边沿触发信号后,完成状态转换
    currentState <= nextState; // 状态转换部分
end
endmodule

```

### 本章小结

硬件描述语言是用于描述硬件电路的一种专用计算机编程语言,用它可以对任何复杂电路进行完整的功能、动态时间参数甚至功耗参数的描述。在本章中我们仅用 Verilog HDL 对一些简单的数字电路的逻辑功能进行了描述。目前得到普遍应用的硬件描述语言主要有 Verilog HDL 和 VHDL 两种。多数 EDA 应用软件都可以接受这两种语言编写的源文件。

作为一种高级语言,Verilog HDL 有严格的语法规则。必须严格按照这些规定编写出的源文件,才能被应用软件所识读和运行。因受课内学时所限,本章仅仅向读者初步介绍了一下 Verilog HDL 的概貌。要全面了解和真正掌握它,还需进一步地学习,并在实践中加深理解。

## 习题

【题 9.1】 用 Verilog HDL 语言的结构描述方式,描述图 P9.1 所示电路的逻辑功能。

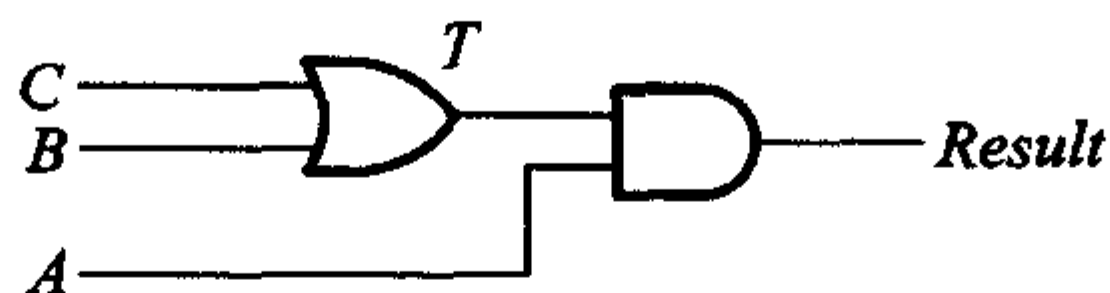


图 P9.1

【题 9.2】 用 Verilog HDL 语言实现对[题 4.6]所要设计电路的逻辑功能描述。

【题 9.3】 用 Verilog HDL 语言描述一个 4 选 1 数据选择器。

【题 9.4】 用 Verilog HDL 语言描述一个 4 位超前进位加法器。

【题 9.5】 请根据下面所给的语言描述,画出对应的逻辑电路图。

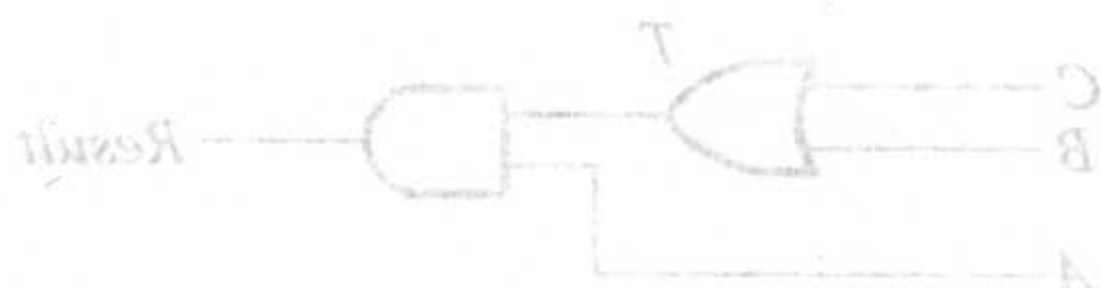
```

module binary ToESeg;
    wire eSeg,p1,p2,p3,p4;
    reg A,B,C,D;
    nand
        g1(p1,C,~D),
        g2(p2,A,B),
        g3(p3,~B,~D),
        g4(p4,A,C),
        g5(eSeg,p1,p2,p3,p4);
endmodule

```



# 第十章



## 脉冲波形的产生和整形

### 内容提要

本章限于介绍矩形脉冲波形的产生和整形电路。

在脉冲整形电路中,介绍了最常用的两类整形电路——施密特触发器和单稳态触发器电路。在脉冲振荡电路中,介绍了多谐振荡器电路的几种常见形式——对称式和非对称式多谐振荡器、环形振荡器以及用施密特触发器构成的多谐振荡器等。在本章的最后,讨论了广为应用的555定时器和用它构成施密特触发器、单稳态触发器和多谐振荡器的方法,并给出了用Multisim 7分析脉冲发生器电路的实例。

### 10.1 概述

获取矩形脉冲波形的途径不外乎两种:一种是利用各种形式的多谐振荡器电路直接产生所需要的矩形脉冲,另一种则是通过各种整形电路将已有的周期性变化波形变换为符合要求的矩形脉冲。当然,在采用整形的方法获取矩形脉冲时,是以能够找到频率和幅度都符合要求的一种已有电压信号为前提的。

在同步时序电路中,作为时钟信号的矩形脉冲控制和协调着整个系统的工作。因此,时钟脉冲的特性直接关系到系统能否正常地工作。为了定量描述矩形脉冲的特性,通常给出图10.1.1中所标注的几个主要参数。这些参数是:

脉冲周期  $T$ ——周期性重复的脉冲序列中,两个相邻脉冲之间的时间间隔。

有时也使用频率  $f = \frac{1}{T}$  表示单位时间内脉冲重复的次数。

脉冲幅度  $V_m$ ——脉冲电压的最大变化幅度。



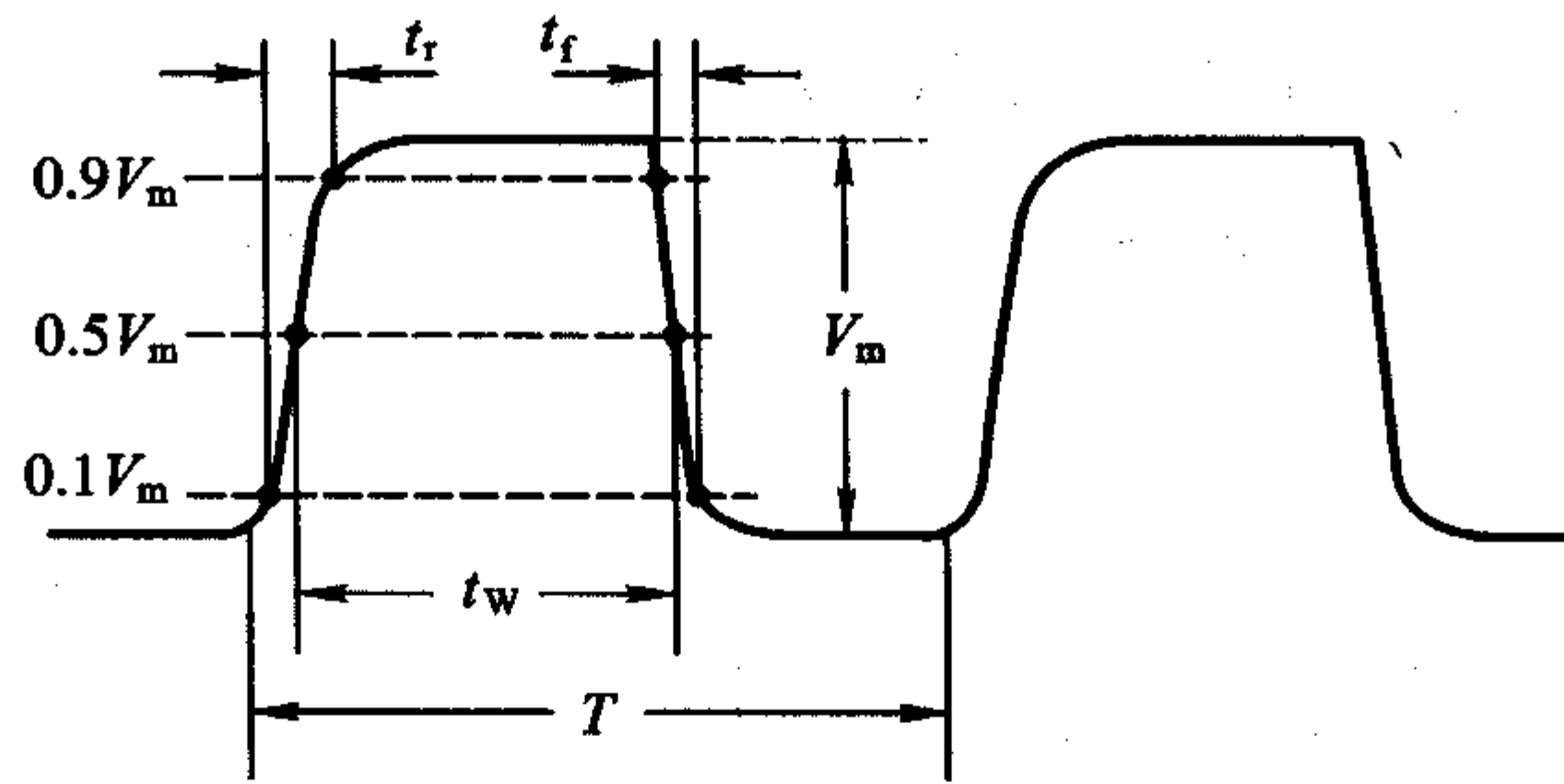


图 10.1.1 描述矩形脉冲特性的主要参数

脉冲宽度  $t_w$ ——从脉冲前沿到达  $0.5 V_m$  起,到脉冲后沿到达  $0.5 V_m$  为止的一段时间。

上升时间  $t_r$ ——脉冲上升沿从  $0.1 V_m$  上升到  $0.9 V_m$  所需要的时间。

下降时间  $t_f$ ——脉冲下降沿从  $0.9 V_m$  下降到  $0.1 V_m$  所需要的时间。

占空比  $q$ ——脉冲宽度与脉冲周期的比值,亦即  $q = t_w/T$ 。

此外,在将脉冲整形或产生电路用于具体的数字系统时,有时还可能有一些特殊的要求,例如脉冲周期和幅度的稳定性等。这时还需要增加一些相应的性能参数来说明。

## 10.2 施密特触发器

施密特触发器(Schmitt Trigger)是脉冲波形变换中经常使用的一种电路,它在性能上有两个重要的特点:

第一,输入信号从低电平上升的过程中电路状态转换时对应的输入电平,与输入信号从高电平下降过程中对应的输入转换电平不同。

第二,在电路状态转换时,通过电路内部的正反馈过程使输出电压波形的边沿变得很陡。

利用这两个特点不仅能将边沿变化缓慢的信号波形整形为边沿陡峭的矩形波,而且可以将叠加在矩形脉冲高、低电平上的噪声有效地清除。

下面我们将会看到,施密特触发器和第五章中所讲过的触发器(Flip-Flop)是性质完全不同的两种电路。它们的英文名称原本也截然不同,由于最初将 Schmitt Trigger 译成中文时用了“施密特触发器”这个名称,并且一直沿用下来了,所以很容易令初学者产生误解,错误地认为施密特触发器和通常所说的触发器是同一类电路。

## 10.2.1 用门电路组成的施密特触发器

将两级反相器串接起来,同时通过分压电阻将输出端的电压反馈到输入端,就构成了图 10.2.1(a)所示的施密特触发器电路。

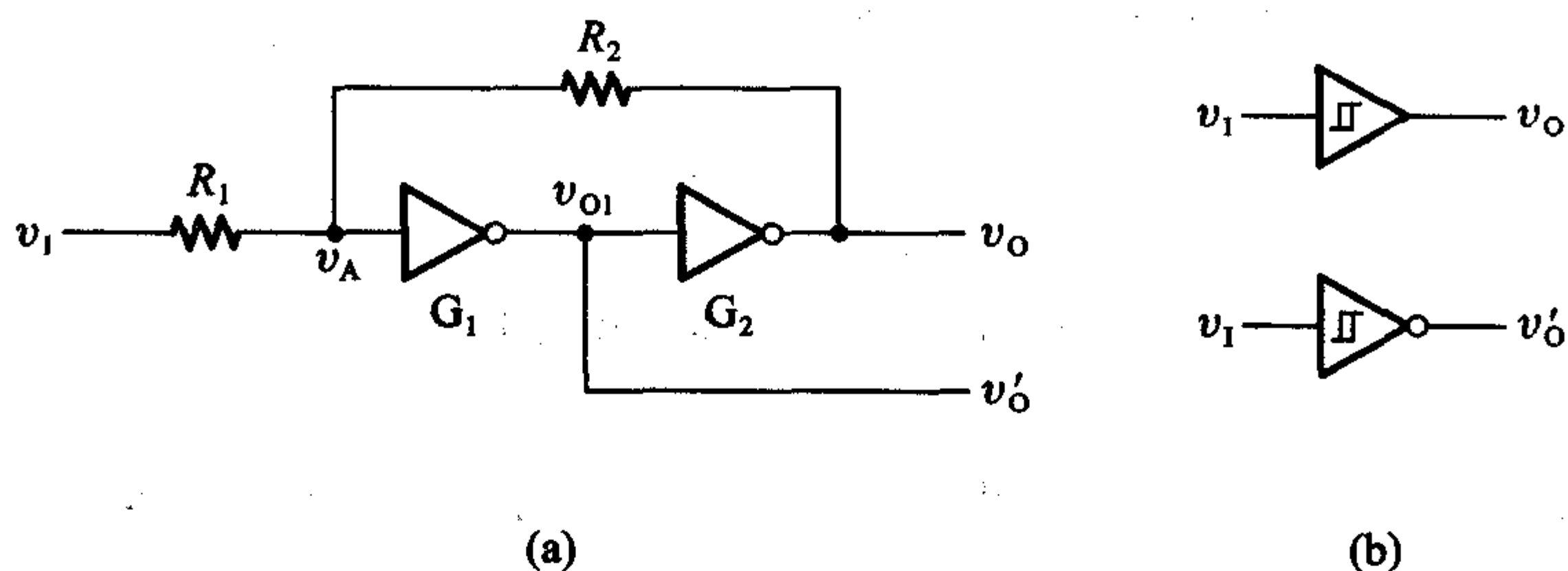


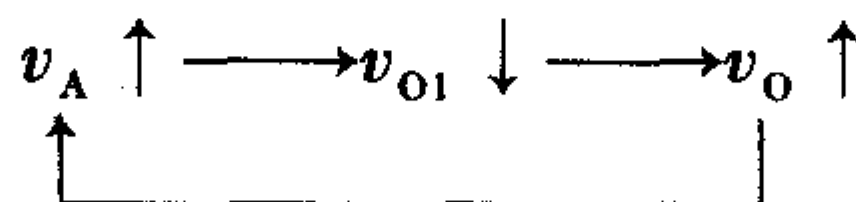
图 10.2.1 用 CMOS 反相器构成的施密特触发器

(a) 电路图 (b) 图形符号

假定反相器  $G_1$  和  $G_2$  是 CMOS 电路,它们的阈值电压为  $V_{TH} \approx \frac{1}{2}V_{DD}$ ,且  $R_1 < R_2$ 。

当  $v_1 = 0$  时,因  $G_1$ 、 $G_2$  接成了正反馈电路,所以  $v_0 = V_{OL} \approx 0$ 。这时  $G_1$  的输入  $v_A \approx 0$ 。

当  $v_1$  从 0 逐渐升高并达到  $v_A = V_{TH}$  时,由于  $G_1$  进入了电压传输特性的转折区(放大区),所以  $v_A$  的增加将引发如下的正反馈过程



于是电路的状态迅速地转换为  $v_0 = V_{OH} \approx V_{DD}$ 。由此便可以求出  $v_1$  上升过程中电路状态发生转换时对应的输入电平  $V_{T+}$ 。因为这时有

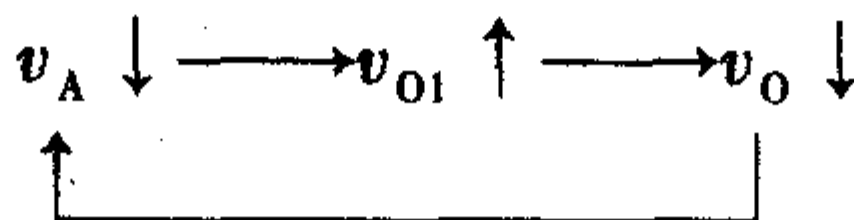
$$v_A = V_{TH} \approx \frac{R_2}{R_1 + R_2} V_{T+}$$

所以

$$V_{T+} = \frac{R_1 + R_2}{R_2} V_{TH} = \left(1 + \frac{R_1}{R_2}\right) V_{TH} \quad (10.2.1)$$

$V_{T+}$  称为正向阈值电压。

当  $v_1$  从高电平  $V_{DD}$  逐渐下降并达到  $v_A = V_{TH}$  时,  $v_A$  的下降会引发又一个正反馈过程



使电路的状态迅速转换为  $v_0 = V_{OL} \approx 0$ 。由此又可以求出  $v_1$  下降过程中电路状

态发生转换时对应的输入电平  $V_{T-}$ 。由于这时有

$$v_A = V_{TH} \approx V_{DD} - (V_{DD} - V_{T-}) \frac{R_2}{R_1 + R_2}$$

所以 
$$V_{T-} = \frac{R_1 + R_2}{R_2} V_{TH} - \frac{R_1}{R_2} V_{DD}$$

将  $V_{DD} = 2V_{TH}$  代入上式后得到

$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH} \quad (10.2.2)$$

$V_{T-}$  称为负向阈值电压。

我们将  $V_{T+}$  与  $V_{T-}$  之差定义为回差电压  $\Delta V_T$ , 即

$$\Delta V_T = V_{T+} - V_{T-} \quad (10.2.3)$$

根据式(10.2.1)和式(10.2.2)画出的电压传输特性如图 10.2.2(a)所示。因为  $v_o$  和  $v_i$  的高、低电平是同相的, 所以也将这种形式的电压传输特性称为同相输出的施密特触发特性。

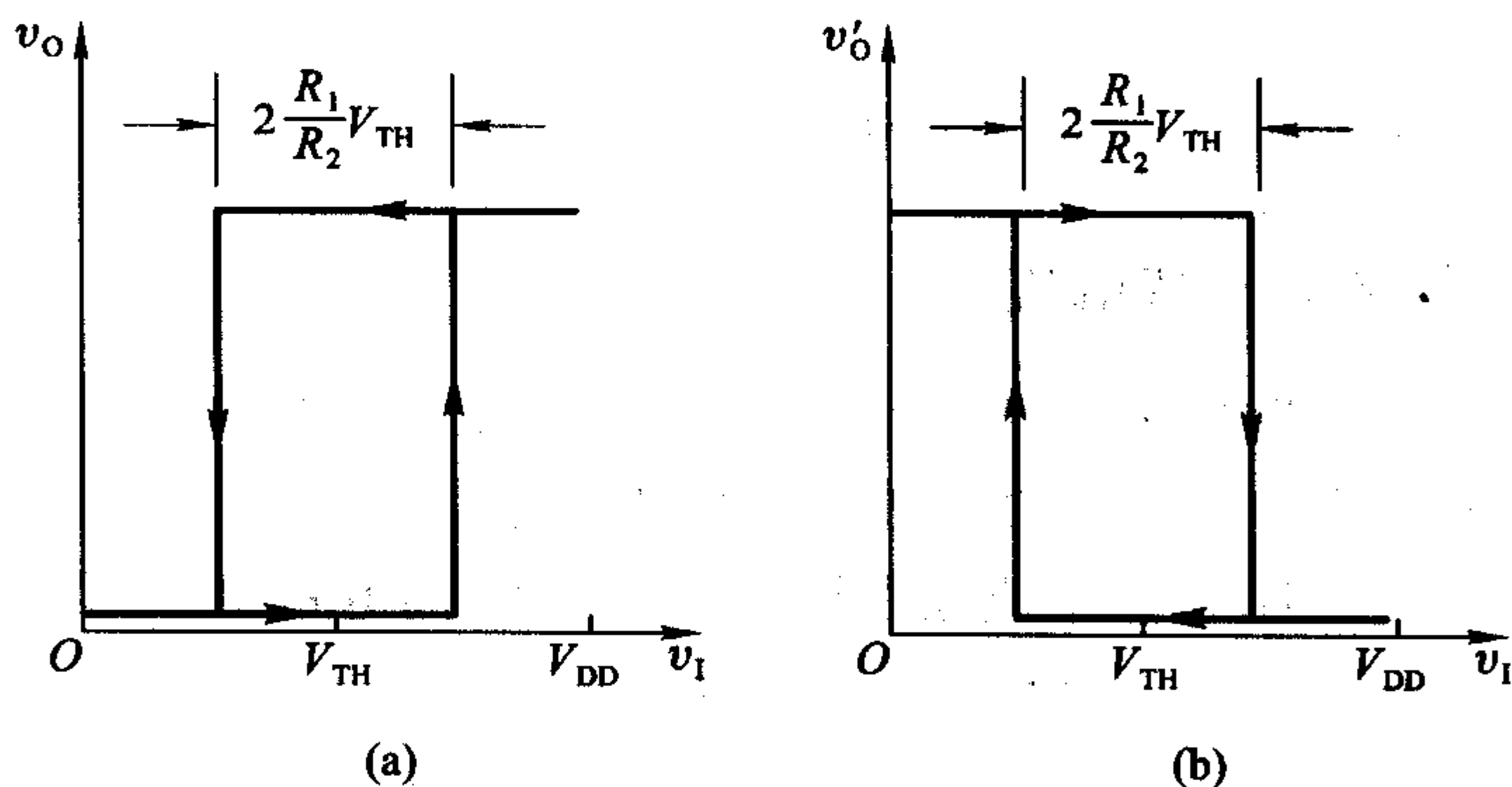


图 10.2.2 图 10.2.1 电路的电压传输特性  
(a) 同相输出 (b) 反相输出

如果以图 10.2.1(a) 中的  $v'_o$  作为输出端, 则得到的电压传输特性将如图 10.2.2(b) 所示。由于  $v'_o$  与  $v_i$  的高、低电平是反相的, 所以将这种形式的电压传输特性称为反相输出的施密特触发特性。

通过改变  $R_1$  和  $R_2$  的比值可以调节  $V_{T+}$ 、 $V_{T-}$  和回差电压的大小。但  $R_1$  必须小于  $R_2$ , 否则电路将进入自锁状态, 不能正常工作。

**【例 10.2.1】** 在图 10.2.1(a) 电路中, 如果要求  $V_{T+} = 7.5\text{V}$ ,  $\Delta V_T = 5\text{V}$ , 试求  $R_1$ 、 $R_2$  和  $V_{DD}$  的值。

解: 由式(10.2.1)、(10.2.2)和(10.2.3)得到

$$\begin{cases} V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH} = 7.5 \text{ V} \\ \Delta V_T = 2 \frac{R_1}{R_2} V_{TH} = 5 \text{ V} \end{cases}$$

从以上两式解出  $\frac{R_1}{R_2} = 0.5, V_{TH} = 5 \text{ V}$ 。

因此应取  $V_{DD} = 10 \text{ V}$ 。

为保证反相器  $G_2$  输出高电平时的负载电流不超过最大允许值  $|I_{OH(max)}|$ ，应使

$$\frac{V_{OH} - V_{TH}}{R_2} < |I_{OH(max)}| \quad (10.2.4)$$

如果  $G_1、G_2$  选用 CC4069 六反相器中的两个反相器，则由手册中查得当  $V_{DD} = 10 \text{ V}$  时  $|I_{OH(max)}| = 1.3 \text{ mA}$ 。将  $|I_{OH(max)}|$  及  $V_{OH} (V_{OH} \approx V_{DD})、V_{TH}$  值代入式 (10.2.4) 求得

$$R_2 > \frac{10 - 5}{1.3} = 3.85 \text{ k}\Omega$$

故可取  $R_2 = 22 \text{ k}\Omega, R_1 = \frac{1}{2}R_2 = 11 \text{ k}\Omega$ 。

### \* 10.2.2 集成施密特触发器

由于施密特触发器的应用非常广泛，所以无论是在 TTL 电路中还是在 CMOS 电路中，都有单片集成的施密特触发器产品。

图 10.2.3 是 TTL 电路集成施密特触发器 7413 的电路图①。因为在电路的

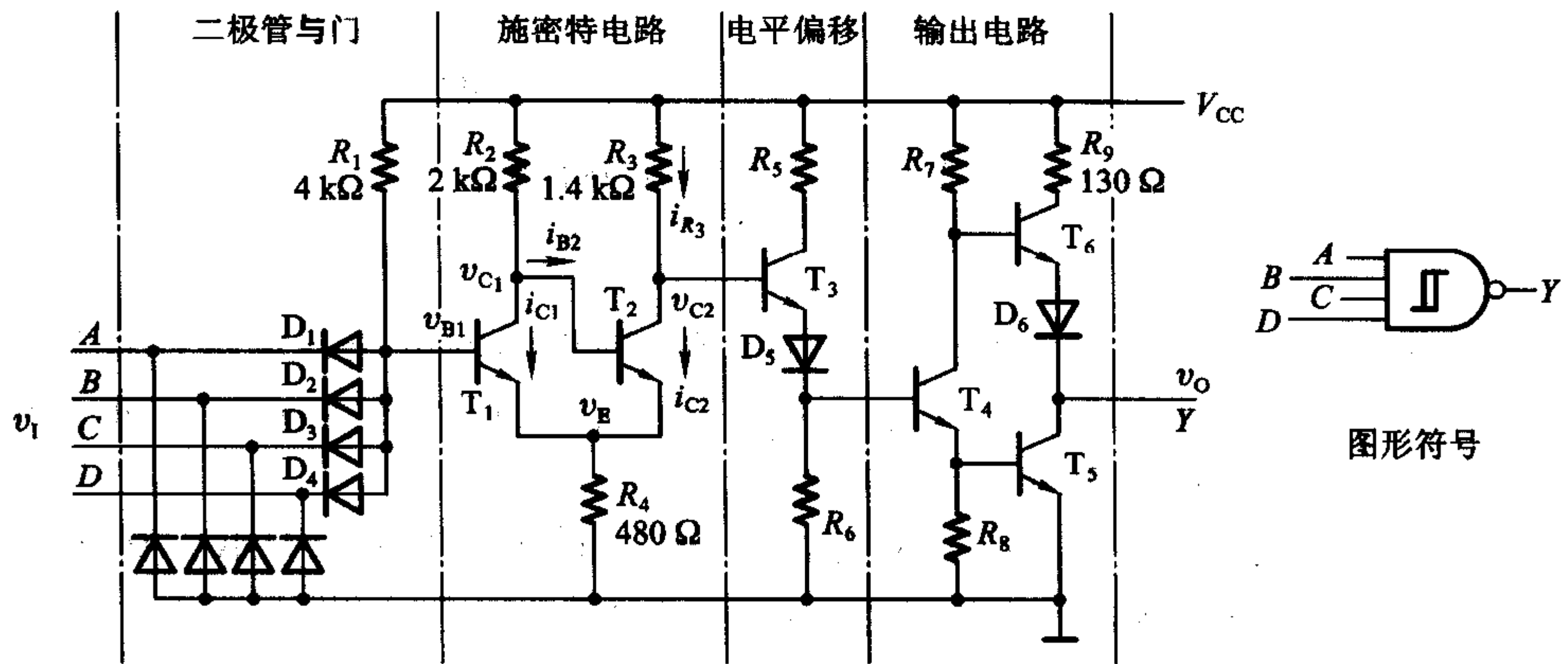


图 10.2.3 带与非功能的 TTL 集成施密特触发器

① 严格地讲这是一个 DTL 电路，即输入端为二极管结构而输出端是三极管结构。

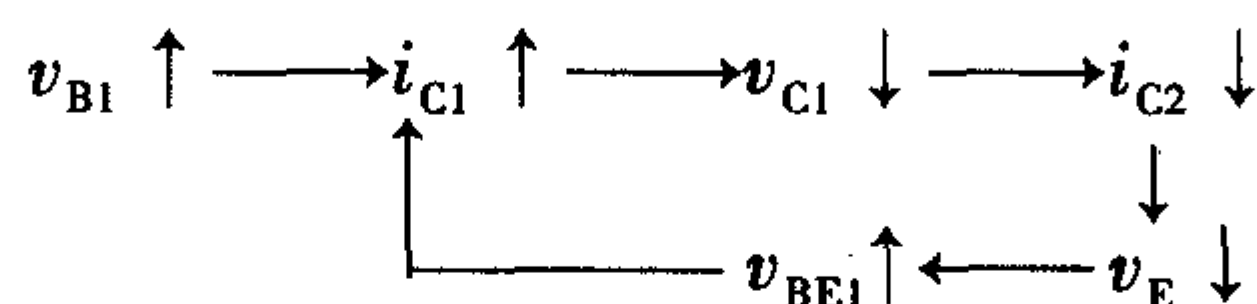
输入部分附加了与的逻辑功能,同时在输出端附加了反相器,所以也将这个电路称为施密特触发的与非门。在集成电路手册中将它归入与非门一类中。

这个电路包含二极管与门、施密特电路、电平偏移电路和输出电路4个部分,其中的核心部分是由  $T_1$ 、 $T_2$ 、 $R_2$ 、 $R_3$  和  $R_4$  组成的施密特电路。

施密特电路是通过公共发射极电阻耦合的两级正反馈放大器。假定三极管发射结的导通压降和二极管的正向导通压降均为  $0.7\text{ V}$ ,那么当输入端的电压使得

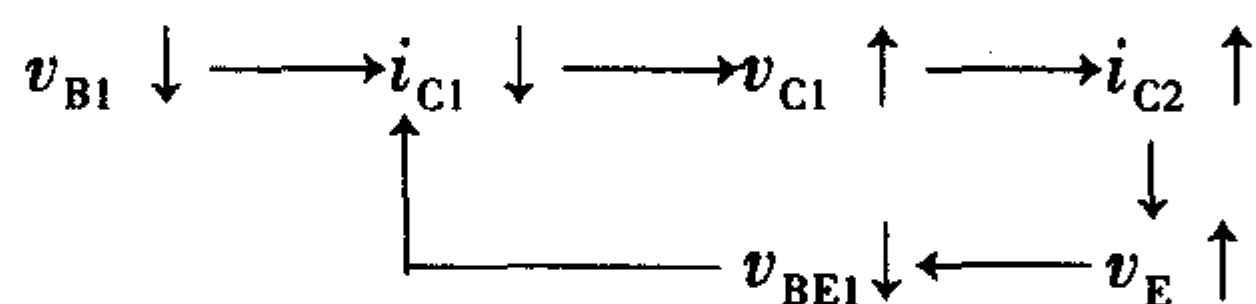
$$v_{B1} - v_E = v_{BE1} < 0.7\text{ V}$$

则  $T_1$  将截止而  $T_2$  饱和导通。若  $v_{B1}$  逐渐升高并使  $v_{BE1} > 0.7\text{ V}$  时,  $T_1$  进入导通状态,并有如下的正反馈过程发生



从而使电路迅速转为  $T_1$  饱和导通、 $T_2$  截止的状态。

若  $v_{B1}$  从高电平逐渐下降,并且降到  $v_{BE1}$  只有  $0.7\text{ V}$  左右时,  $i_{C1}$  开始减小,于是又引发了另一个正反馈过程



使电路迅速返回  $T_1$  截止、 $T_2$  饱和导通的状态。

可见,无论  $T_2$  由导通变为截止还是由截止变为导通,都伴随有正反馈过程发生,使输出端电压  $v_{C2}$  的上升沿和下降沿都很陡。

同时,由于  $R_2 > R_3$ ,所以  $T_1$  饱和导通时的  $v_E$  值必然低于  $T_2$  饱和导通时的  $v_E$  值。因此,  $T_1$  由截止变为导通时的输入电压  $V_{B1+}$  高于  $T_1$  由导通变为截止时的输入电压  $V_{B1-}$ ,这样就得到了施密特触发特性。若以  $V_{T+}$  和  $V_{T-}$  分别表示与  $V_{B1+}$  和  $V_{B1-}$  相对应的输入端电压,则  $V_{T+}$  同样也一定高于  $V_{T-}$ 。

由图 10.2.3 可以写出  $T_1$  截止、 $T_2$  饱和导通时电路的方程为

$$\begin{cases} R_2 i_{B2} + V_{BE(sat)2} + R_4 (i_{B2} + i_{C2}) = V_{CC} \\ R_3 i_{R3} + V_{CE(sat)2} + R_4 (i_{B2} + i_{C2}) = V_{CC} \end{cases} \quad (10.2.5)$$

其中  $V_{BE(sat)2}$ 、 $V_{CE(sat)2}$  分别表示  $T_2$  饱和导通时 b-e 间和 c-e 间的压降。假定  $i_{R3} \approx i_{C2}$ ,则可从式(10.2.5)求出

$$i_{C2} = \frac{R_4 (V_{CC} - V_{BE(sat)2}) - (R_2 + R_4) (V_{CC} - V_{CE(sat)2})}{R_4^2 - (R_2 + R_4) (R_3 + R_4)} \quad (10.2.6)$$

$$i_{B2} = \frac{R_4 (V_{CC} - V_{CE(sat)2}) - (R_2 + R_4) (V_{CC} - V_{BE(sat)2})}{R_4^2 - (R_2 + R_4) (R_3 + R_4)} \quad (10.2.7)$$



将图 10.2.3 中给定的参数代入式 (10.2.6) 和式 (10.2.7), 并取  $V_{BE(sat)} = 0.8 \text{ V}$ ,  $V_{CE(sat)} = 0.2 \text{ V}$ , 于是得到

$$i_{C2} \approx 2.2 \text{ mA}$$

$$i_{B2} \approx 1.3 \text{ mA}$$

$$v_{E2} = R_4 (i_{B2} + i_{C2}) \approx 1.7 \text{ V}$$

$$V_{BI+} = v_{E2} + 0.7 \text{ V} \approx 2.4 \text{ V}$$

另一方面, 当  $v_{BI}$  从高电平下降至仅比  $R_4$  上的压降高  $0.7 \text{ V}$  以后,  $T_1$  开始脱离饱和,  $v_{CE1}$  开始上升。至  $v_{CE1}$  大于  $0.7 \text{ V}$  以后,  $T_2$  开始导通并引起正反馈过程, 因此转换时  $R_4$  上的压降为

$$v_{E1} = (V_{CC} - v_{CE1}) \frac{R_4}{R_2 + R_4} \quad (10.2.8)$$

将  $v_{CE1} = 0.7 \text{ V}$ ,  $R_2 = 2 \text{ k}\Omega$ ,  $R_4 = 0.48 \text{ k}\Omega$  代入上式计算后得到

$$v_{E1} \approx 0.8 \text{ V}$$

$$V_{BI-} = v_{E1} + 0.7 \text{ V} \approx 1.5 \text{ V}$$

因为整个电路的输入电压  $v_i$  等于  $v_{BI}$  减去输入端二极管的压降  $V_D$ , 故得

$$V_{T+} = V_{BI+} - V_D \approx 1.7 \text{ V}$$

$$V_{T-} = V_{BI-} - V_D \approx 0.8 \text{ V}$$

$$\Delta V_T = V_{T+} - V_{T-} \approx 0.9 \text{ V}$$

为了降低输出电阻以提高电路的驱动能力, 在整个电路的输出部分设置了倒相级和推拉式输出级电路。

由于  $T_2$  导通时施密特电路输出的低电平较高 (约为  $1.9 \text{ V}$ ), 若直接将  $v_{C2}$  与  $T_4$  的基极相连, 将无法使  $T_4$  截止, 所以必须在  $v_{C2}$  与  $T_4$  的基极之间串进电平偏移电路。这样就使得  $v_{C2} \approx 1.9 \text{ V}$  时电平偏移电路的输出仅为  $0.5 \text{ V}$  左右, 保证  $T_4$  能可靠地截止。

图 10.2.4 为集成施密特触发器 7413 的电压传输特性。对每个具体的器件而言, 它的  $V_{T+}$ 、 $V_{T-}$  都是固定的, 不能调节。

图 10.2.5 是 CMOS 集成施密特触发器 CC40106 的电路图。电路的核心部分是由  $T_1 \sim T_6$  组成的施密特触发电路。如果没有  $T_3$  和  $T_6$  存在, 那么  $T_1$ 、 $T_2$ 、 $T_4$  和  $T_5$  仅仅是一个反相器, 无论输入信号  $v_i$  从高电平降低时

还是从低电平升高时转换电平均在  $v_i = \frac{1}{2} V_{DD}$  附近。

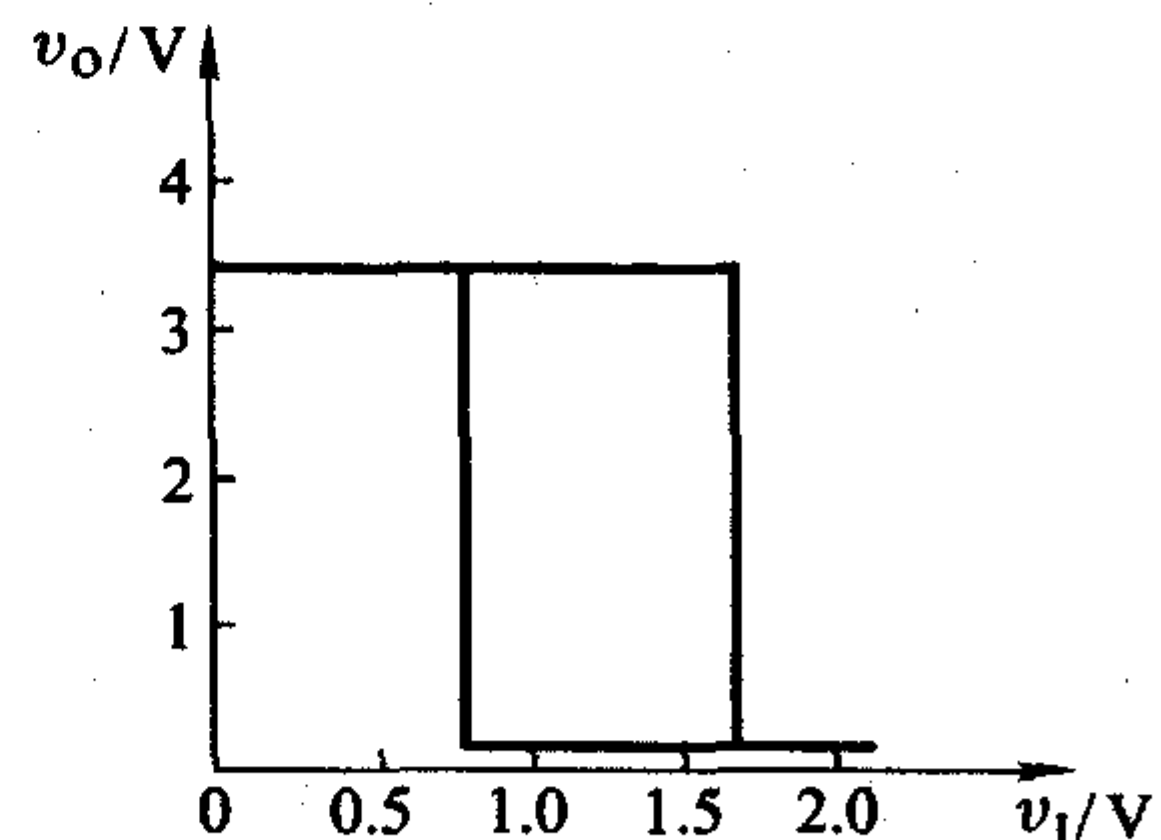


图 10.2.4 集成施密特触发器 7413 的电压传输特性

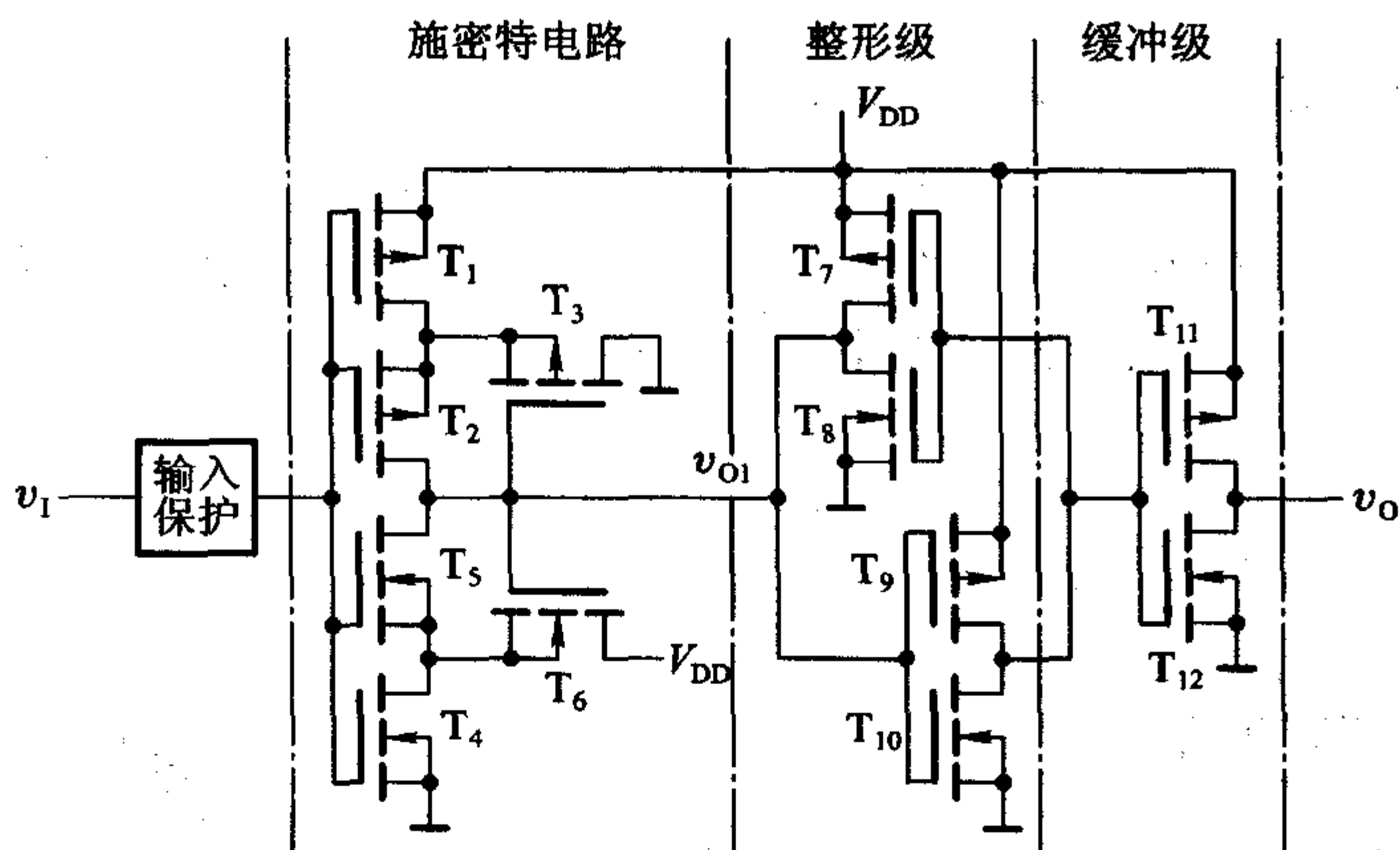


图 10.2.5 CMOS 集成施密特触发器 CC40106

接入  $T_3$  和  $T_6$  以后的情况就不同了。设 P 沟道 MOS 管的开启电压为  $V_{GS(th)P}$ , N 沟道 MOS 管的开启电压为  $V_{GS(th)N}$ 。当  $v_1 = 0$  时  $T_1$ 、 $T_2$  导通而  $T_4$ 、 $T_5$  截止,这是显而易见的。此刻  $v_{O1}$  为高电平 ( $v_{O1} \approx V_{DD}$ ), 它使  $T_3$  截止、 $T_6$  导通并工作在源极输出状态。因此,  $T_5$  源极的电位  $v_{SS}$  较高,  $v_{SS} \approx V_{DD} - V_{GS(th)N}$ 。

在  $v_1$  逐渐升高的过程中, 当  $v_1 > V_{GS(th)N}$  以后,  $T_4$  导通。但由于  $v_{SS}$  很高, 即使  $v_1 > \frac{1}{2}V_{DD}$ ,  $T_5$  仍不会导通。当  $v_1$  继续升高, 直到  $T_1$ 、 $T_2$  的栅源电压  $|v_{GS1}|$ 、 $|v_{GS2}|$  减小到  $T_1$ 、 $T_2$  趋于截止时,  $T_1$  和  $T_2$  的内阻开始急剧增大, 从而使  $v_{O1}$  和  $v_{SS}$  开始下降, 最终达到  $v_1 - v_{SS} \geq V_{GS(th)N}$ , 于是  $T_5$  开始导通并引起如下的正反馈过程

$$v_{O1} \downarrow \longrightarrow v_{SS} \downarrow \longrightarrow v_{GS5} \uparrow \longrightarrow R_{ON5} (T_5 \text{ 的导通内阻}) \downarrow$$

↑

从而使  $T_5$  迅速导通并进入低压降的电阻区。与此同时, 随着  $v_{O1}$  的下降  $T_3$  导通, 并进而使  $T_1$ 、 $T_2$  截止,  $v_{O1}$  下降为低电平。

因此, 在  $V_{DD} \gg V_{GS(th)N} + |V_{GS(th)P}|$  的条件下,  $v_1$  上升过程的转换电平  $V_{T+}$  要比  $\frac{1}{2}V_{DD}$  高得多。而且,  $V_{DD}$  越高  $V_{T+}$  也随之升高。

同理, 在  $V_{DD} \gg V_{GS(th)N} + |V_{GS(th)P}|$  的条件下,  $v_1$  下降过程中的转换电平  $V_{T-}$  要比  $\frac{1}{2}V_{DD}$  低得多, 其转换过程与  $v_1$  上升时的情况类似, 读者可自行分析。

$T_7 \sim T_{10}$  组成的整形电路是两个首尾相连的反相器。在  $v_{O1}$  上升和下降的过程中, 通过两级反相器的正反馈作用, 使输出电压波形进一步得到改善。 $T_{11}$  和  $T_{12}$  组成输出缓冲级, 它不仅提高了电路的带负载能力, 还起到了将内部电路与