

建立时间 t_{set} 是这样定义的:从输入的数字量发生突变开始,直到输出电压进入与稳态值相差 $\pm \frac{1}{2} \text{LSB}$ 范围以内的这段时间,称为建立时间 t_{set} ,如图11.2.20所示。因为输入数字量的变化越大建立时间越长,所以一般产品说明中给出的都是输入从全0跳变为全1(或从全1跳变为全0)时的建立时间。目前在不包含运算放大器的单片集成 D/A 转换器中,建立时间最短的可达 $0.1 \mu\text{s}$ 以内。在包含运算放大器的集成 D/A 转换器中,建立时间最短的也可达 $1.5 \mu\text{s}$ 以内。

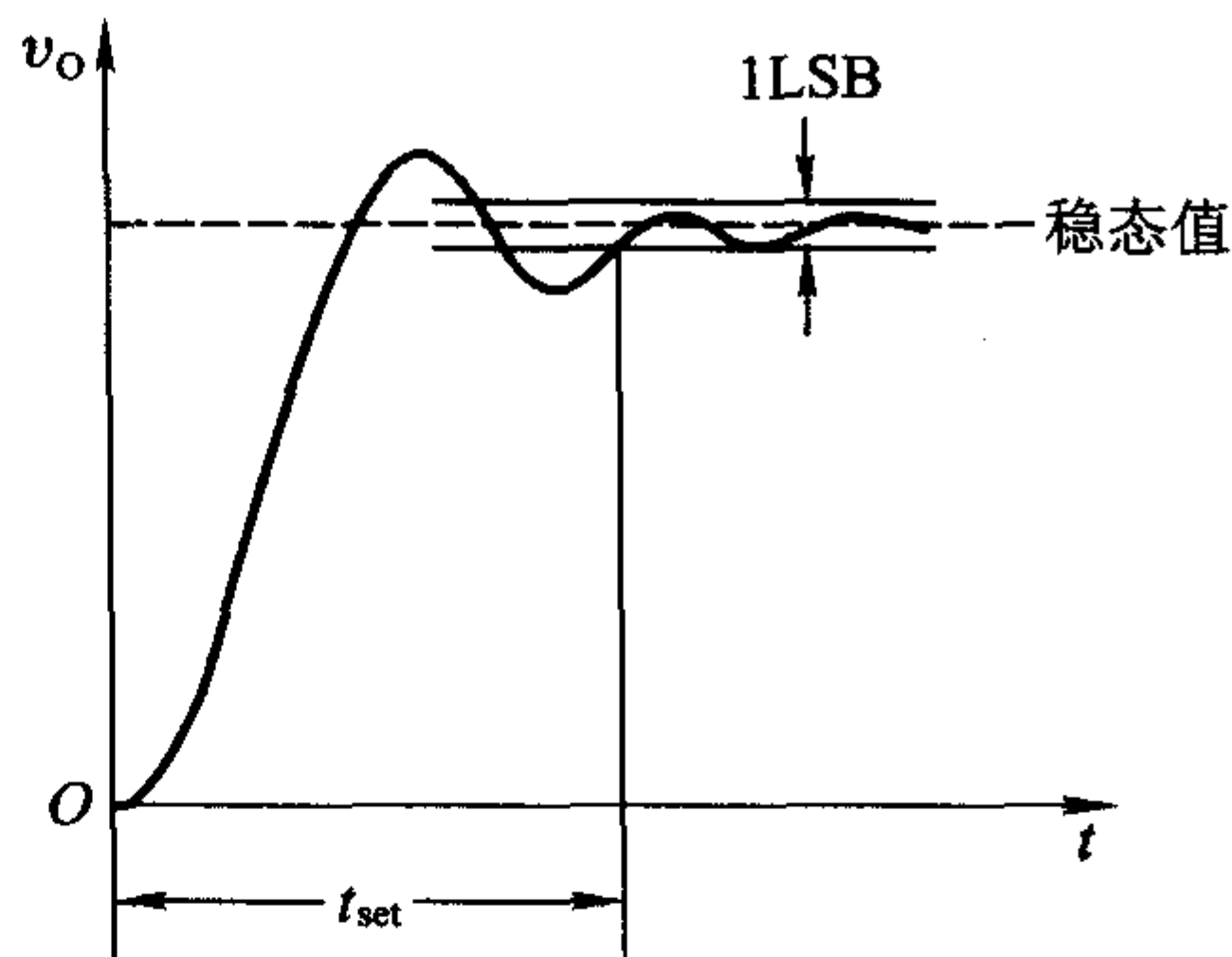


图 11.2.20 D/A 转换器的建立时间

在外加运算放大器组成完整的 D/A 转换器时,如果采用普通的运算放大器,则运算放大器的建立时间将成为 D/A 转换器建立时间 t_{set} 的主要成分。因此,为了获得较快的转换速度,应该选用转换速率(即输出电压的变化速度)较快的运算放大器,以缩短运算放大器的建立时间。

复习思考题

- R11.2.1 在图 11.2.3 所示的倒 T 形电阻网络 D/A 转换器中,用哪些方法能调节输出电压 v_o 的最大幅度?
- R11.2.2 D/A 转换器的电路结构有哪些类型? 它们各有何优、缺点?
- R11.2.3 D/A 转换器转换误差和建立时间是怎样定义的?
- R11.2.4 影响 D/A 转换器转换精度的因素有哪些?

11.3 A/D 转换器

11.3.1 A/D 转换的基本原理

在 A/D 转换器中,因为输入的模拟信号在时间上是连续的而输出的数字信号是离散的,所以转换只能在一系列选定的瞬间对输入的模拟信号取样,然后再将这些取样值转换成输出的数字量。

因此, A/D 转换的过程是首先对输入的模拟电压信号取样, 取样结束后进入保持时间, 在这段时间内将取样的电压量化为数字量, 并按一定的编码形式给出转换结果。然后, 再开始下一次取样。

一、取样定理

由图 11.3.1 可见, 为了能正确无误地用取样信号 v_s 表示模拟信号 v_i , 取样信号必须有足够高的频率。可以证明, 为了保证能从取样信号将原来的被取样信号恢复, 必须满足

$$f_s \geq 2f_{i(\max)} \quad (11.3.1)$$

式中 f_s 为取样频率, $f_{i(\max)}$ 为输入模拟信号 v_i 的最高频率分量的频率。式 (11.3.1) 就是所谓的取样定理。

在满足式 (11.3.1) 的条件下, 可以用低通滤波器将 v_s 还原为 v_i 。这个低通滤波器的电压传输系数在低于 $f_{i(\max)}$ 的范围内应保持不变, 而在 $f_s - f_{i(\max)}$ 以前应迅速下降为 0, 如图 11.3.2 所示。

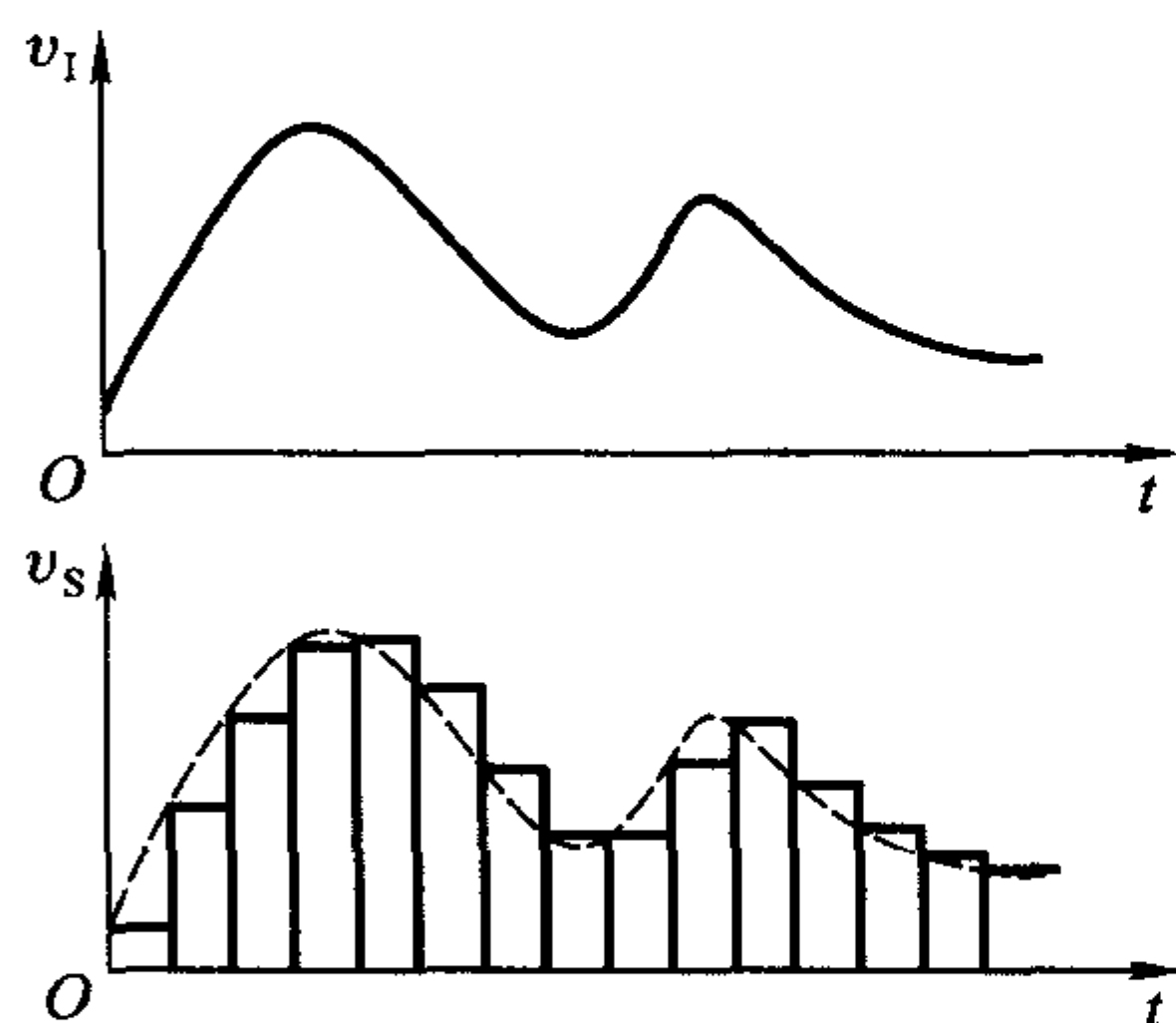


图 11.3.1 对输入模拟信号的取样

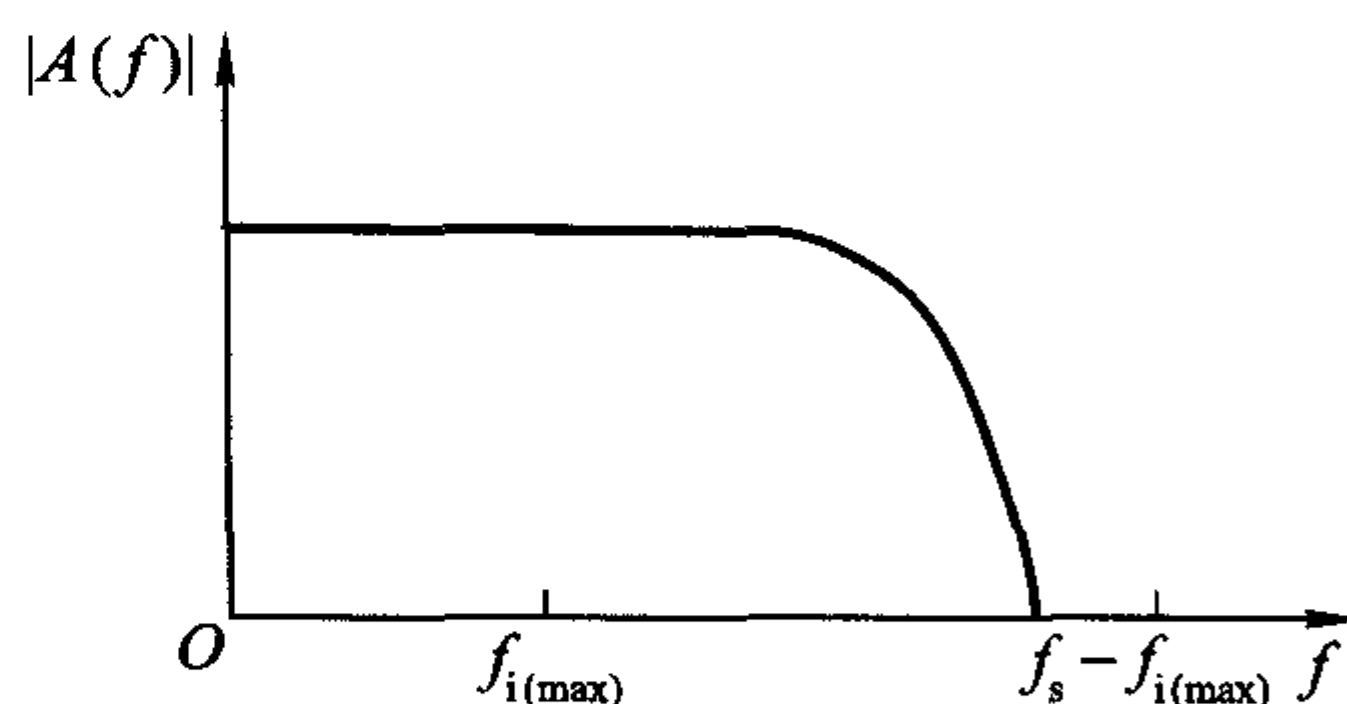


图 11.3.2 还原取样信号所用滤波器的频率特性

因此, A/D 转换器工作时的取样频率必须高于式 (11.3.1) 所规定的频率。取样频率提高以后留给每次进行转换的时间也相应地缩短了, 这就要求转换电路必须具备更快的工作速度。因此, 不能无限制地提高取样频率, 通常取 $f_s = (3 \sim 5) \cdot f_{i(\max)}$ 已满足要求。

由于转换是在取样结束后的保持时间内完成的, 所以转换结果所对应的模拟电压是每次取样结束时的 v_i 值。

二、量化和编码

正如我们在第一章所指出, 数字信号不仅在时间上是离散的, 而且数值大小的变化也是不连续的。这就是说, 任何一个数字量的大小只能是某个规定的最

小数量单位的整数倍。在进行A/D转换时,必须将取样电压表示为这个最小单位的整数倍。这个转化过程称为量化,所取的最小数量单位称为量化单位,用 Δ 表示。显然,数字信号最低有效位(LSB)的1所代表的数量大小就等于 Δ 。

将量化的结果用代码(可以是二进制,也可以是其他进制)表示出来,称为编码。这些代码就是A/D转换的输出结果。

既然模拟电压是连续的,那么它就不一定能被 Δ 整除,因而量化过程不可避免地会引入误差。这种误差称为量化误差。将模拟电压信号划分为不同的量化等级时通常有图11.3.3所示的两种方法,它们的量化误差相差较大。

输入 信号	二进制 代码	代表的 模拟电压	输入 信号	二进制 代码	代表的 模拟电压
1V			1V		
7/8V	111	$7\Delta = 7/8(V)$	13/15V	111	$7\Delta = 14/15(V)$
6/8V	110	$6\Delta = 6/8(V)$	11/15V	110	$6\Delta = 12/15(V)$
5/8V	101	$5\Delta = 5/8(V)$	9/15V	101	$5\Delta = 10/15(V)$
4/8V	100	$4\Delta = 4/8(V)$	7/15V	100	$4\Delta = 8/15(V)$
3/8V	011	$3\Delta = 3/8(V)$	5/15V	011	$3\Delta = 6/15(V)$
2/8V	010	$2\Delta = 2/8(V)$	3/15V	010	$2\Delta = 4/15(V)$
1/8V	001	$1\Delta = 1/8(V)$	1/15V	001	$1\Delta = 2/15(V)$
0	000	$0\Delta = 0(V)$	0	000	$0\Delta = 0(V)$

图 11.3.3 划分量化电平的两种方法

例如,要求将0~1V的模拟电压信号转换成3位二进制代码,则最简单的方法是取 $\Delta = \frac{1}{8}V$,并规定凡数值在 $0 \sim \frac{1}{8}V$ 之间的模拟电压都当作 $0 \cdot \Delta$ 对待,用二进制数000表示;凡数值在 $\frac{1}{8} \sim \frac{2}{8}V$ 之间的模拟电压都当作 $1 \cdot \Delta$ 对待,用二进制数001表示,……等等,如图11.3.3(a)所示。不难看出,这种量化方法可能带来的最大量化误差可达 Δ ,即 $\frac{1}{8}V$ 。

为了减小量化误差,通常采用图11.3.3(b)所示的改进方法划分量化电平。在这种划分量化电平的方法中,取量化电平 $\Delta = \frac{2}{15}V$,并将输出代码000对应的模

拟电压范围规定为 $0 \sim \frac{1}{15}V$, 即 $0 \sim \frac{1}{2}\Delta$, 这样可以将最大量化误差减小到 $\frac{1}{2}\Delta$, 即 $\frac{1}{15}V$ 。这个道理不难理解, 因为现在将每个输出二进制代码所表示的模拟电压值规定为它所对应的模拟电压范围的中间值, 所以最大量化误差自然不会超过 $\frac{1}{2}\Delta$ 。

当输入的模拟电压在正、负范围内变化时, 一般要求采用二进制补码的形式编码, 如图 11.3.4 所示。在这个例子中取 $\Delta = 1V$, 输出为 3 位二进制补码, 最高位为符号位。

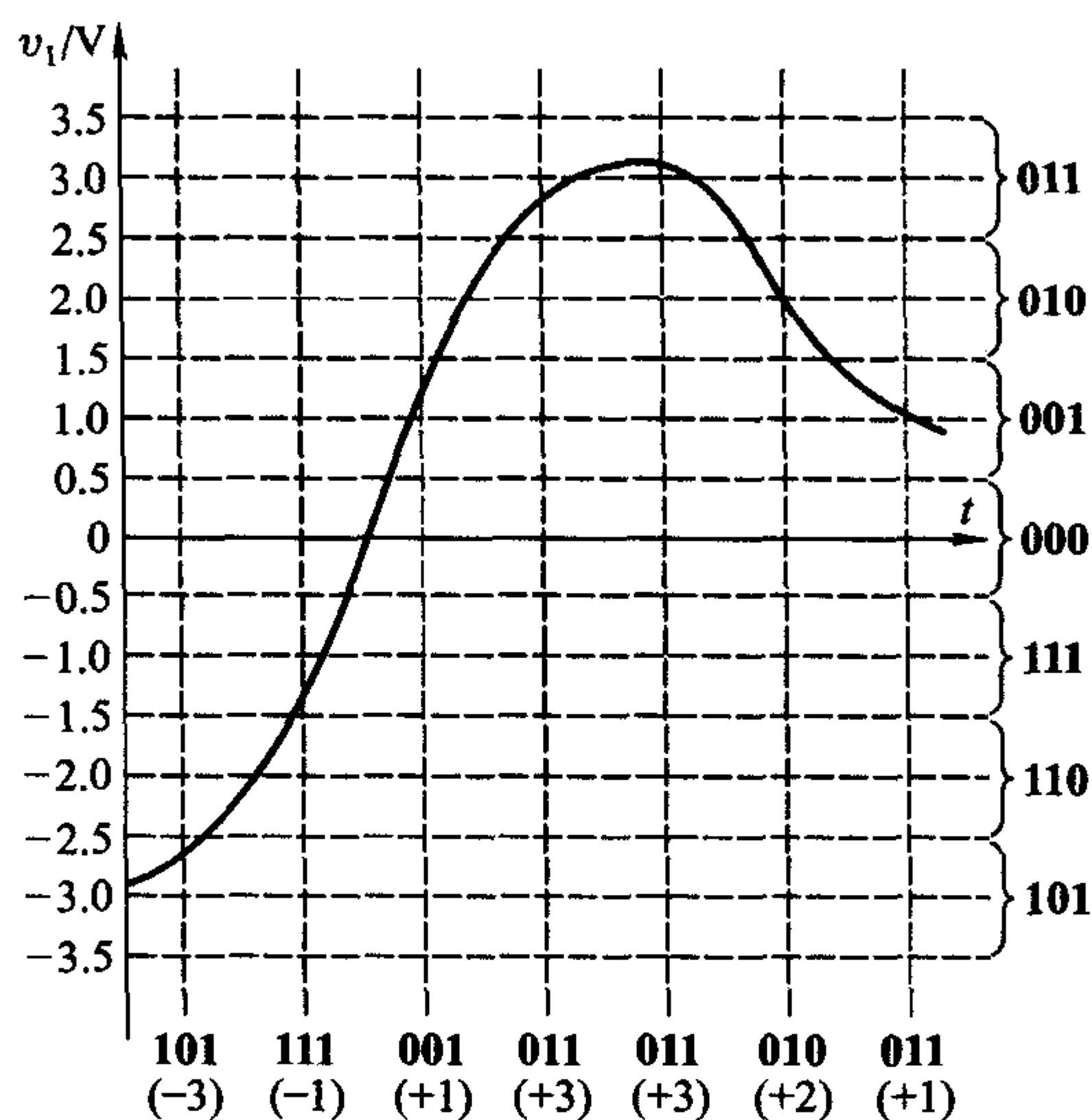


图 11.3.4 对双极性模拟电压的量化和编码

复习思考题

R11.3.1 什么是量化误差? 有哪些可以减小量化误差的办法?

11.3.2 取样 - 保持电路

取样 - 保持电路的基本形式如图 11.3.5 所示。图中 T 为 N 沟道增强型 MOS 管, 作模拟开关使用。当取样控制信号 v_L 为高电平时 T 导通, 输入信号 v_i

经电阻 R_I 和 T 向电容 C_H 充电。若取 $R_I = R_F$, 并忽略运算放大器的输入电流, 则充电结束后 $v_o = v_c = -v_i$ 。这里 v_c 为电容 C_H 上的电压。

当 v_L 返回低电平以后, MOS 管 T 截止。由于 C_H 上的电压在一段时间内基本保持不变, 所以 v_o 也保持不变, 取样结果被保存下来。 C_H 的漏电越小, 运算放大器的输入阻抗越高, v_o 保持的时间也越长。

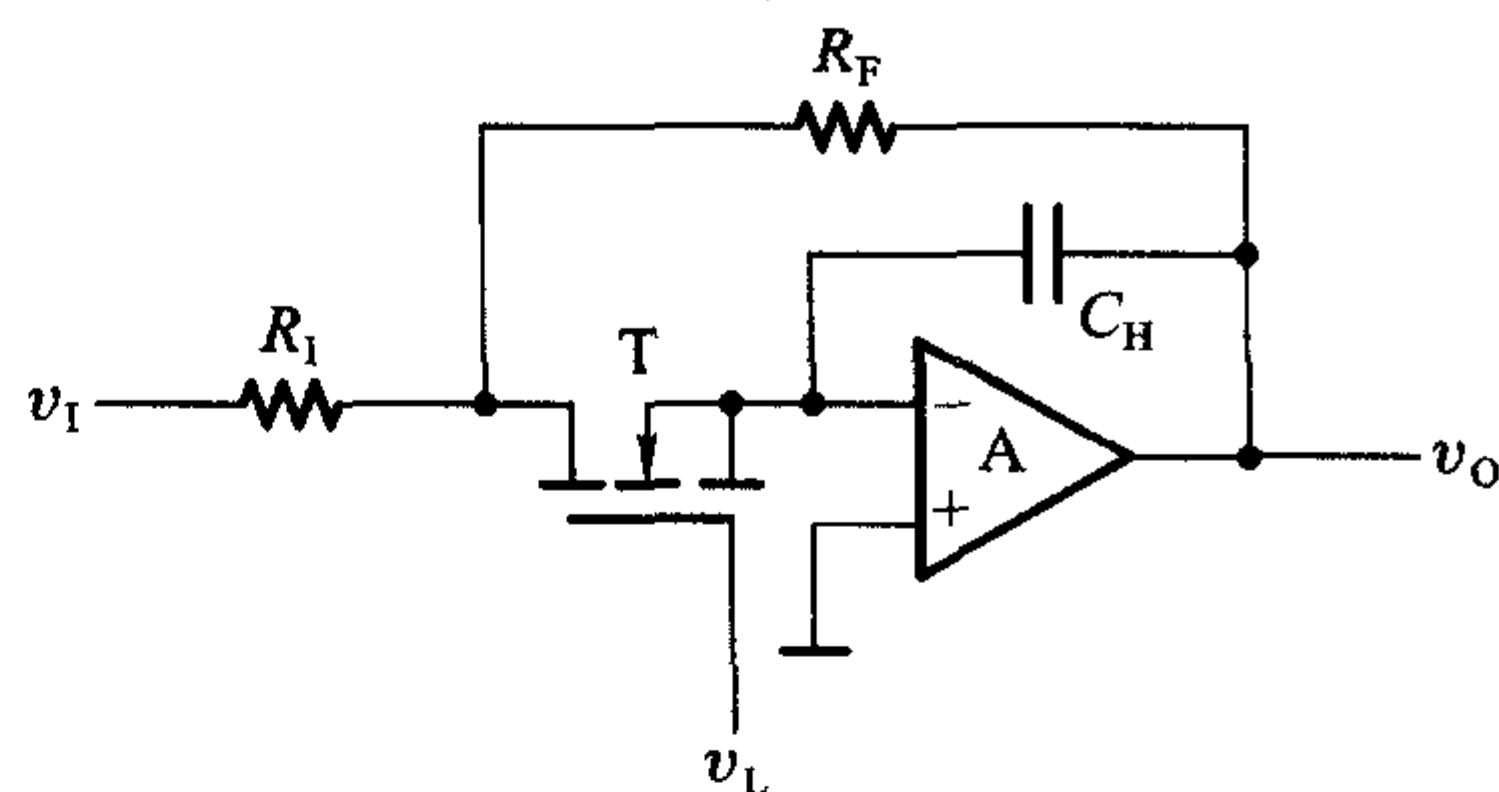


图 11.3.5 取样-保持电路的基本形式

然而图 11.3.5 电路是很不完善的。由于取样过程中需要输入电压经 R_I 和 T 向电容 C_H 充电, 这就限制

了取样速度。同时, 又不能指望通过减小 R_I 的办法提高取样速度, 因为这样做必将降低电路的输入阻抗。因此, 降低 R_I 的阻值不是一个好办法。

解决这个矛盾的一种可行方法是在电路的输入端增加一级隔离放大器。图 11.3.6 中给出的单片集成取样-保持电路 LF398 就是这样的一种改进电路。

在图 11.3.6(a) 所示的电路结构图中, A_1 、 A_2 是两个运算放大器, S 是模拟开关, L 是控制 S 状态的逻辑单元。 v_L 和 V_{REF} 是逻辑单元的两个输入电压信号, 当 $v_L > V_{REF} + V_{TH}$ 时 S 接通, 而当 $v_L < V_{REF} + V_{TH}$ 时 S 断开。 V_{TH} 称为阈值电压, 约为 1.4V。通常使用情况下, 将 V_{REF} 接 0 电平。

图 11.3.6(b) 给出了 LF398 的典型接法。由于图中取 $V_{REF} = 0$, 而且设 v_L 为 TTL 逻辑电平, 则 $v_L = 1$ 时 S 接通, $v_L = 0$ 时 S 断开。

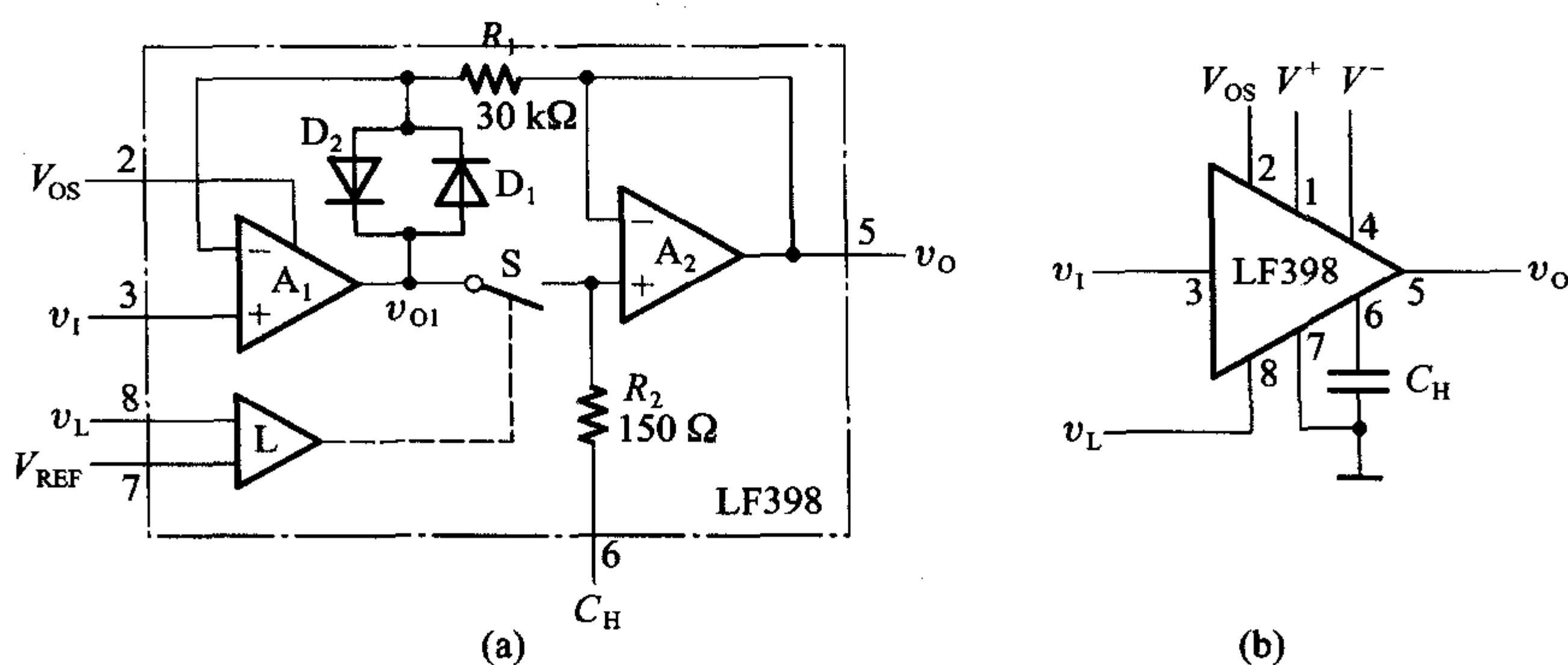


图 11.3.6 集成取样-保持电路 LF398

(a) 电路结构 (b) 典型接法

当 $v_L = 1$ 时电路处于取样工作状态, 这时 S 闭合, A_1 和 A_2 均工作在单位增

益的电压跟随器状态,所以有 $v_o = v_{o1} = v_i$ 。如果在 R_2 的引出端与地之间接入电容 C_H ,那么电容电压的稳态值也是 v_i 。

取样结束时 v_L 回到低电平,电路进入保持状态。这时 S 断开, C_H 上的电压基本保持不变,因而输出电压 v_o 也得以维持原来的数值。

在图 11.3.6(a) 电路中还有一个由二极管 D_1 、 D_2 组成的保护电路。在没有 D_1 和 D_2 的情况下,如果在 S 再次接通以前 v_i 变化了,则 v_{o1} 的变化可能很大,以至于使 A_1 的输出进入饱和状态并使开关电路承受过高的电压。接入 D_1 和 D_2 以后,当 v_{o1} 比 v_o 所保持的电压高出一个二极管的压降时, D_1 将导通, v_{o1} 被钳位于 $v_i + V_{D1}$ 。这里的 V_{D1} 表示二极管 D_1 的正向导通压降。当 v_{o1} 比 v_o 低一个二极管的压降时, D_2 导通,将 v_{o1} 钳位于 $v_i - V_{D2}$ 。 V_{D2} 为 D_2 的正向导通压降。在 S 接通的情况下,因为 $v_{o1} \approx v_o$,所以 D_1 和 D_2 都不导通,保护电路不起作用。

取样过程中电容 C_H 上的电压达到稳态值所需要的时间(称为获取时间)和保持阶段输出电压的下降率 $\Delta v_o / \Delta T$ 是衡量取样-保持电路性能的两个最重要的指标。在 LF398 中,采用了双极型与 MOS 型混合工艺。为了提高电路工作速度并降低输入失调电压,输入端运算放大器的输入级采用双极型三极管电路。而在输出端的运算放大器中,输入级使用了场效应三极管,这就有效地提高了放大器的输入阻抗,减小了保持时间内 C_H 上电荷的损失,使输出电压的下降率达到 10^{-3} (mV/s) 以下(当外接电容 C_H 为 $0.01\mu\text{F}$ 的低漏电电容器时)。

输出电压下降率与外接电容 C_H 电容量的大小和漏电情况有关。 C_H 的电容量越大、漏电越小,输出电压下降率越低。然而加大 C_H 的电容量会使获取时间变长,所以在选择 C_H 的电容量大小时应兼顾输出电压下降率和获取时间两方面的要求。

逻辑输入端(v_L)和参考输入端(V_{REF})都具有较高的输入电阻,可以直接用 TTL 电路或 CMOS 电路驱动。通过失调调整输入端 V_{OS} 可以调整输出电压的零点,使 $v_i = 0$ 时 $v_o = 0$ 。 V_{OS} 的数值可以用电位器的动端调节,电位器的一个定端接电源 V^+ ,另一个定端通过电阻接地。

11.3.3 并联比较型 A/D 转换器

并联比较型 A/D 转换器属于直接 A/D 转换器,它可将输入的模拟电压直接转换为输出的数字量而不需要经过中间变量。

图 11.3.7 为并联比较型 A/D 转换器电路结构图,它由电压比较器、寄存器和代码转换电路三部分组成。输入为 $0 \sim V_{\text{REF}}$ 间的模拟电压,输出为 3 位二进制数码 $d_2 d_1 d_0$ 。这里略去了取样-保持电路,假定输入的模拟电压 v_i 已经是取样-保持电路的输出电压了。

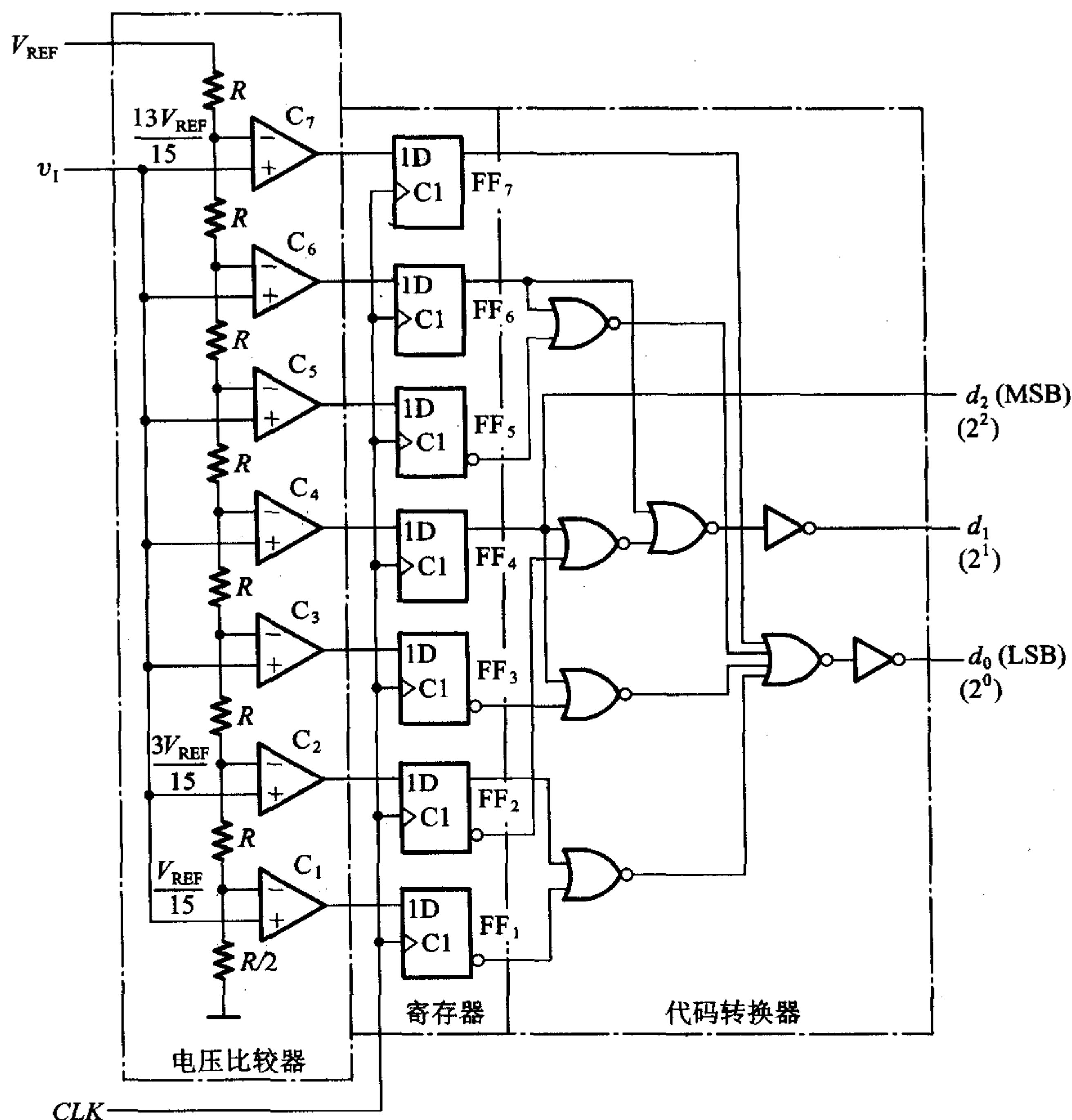


图 11.3.7 并联比较型 A/D 转换器

电压比较器中量化电平的划分采用图 11.3.3(b)所示的方式,用电阻链将参考电压 V_{REF} 分压,得到从 $\frac{1}{15}V_{\text{REF}}$ 到 $\frac{13}{15}V_{\text{REF}}$ 之间 7 个比较电平,量化单位为 $\Delta = \frac{2}{15}V_{\text{REF}}$ 。然后,将这 7 个比较电平分别接到 7 个电压比较器 $C_1 \sim C_7$ 的输入端,作为比较基准。同时,将输入的模拟电压同时加到每个比较器的另一个输入端上,与这 7 个比较基准进行比较。

若 $v_i < \frac{1}{15}V_{\text{REF}}$,则所有比较器的输出全是低电平,CLK 上升沿到来后寄存器中所有的触发器($\text{FF}_1 \sim \text{FF}_7$)都被置成 0 状态。

若 $\frac{1}{15}V_{\text{REF}} \leq v_i < \frac{3}{15}V_{\text{REF}}$, 则只有 C_1 输出为高电平, CLK 上升沿到达后 FF_1 被置 1, 其余触发器被置 0。

依此类推, 便可列出 v_i 为不同电压时寄存器的状态, 如表 11.3.1 所示。不过寄存器输出的是一组 7 位的二值代码, 还不是所要求的二进制数, 因此必须进行代码转换。

代码转换器是一个组合逻辑电路, 根据表 11.3.1 可以写出代码转换电路输出与输入间的逻辑函数式

$$\begin{cases} d_2 = Q_4 \\ d_1 = Q_6 + Q_4'Q_2 \\ d_0 = Q_7 + Q_6'Q_5 + Q_4'Q_3 + Q_2'Q_1 \end{cases} \quad (11.3.2)$$

按照式 (11.3.2) 即可得到图 11.3.7 中的代码转换电路。

表 11.3.1 图 11.3.7 电路的代码转换表

输入模拟电压 v_i	寄存器状态 (代码转换器输入)							数字量输出 (代码转换器输出)		
	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	d_2	d_1	d_0
$(0 \sim \frac{1}{15})V_{\text{REF}}$	0	0	0	0	0	0	0	0	0	0
$(\frac{1}{15} \sim \frac{3}{15})V_{\text{REF}}$	0	0	0	0	0	0	1	0	0	1
$(\frac{3}{15} \sim \frac{5}{15})V_{\text{REF}}$	0	0	0	0	0	1	1	0	1	0
$(\frac{5}{15} \sim \frac{7}{15})V_{\text{REF}}$	0	0	0	0	1	1	1	0	1	1
$(\frac{7}{15} \sim \frac{9}{15})V_{\text{REF}}$	0	0	0	1	1	1	1	1	0	0
$(\frac{9}{15} \sim \frac{11}{15})V_{\text{REF}}$	0	0	1	1	1	1	1	1	0	1
$(\frac{11}{15} \sim \frac{13}{15})V_{\text{REF}}$	0	1	1	1	1	1	1	1	1	0
$(\frac{13}{15} \sim 1)V_{\text{REF}}$	1	1	1	1	1	1	1	1	1	1

并联比较型 A/D 转换器的转换精度主要取决于量化电平的划分, 分得越细 (亦即 Δ 取得越小), 精度越高。不过分得越细使用的比较器和触发器数目越大, 电路更加复杂。此外, 转换精度还受参考电压的稳定度和分压电阻相对精度以及电压比较器灵敏度的影响。

这种 A/D 转换器的最大优点是转换速度快。如果从 CLK 信号的上升沿算起, 图 11.3.7 电路完成一次转换所需要的时间只包括一级触发器的翻转时间和三级门电路的传输延迟时间。目前, 输出为 8 位的并联比较型 A/D 转换器转换

时间可以达到 50ns 以下,这是其他类型 A/D 转换器都无法做到的。

另外,使用图 11.3.7 这种含有寄存器的 A/D 转换器时不用附加取样-保持电路,因为比较器和寄存器这两部分也兼有取样-保持功能。这也是图 11.3.7 电路的又一个优点。

并联比较型 A/D 转换器的缺点是需要用很多的电压比较器和触发器。从图 11.3.7 电路不难得知,输出为 n 位二进制代码的转换器中应当有 $2^n - 1$ 个电压比较器和 $2^n - 1$ 个触发器。电路的规模随着输出代码位数的增加而急剧膨胀。如果输出为 10 位二进制代码,则需要用 $2^{10} - 1 = 1023$ 个比较器和 1023 个触发器以及一个规模相当庞大的代码转换电路。

11.3.4 反馈比较型 A/D 转换器

反馈比较型 A/D 转换器也是一种直接 A/D 转换器。它的构思是这样的:取一个数字量加到 D/A 转换器上,于是得到一个对应的输出模拟电压。将这个模拟电压和输入的模拟电压信号相比较。如果两者不相等,则调整所取的数字量,直到两个模拟电压相等为止,最后所取的这个数字量就是所求的转换结果。

在反馈比较型 A/D 转换器中经常采用的有计数型和逐次渐近型两种方案。

图 11.3.8 是计数型 A/D 转换器的原理性框图。转换电路由比较器 C、D/A 转换器、计数器、脉冲源、控制门 G 以及输出寄存器等几部分组成。

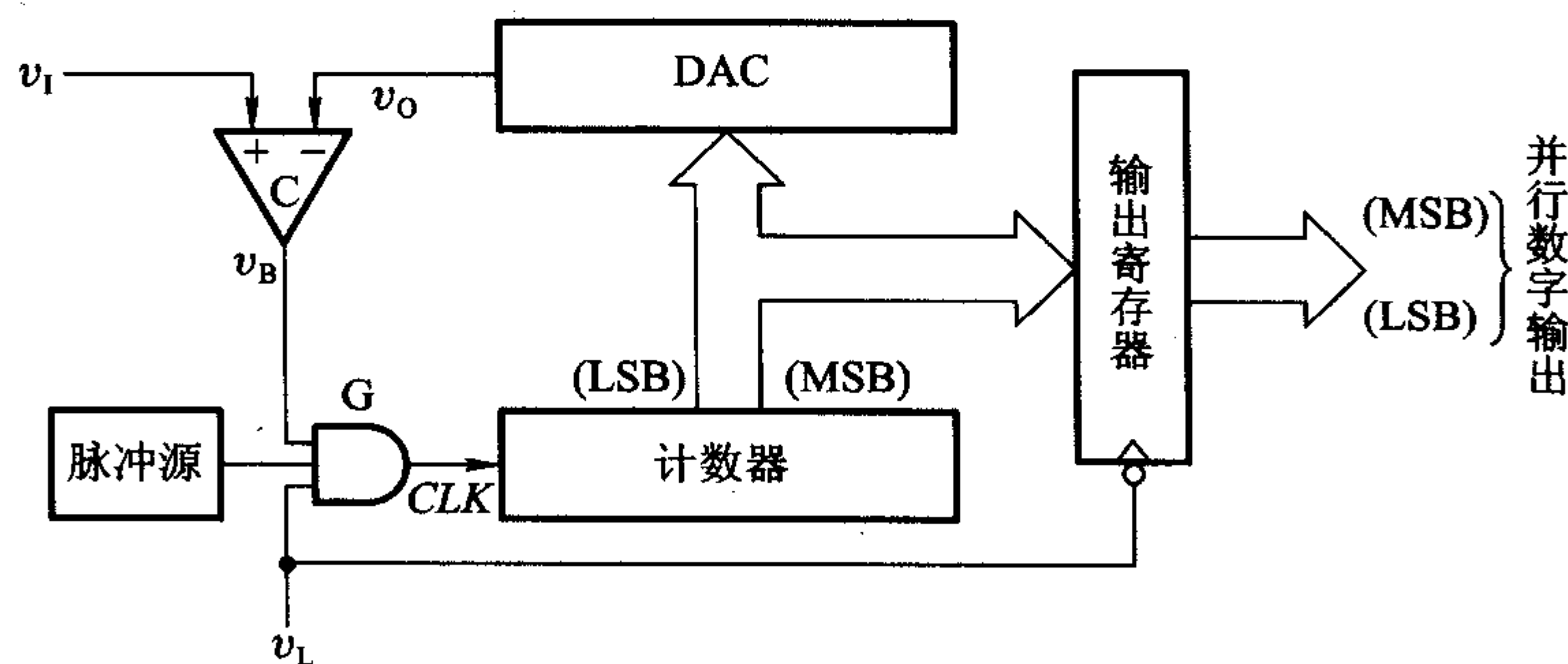


图 11.3.8 计数型 A/D 转换器

转换开始前先用复位信号将计数器置零,而且转换控制信号应停留在 $v_L = 0$ 的状态。这时门 G 被封锁,计数器不工作。计数器加给 D/A 转换器的是全 0 数字信号,所以 D/A 转换器输出的模拟电压 $v_o = 0$ 。如果 v_i 为正电压信号,则 $v_i > v_o$,比较器的输出电压 $v_B = 1$ 。

当 v_L 变成高电平时开始转换,脉冲源发出的脉冲经过门 G 加到计数器的时钟信号输入端 CLK,计数器开始做加法计数。随着计数的进行,D/A 转换器输

出的模拟电压 v_0 也不断增加。当 v_0 增至 $v_0 = v_i$ 时,比较器的输出电压变成 $v_B = 0$,将门 G 封锁,计数器停止计数。这时计数器中所存的数字就是所求的输出数字信号。

因为在转换过程中计数器中的数字不停地在变化,所以不宜将计数器的状态直接作为输出信号。为此,在输出端设置了输出寄存器。在每次转换完成以后,用转换控制信号 v_L 的下降沿将计数器输出的数字置入输出寄存器中,而以寄存器的状态作为最终的输出信号。

这种方案的明显缺点是转换时间太长。当输出为 n 位二进制数码时,最长的转换时间可达 $2^n - 1$ 倍的时钟信号周期。因此,这种方法只能用在转换速度要求不高的场合。然而由于它的电路非常简单,所以在对转换速度没有严格要求时仍是一种可取的方案。

为了提高转换速度,在计数型 A/D 转换器的基础上又产生了逐次渐近型 A/D 转换器。虽然它也是反馈比较型的 A/D 转换器,但是在 D/A 转换器部分输入数字量的给出方式有所改变。

逐次渐近型 A/D 转换器的工作原理可以用图 11.3.9 所示的框图来说明。这种转换器的电路包含比较器 C、D/A 转换器、寄存器、时钟脉冲源和控制逻辑等 5 个组成部分。

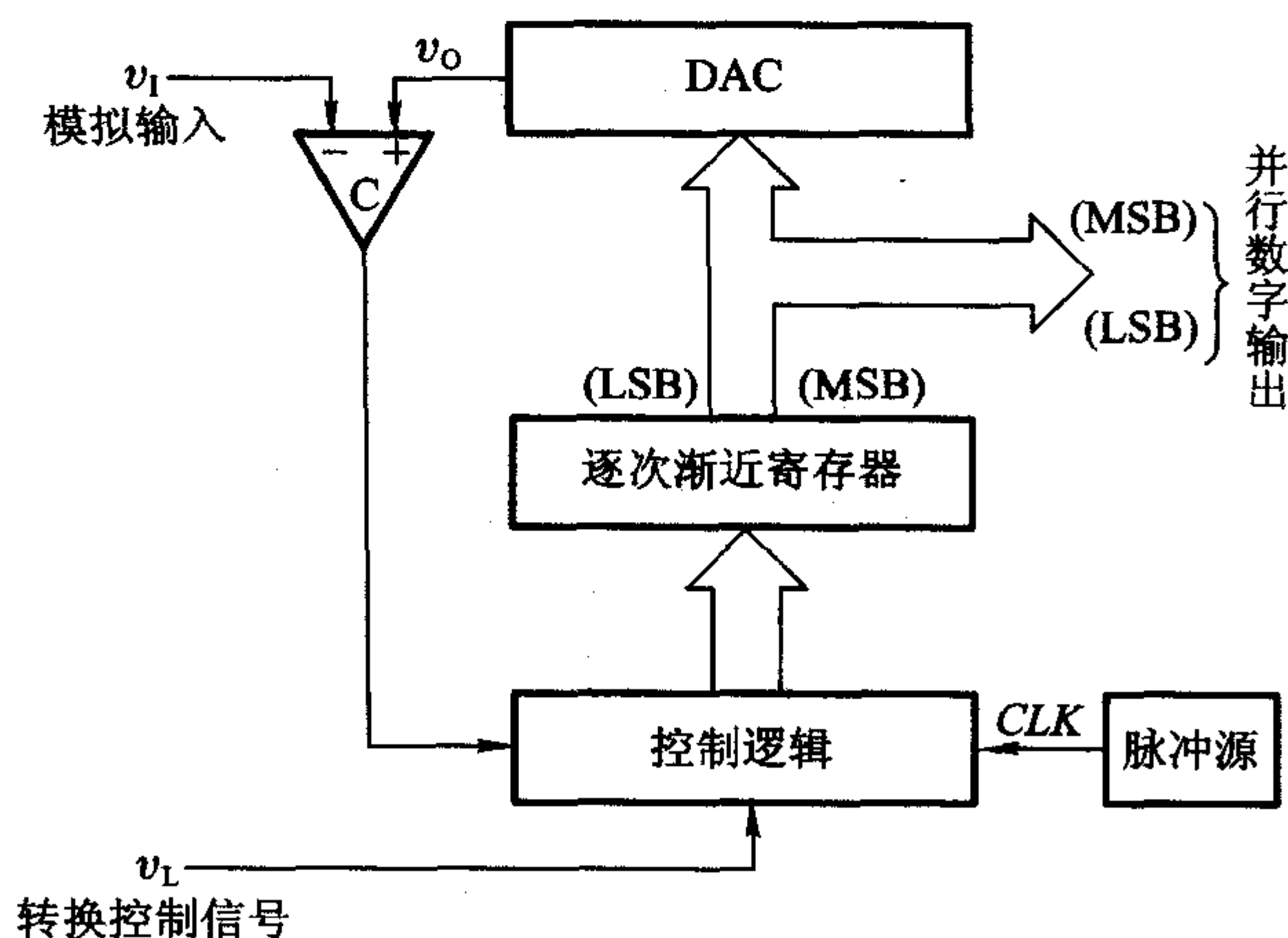


图 11.3.9 逐次渐近型 A/D 转换器的电路结构框图

转换开始前先将寄存器清零,所以加给 D/A 转换器的数字量也是全 0。转换控制信号 v_L 变为高电平时开始转换,时钟信号首先将寄存器的最高位置成 1,使寄存器的输出为 $100\cdots 00$ 。这个数字量被 D/A 转换器转换成相应的模拟电压 v_0 ,并送到比较器与输入信号 v_i 进行比较。如果 $v_0 > v_i$,说明数字过大了,则这