

个 1 应去掉;如果  $v_0 < v_1$ , 说明数字还不够大, 这个 1 应予保留。然后, 再按同样的方法将次高位置 1, 并比较  $v_0$  与  $v_1$  的大小以确定这一位的 1 是否应当保留。这样逐位比较下去, 直到最低位比较完为止。这时寄存器里所存的数码就是所求的输出数字量。

上述的比较过程正如同用天平去称量一个未知重量的物体时所进行的操作一样, 而所使用的砝码一个比一个重量少一半。

下面再结合图 11.3.10 的逻辑电路具体说明一下逐次比较的过程。这是一个输出为 3 位二进制数码的逐次渐近型 A/D 转换器。图中的 C 为电压比较器, 当  $v_1 \geq v_0$  时比较器的输出  $v_B = 0$ ; 当  $v_1 < v_0$  时  $v_B = 1$ 。FF<sub>A</sub>、FF<sub>B</sub>、FF<sub>C</sub> 三个触发器组成了 3 位数码寄存器, 触发器 FF<sub>1</sub> ~ FF<sub>5</sub> 和门电路 G<sub>1</sub> ~ G<sub>9</sub> 组成控制逻辑电路。

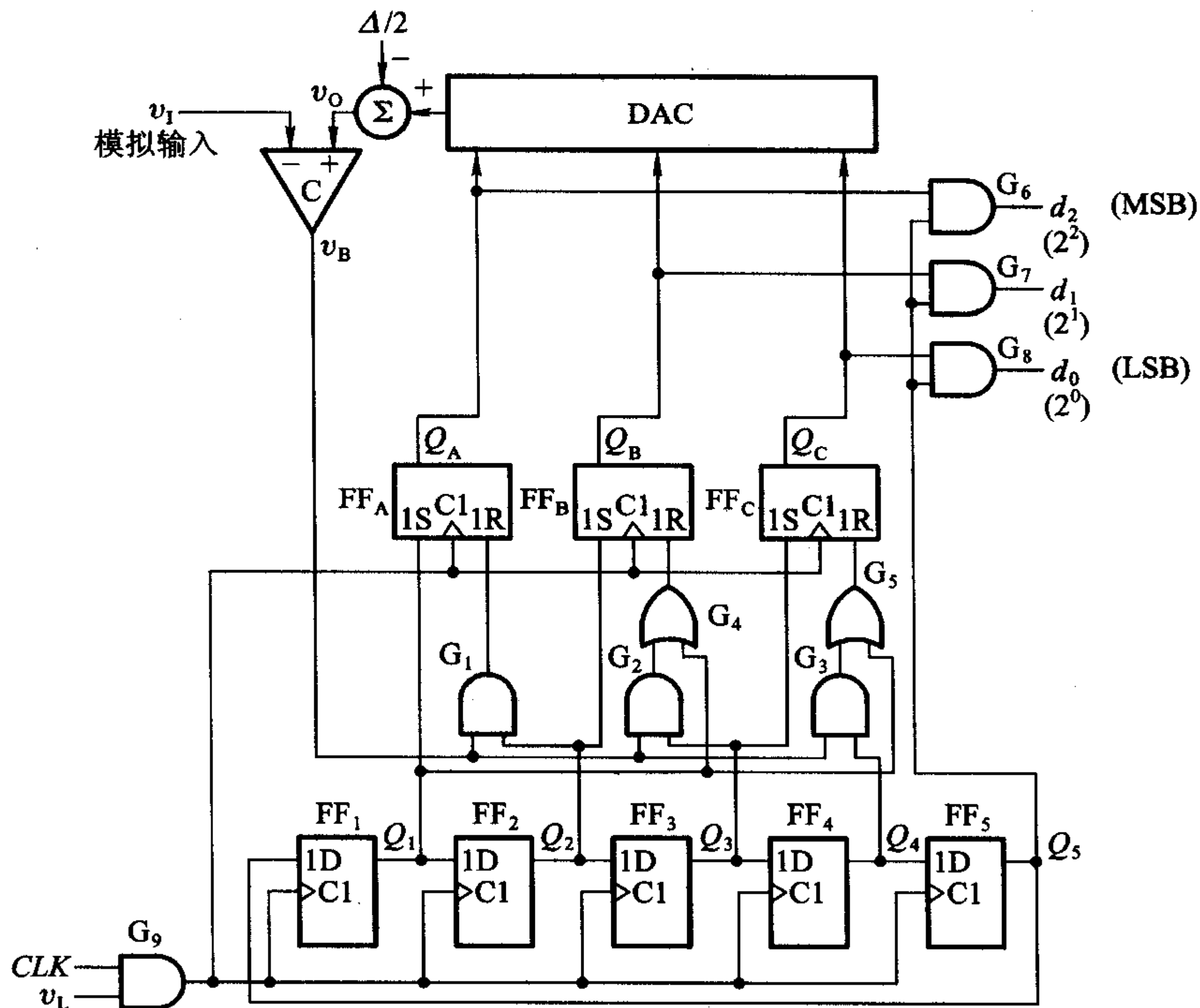


图 11.3.10 3 位逐次渐近型 A/D 转换器的电路原理图

转换开始前先将 FF<sub>A</sub>、FF<sub>B</sub>、FF<sub>C</sub> 置零, 同时将 FF<sub>1</sub> ~ FF<sub>5</sub> 组成的环形移位寄存器置成  $Q_1 Q_2 Q_3 Q_4 Q_5 = 10000$  状态。

转换控制信号  $v_L$  变成高电平以后, 转换开始。第一个 CLK 脉冲到达后, FF<sub>A</sub> 被置 1 而 FF<sub>B</sub>、FF<sub>C</sub> 被置 0。这时寄存器的状态  $Q_A Q_B Q_C = 100$  加到 D/A 转换器的输入端上, 并在 D/A 转换器的输出端得到相应的模拟电压  $v_0$ 。 $v_0$  和  $v_1$

在比较器中比较,其结果不外乎两种:若  $v_1 \geq v_0$ ,则  $v_B = 0$ ;若  $v_1 < v_0$ ,则  $v_B = 1$ 。同时,移位寄存器右移一位,使  $Q_1Q_2Q_3Q_4Q_5 = 01000$ 。

第二个  $CLK$  脉冲到达时  $FF_B$  被置成 1。若原来的  $v_B = 1$ ,则  $FF_A$  被置 0;若原来的  $v_B = 0$ ,则  $FF_A$  的 1 状态保留。同时移位寄存器右移一位,变为 00100 状态。

第三个  $CLK$  脉冲到达时  $FF_C$  被置 1。若原来的  $v_B = 1$ ,则  $FF_B$  被置 0;若原来的  $v_B = 0$ ,则  $FF_B$  的 1 状态保留。同时移位寄存器右移一位,变成 00010 状态。

第四个  $CLK$  脉冲到达时,同样根据这时  $v_B$  的状态决定  $FF_C$  的 1 是否应当保留。这时  $FF_A$ 、 $FF_B$ 、 $FF_C$  的状态就是所要的转换结果。同时,移位寄存器右移一位,变为 00001 状态。由于  $Q_5 = 1$ ,于是  $FF_A$ 、 $FF_B$ 、 $FF_C$  的状态便通过门  $G_6$ 、 $G_7$ 、 $G_8$  送到了输出端。

第五个  $CLK$  脉冲到达后,移位寄存器右移一位,使得  $Q_1Q_2Q_3Q_4Q_5 = 10000$ ,返回初始状态。同时,由于  $Q_5 = 0$ ,门  $G_6$ 、 $G_7$ 、 $G_8$  被封锁,转换输出信号随之消失。

为了减小量化误差,令 D/A 转换器的输出产生  $-\Delta/2$  的偏移量。这里的  $\Delta$  表示 D/A 转换器最低有效位输入 1 所产生的输出模拟电压大小,它也就是模拟电压的量化单位。由图 11.3.3(b)可知,为使量化误差不大于  $\Delta/2$ ,在划分量化电平等级时应使第一个量化电平为  $\Delta/2$ ,而不是  $\Delta$ 。现在与  $v_1$  比较的量化电平每次由 D/A 转换器的输出给出,所以应将 D/A 转换器输出的所有比较电平同时向负的方向偏移  $\Delta/2$ 。

从这个例子可以看出,3 位输出的 A/D 转换器完成一次转换需要 5 个时钟信号周期的时间。如果是  $n$  位输出的 A/D 转换器,则完成一次转换所需的时间将为  $n+2$  个时钟信号周期的时间。因此,它的转换速度比并联比较型 A/D 转换器低,但比计数型 A/D 转换器的转换速度要高得多。例如,一个输出为 10 位的计数型 A/D 转换器完成一次转换的最长时间可达  $(2^{10} - 1)$  倍的时钟周期的时间,而一个输出为 10 位的逐次渐近型 A/D 转换器完成一次转换仅需要 12 个时钟周期的时间。而且,在输出位数较多时,逐次渐近型 A/D 转换器的电路规模要比并联比较型小得多。因此,逐次渐近型 A/D 转换器是目前集成 A/D 转换器产品中用得最多的一种电路。

### 11.3.5 双积分型 A/D 转换器

双积分型 A/D 转换器是一种间接 A/D 转换器,它首先将输入的模拟电压信号转换成与之成正比的时间宽度信号,然后在这个时间宽度里对固定频率的时钟脉冲计数,计数的结果就是正比于输入模拟电压的数字信号。因此,也将这种 A/D 转换器称为电压-时间变换型(简称 V-T 变换型)A/D 转换器。

图 11.3.11 是双积分型 A/D 转换器的原理性框图,它包含积分器、比较器、计数器、控制逻辑和时钟信号源几个组成部分。图 11.3.12 是这个电路的电压

波形图。

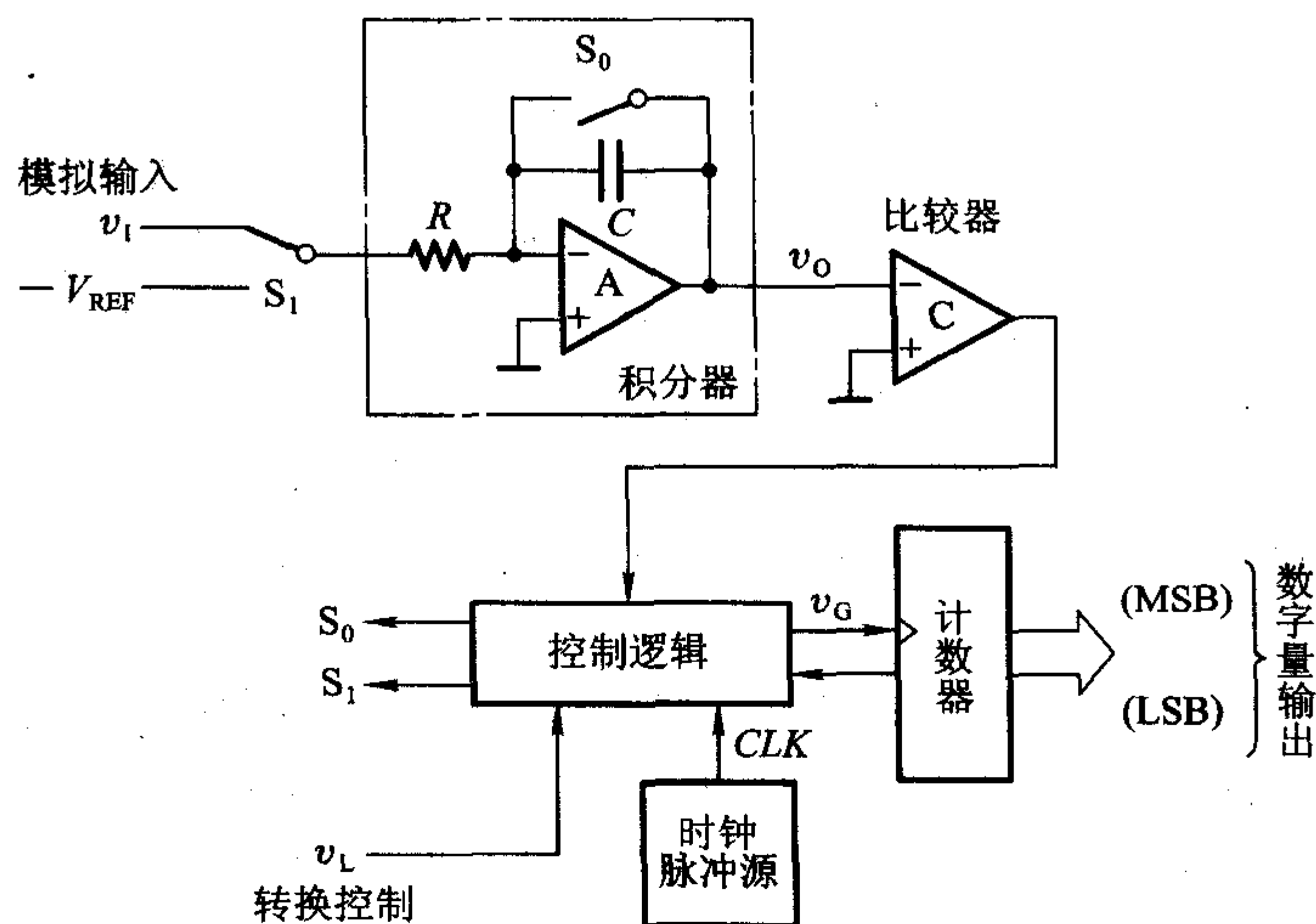


图 11.3.11 双积分型 A/D 转换器的结构框图

下面讨论它的工作过程和这种 A/D 转换器的特点。

转换开始前(转换控制信号  $v_L = 0$ )先将计数器清零,并接通开关  $S_0$ ,使积分电容  $C$  完全放电。

$v_L = 1$  时开始转换。转换操作分两步进行:

第一步,令开关  $S_1$  合到输入信号电压  $v_1$  一侧,积分器对  $v_1$  进行固定时间  $T_1$  的积分。积分结束时积分器的输出电压为

$$v_0 = \frac{1}{C} \int_0^{T_1} -\frac{v_1}{R} dt = -\frac{T_1}{RC} v_1 \quad (11.3.3)$$

上式说明,在  $T_1$  固定的条件下积分器的输出电压  $v_0$  与输入电压  $v_1$  成正比。

第二步,令开关  $S_1$  转接至参考电压(或称为基准电压)  $-V_{REF}$  一侧,积分器向相反方向积分。如果积分器的输出电压上升到零时所经过的积分时间为  $T_2$ ,则可得

$$v_0 = \frac{1}{C} \int_0^{T_2} \frac{V_{REF}}{R} dt - \frac{T_1}{RC} v_1 = 0$$

$$\frac{T_2}{RC} V_{REF} = \frac{T_1}{RC} v_1$$

故得到

$$T_2 = \frac{T_1}{V_{REF}} v_1 \quad (11.3.4)$$

可见,反向积分到  $v_0 = 0$  的这段时间  $T_2$  与输入信号  $v_1$  成正比。令计数器在  $T_2$

这段时间里对固定频率为  $f_c$  ( $f_c = \frac{1}{T_c}$ ) 的时钟脉冲  $CLK$  计数, 则计数结果也一定与  $v_i$  成正比, 即

$$D = \frac{T_2}{T_c} = \frac{T_1}{T_c V_{REF}} v_i \quad (11.3.5)$$

上式中的  $D$  为表示计数结果的数字量。

若取  $T_1$  为  $T_c$  的整数倍, 即  $T_1 = NT_c$ , 则上式可化成

$$D = \frac{N}{V_{REF}} v_i \quad (11.3.6)$$

从图 11.3.12 所示的电压波形图上可以直观地看到这个结论的正确性。当  $v_i$  取为两个不同的数值  $V_{11}$  和  $V_{12}$  时, 反向积分时间  $T_2$  和  $T'_2$  也不相同, 而且时间的长短与  $v_i$  的大小成正比。由于  $CLK$  是固定频率的脉冲, 所以在  $T_2$  和  $T'_2$  期间送给计数器的计数脉冲数目也必然与  $v_i$  成正比。

为了实现对上述双积分过程的控制, 可以用图 11.3.13 所示的逻辑电路来完成。由图可见, 控制逻辑电路由一个  $n$  位计数器、附加触发器  $FF_A$ 、模拟开关  $S_0$  和  $S_1$  的驱动电路  $L_0$  和  $L_1$ 、控制门  $G$  所组成。

转换开始前, 由于转换控制信号  $v_L = 0$ , 因而计数器和附加触发器均被置 0, 同时开关  $S_0$  闭合, 使积分电容  $C$  充分放电。

当  $v_L = 1$  以后, 转换开始,  $S_0$  断开、 $S_1$  接到输入信号  $v_i$  一侧, 积分器开始对  $v_i$  积分。因为积分过程中积分器的输出为负电压, 所以比较器输出为高电平, 将门  $G$  打开, 计数器对  $v_c$  端的脉冲计数。

当计数器计满  $2^n$  个脉冲以后, 自动返回全 0 状态, 同时给  $FF_A$  一个进位信号, 使  $FF_A$  置 1。于是  $S_1$  转接到  $-V_{REF}$  一侧, 开始进行反向积分。待积分器的输出回到 0 以后, 比较器的输出变为低电平, 将门  $G$  封锁, 至此转换结束。这时计数器中所存的数字就是转换结果。

因为  $T_1 = 2^n T_c$ , 即  $N = 2^n$ , 故代入式 (11.3.6) 以后得出

$$D = \frac{2^n}{V_{REF}} v_i \quad (11.3.7)$$

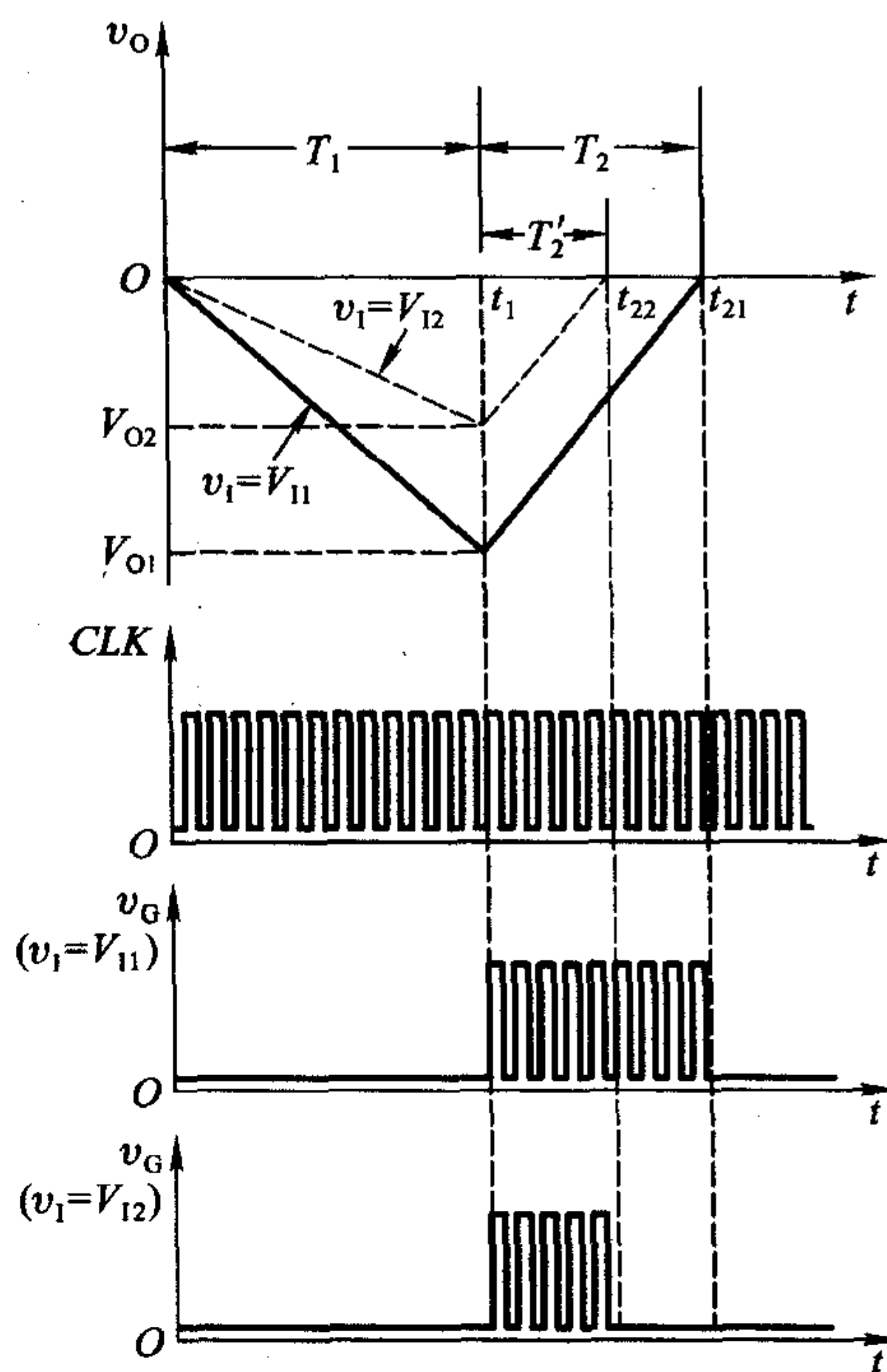


图 11.3.12 双积分型 A/D 转换器的电压波形图

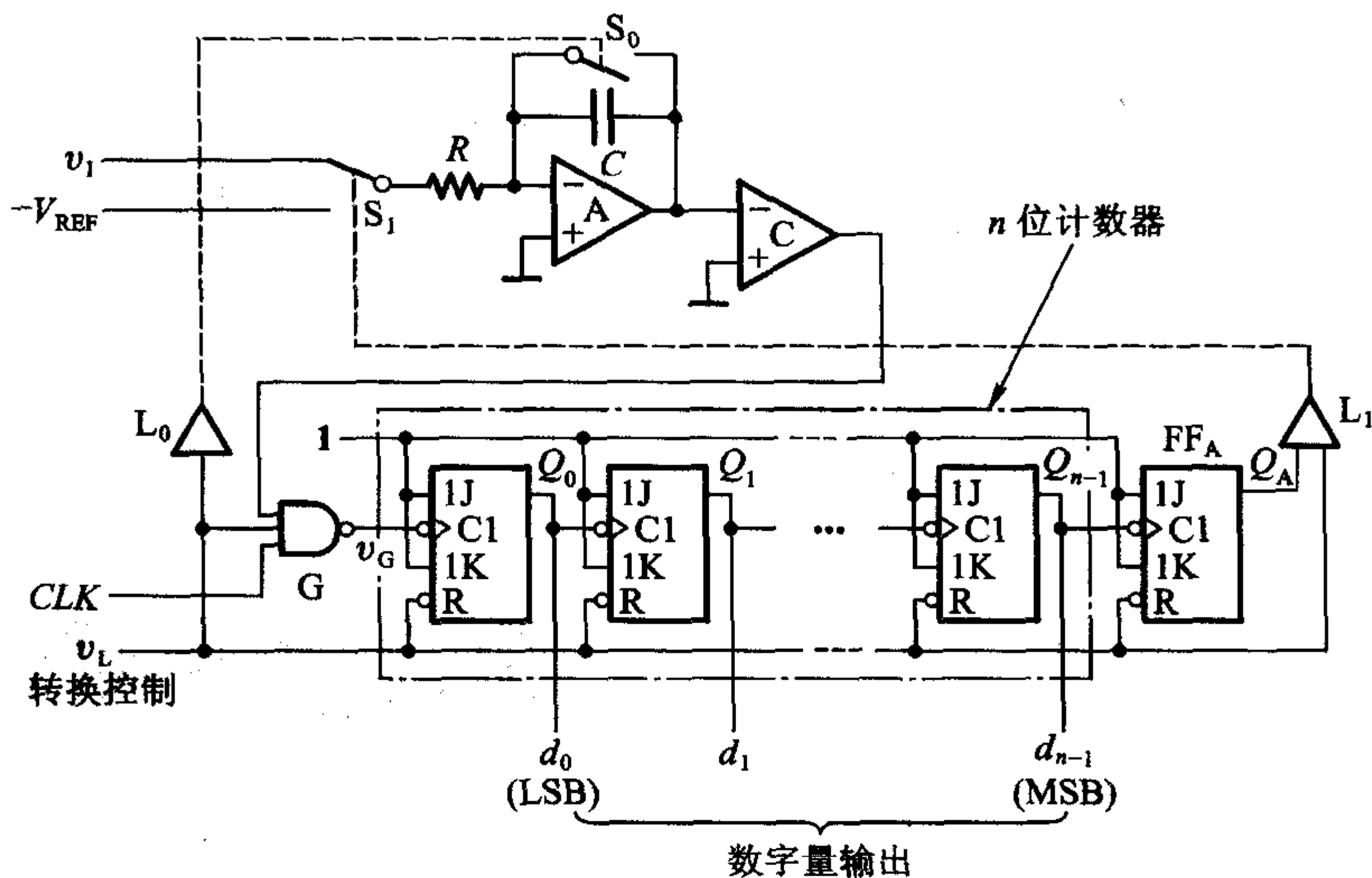


图 11.3.13 双积分型 A/D 转换器的控制逻辑电路

双积分型 A/D 转换器最突出的优点是工作性能比较稳定。由于转换过程中先后进行了两次积分,而且由式(11.3.4)可知,只要在这两次积分期间  $R$ 、 $C$  的参数相同,则转换结果与  $R$ 、 $C$  的参数无关。因此, $R$ 、 $C$  参数的缓慢变化不影响电路的转换精度,而且也不要求  $R$ 、 $C$  的数值十分精确。此外,式(11.3.6)还说明,在取  $T_1 = NT_c$  的情况下转换结果与时钟信号周期无关。只要每次转换过程中  $T_c$  不变,那么时钟周期在长时间里发生缓慢的变化也不会带来转换误差。因此,我们完全可能用精度比较低的元、器件制成精度很高的双积分型 A/D 转换器。

双积分型 A/D 转换器的另一个优点是抗干扰能力比较强。因为转换器的输入端使用了积分器,所以对平均值为零的各种噪声有很强的抑制能力。在积分时间等于交流电网电压周期的整数倍时,能有效地抑制来自电网的工频干扰。

双积分型 A/D 转换器的主要缺点是工作速度低。如果采用图 11.3.13 所给出的控制方案,那么每完成一次转换的时间应取在  $2T_1$  以上,即不应小于  $2^{n+1}T_c$ 。如果再加上转换前的准备时间(积分电容放电及计数器复位所需要的时间)和输出转换结果的时间,则完成一次转换所需的时间还要长一些。双积分型 A/D 转换器的转换速度一般都在每秒几十次以内。

尽管如此,由于它的优点十分突出,所以在对转换速度要求不高的场合(例如数字式电压表等)双积分型 A/D 转换器用得非常广泛。

双积分型 A/D 转换器的转换精度受计数器的位数、比较器的灵敏度、运算放大器和比较器的零点漂移、积分电容的漏电、时钟频率的瞬时波动等多种因素

的影响。因此,为了提高转换精度仅靠增加计数器的位数是远不够的。特别是运算放大器和比较器的零点漂移对精度影响甚大,必须采取措施予以消除。为此,在实用的电路中都增加了零点漂移的自动补偿电路。

为防止时钟信号频率在转换过程中发生波动,可以使用石英晶体振荡器作为脉冲源。同时,还应选择漏电非常小的电容器作为积分电容,并注意减小积分电容接线端通过底板的漏电流。

现在已有多种单片集成的双积分型 A/D 转换器定型产品。只需外接少量的电阻和电容元件,用这些芯片就能很方便地接成 A/D 转换器,并且可以直接驱动 LCD 或 LED 数码管。例如 CB7106/7126、CB7107/7127 都属于这类器件。为了能直接驱动数码管,在这些集成电路的输出部分都附加了数据锁存器和译码、驱动电路。而且,为便于驱动二 - 十进制译码器,计数器都采用二 - 十进制接法。此外,在芯片的模拟信号输入端还都设置了输入缓冲器,以提高电路的输入阻抗。同时,集成电路内部还设有自动调零电路,以消除比较器和放大器的零点漂移和失调电压,保证输入为零时输出为零。

### 11.3.6 V - F 变换型 A/D 转换器

电压 - 频率变换型 A/D 转换器(简称 V - F 变换型 A/D 转换器)也是一种间接 A/D 转换器。在 V - F 变换型 A/D 转换器中,首先将输入的模拟电压信号转换成与之成比例的频率信号,然后在一个固定的时间间隔里对得到的频率信号计数,所得到的计数结果就是正比于输入模拟电压的数字量。

V - F 变换型 A/D 转换器的电路结构框图可以画成图 11.3.14 所示的形式,它由 V - F 变换器(也称为压控振荡器 Voltage Controlled Oscillator,简称 VCO)、计数器及其时钟信号控制闸门、寄存器、单稳态触发器等几部分组成。

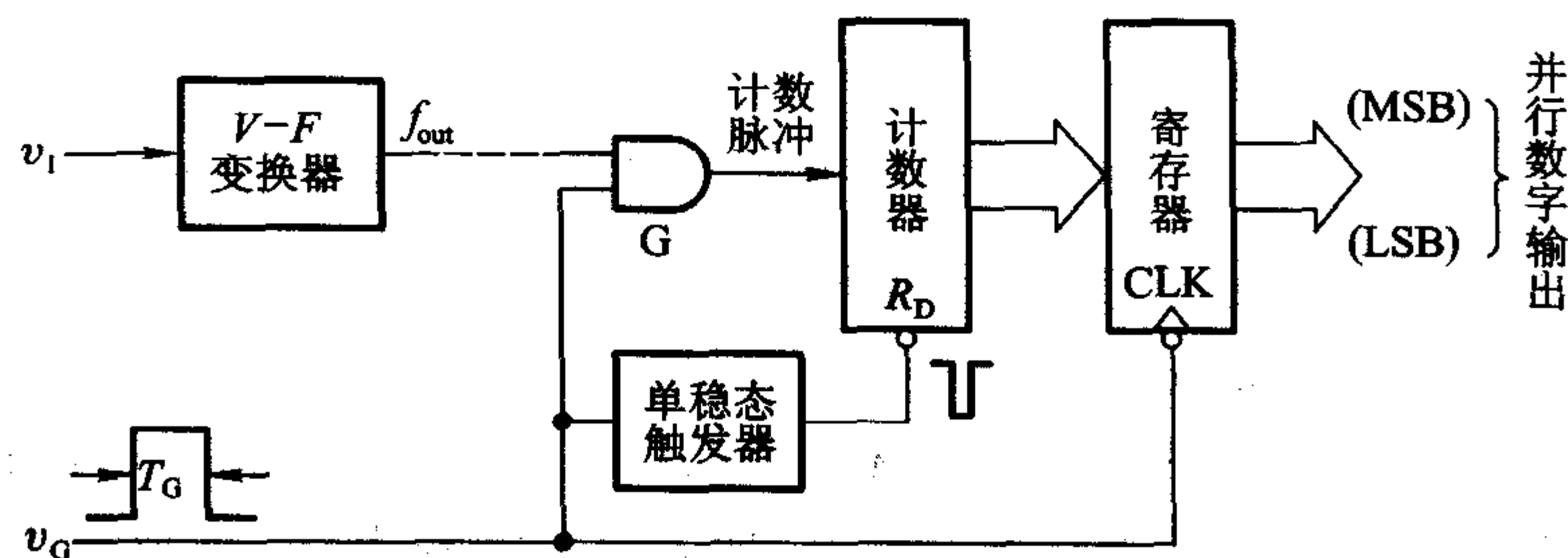


图 11.3.14 V - F 变换型 A/D 转换器的电路结构框图

转换过程通过闸门信号  $v_G$  控制。当  $v_G$  变成高电平后转换开始, V - F 变换器的输出脉冲通过闸门 G 给计数器计数。由于  $v_G$  是固定宽度  $T_G$  的脉冲信号,而 V - F 变换器的输出脉冲的频率  $f_{out}$  与输入的模拟电压成正比,所以每个  $T_G$  周

期间计数器所记录的脉冲数目也与输入的模拟电压成正比。

为了避免在转换过程中输出的数字跳动,通常在电路的输出端设有输出寄存器。每当转换结束时,用 $v_c$ 的下降沿将计数器的状态置入寄存器中。同时,用 $v_c$ 的下降沿触发单稳态触发器,用单稳态触发器的输出脉冲将计数器置零。

因为 $V-F$ 变换器的输出信号是一种调频信号,而这种调频信号不仅易于传输和检出,还有很强的抗干扰能力,所以 $V-F$ 变换型A/D转换器非常适于在遥测、遥控系统中应用。在需要远距离传送模拟信号并完成A/D转换的情况下,一般是将 $V-F$ 变换器设置在信号发送端,而将计数器及其时钟闸门、寄存器等设置在接收端。

$V-F$ 变换型A/D转换器的转换精度首先取决于 $V-F$ 变换器的精度。其次,转换精度还受计数器计数容量的影响,计数器容量越大转换误差越小。

$V-F$ 变换器的电路结构有多种形式,目前在单片集成的精密 $V-F$ 变换器当中多采用电荷平衡式电路结构。电荷平衡式 $V-F$ 变换器的电路结构又有积分器型和定时器型两种常见的形式。

图11.3.15是积分器型电荷平衡式 $V-F$ 变换器的电路结构框图,它由积分器、电压比较器、单稳态触发器、恒流源及其控制开关几部分组成。

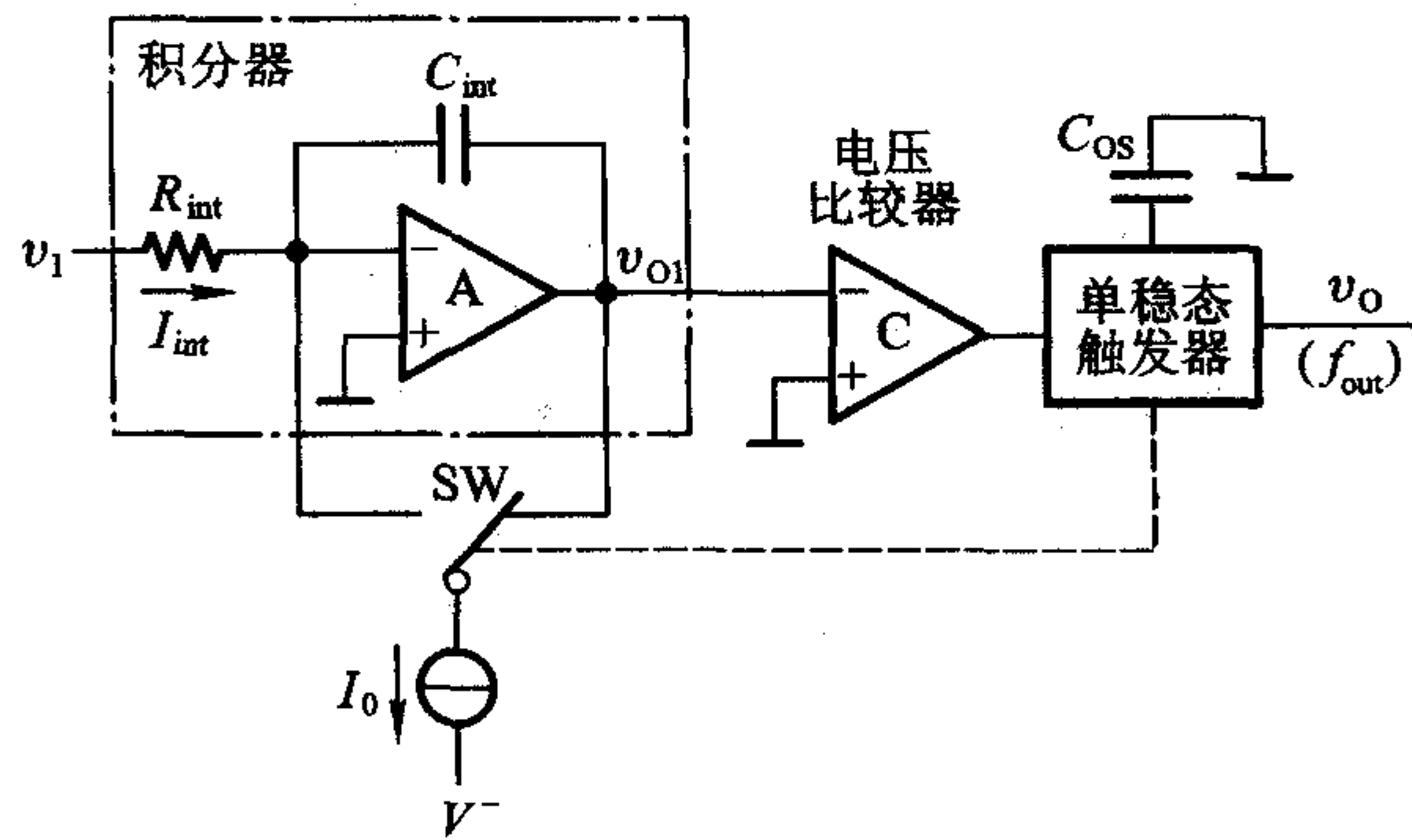


图 11.3.15 积分器型电荷平衡式 $V-F$ 变换器的电路结构框图

当单稳态触发器处于稳态时,输出电压 $v_0 = 0$ ,开关 SW 合到右边,将恒流源 $I_0$ 接到积分放大器的输出端,积分放大器对输入电压 $v_1$ 做正向积分。随着积分过程的进行,积分器的输出电压 $v_{O1}$ 逐渐降低。当 $v_{O1}$ 降至0时,电压比较器的输出 $v_{O2}$ 产生负跳变,将单稳态触发器触发,使之进入暂稳态, $v_0$ 变成高电平,并使 SW 合到左边,将 $I_0$ 转接到积分器的输入端。因为 $I_0$ 大于 $v_1$ 产生的输入电流 $I_{int}$ ,所以积分器开始做反向积分。随着反向积分的进行, $v_{O1}$ 逐渐上升。单稳态触发器返回稳态后, $v_0$ 回到0,SW 又接到右边,积分器又开始做正向积分。

在一个正、反向积分周期期间 $v_1$ 保持不变的情况下,积分电容 $C_{int}$ 在反向积

分期间增加的电荷量和正向积分期间减少的电荷量必然相等。若以  $t_{\text{int}}$  表示正向积分的时间,同时又知道反向积分时间等于单稳态触发器的暂稳态持续时间,也就是单稳态输出脉冲的宽度  $t_w$ ,这样就可以写出

$$I_{\text{int}} t_{\text{int}} = (I_0 - I_{\text{int}}) t_w$$

以  $I_{\text{int}} = v_1/R_{\text{int}}$  代入上式并整理后得到

$$I_0 t_w = v_1 (t_w + t_{\text{int}}) / R_{\text{int}}$$

这里的  $(t_w + t_{\text{int}})$  就是单稳态触发器输出脉冲的周期,于是我们就得到了输出脉冲  $v_o$  的频率  $f_{\text{out}}$  与输入电压  $v_1$  之间的关系式

$$f_{\text{out}} = (1/I_0 t_w R_{\text{int}}) v_1 \quad (11.3.8)$$

上式说明,单稳态触发器输出脉冲的频率与输入的模拟电压成正比。

根据上述原理制成的单片集成  $V-F$  变换器具有很高的精度,输出脉冲的频率与输入模拟电压之间有良好的线性关系,转换误差可减小至  $\pm 0.01\%$  以内。

图 11.3.16 中的 AD650 就是一个积分器型电荷平衡式  $V-F$  变换器的实例。为了提高电路的带负载能力,在单稳态触发器的输出端又增加了一个集电极开路输出的三极管。电路的其他部分与图 11.3.15 的原理性电路相同。失调电压调整端和失调电流调整端用于调整积分放大器的零点,以便于在输入为零时将输出准确地调整成零(可参看模拟电子技术教材的有关内容)。积分器的电阻、电容  $R_{\text{int}}$ 、 $C_{\text{int}}$  和单稳态触发器的定时电容  $C_{\text{os}}$  需要外接。它的恒流源为  $I_0 = 1 \text{ mA}$ ,单稳态触发器输出脉冲的宽度可近似地用下式计算

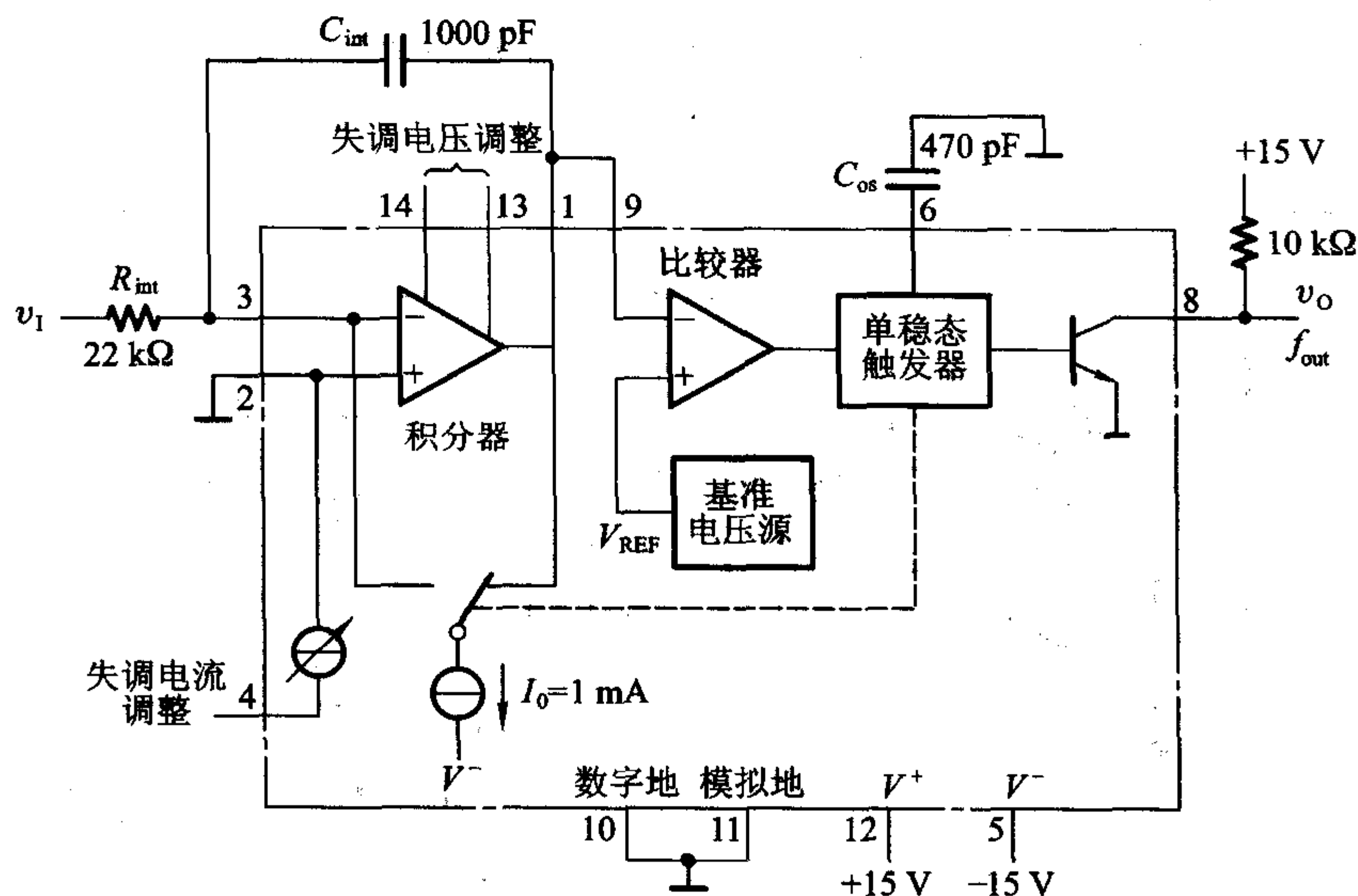


图 11.3.16 AD650 的电路结构框图

$$t_w = C_{\text{os}} (6.8 \times 10^3) + 3 \times 10^{-7} / s \quad (11.3.9)$$





如果按照图 11.3.17 接上外围的电阻、电容元件,就可以构成精度相当高的压控振荡器。下面具体分析一下它的工作过程。

刚接通电源时  $C_L$ 、 $C_T$  两个电容上没有电压,若输入控制电压  $v_1$  为大于零的某个数值,则比较器  $C_1$  的输出为 **1** 而比较器  $C_2$  的输出为 **0**,锁存器被置成  $Q = 1$  状态。 $Q$  端的高电平使  $T_2$  导通,  $v_o = 0$ 。同时镜像电流源输出端开关  $S$  接到引脚 1 一边,电流  $I_0$  向  $C_L$  开始充电。而  $Q'$  端的低电平使  $T_3$  截止,所以  $C_T$  也同时开始充电。

当  $C_T$  上的电压  $v_{c_T}$  上升到  $\frac{2}{3}V_{CC}$  时,则锁存器被置成  $Q = 0$ ,  $T_2$  截止,  $v_o = 1$ 。同时开关  $S$  转接到地,  $C_L$  开始向  $R_L$  放电。而  $Q'$  变为高电平后使  $T_3$  导通,  $C_T$  通过  $T_3$  迅速放电至  $v_{c_T} \approx 0$ ,并使比较器  $C_2$  的输出为 **0**。

当  $C_L$  放电到  $v_{c_L} \leq v_1$  时,比较器  $C_1$  输出为 **1**,重新将锁存器置成  $Q = 1$ ,于是  $v_o$  又跳变成低电平,  $C_L$  和  $C_T$  开始充电,重复上面的过程。如此反复,便在  $v_o$  端得到矩形输出脉冲。

在电路处于振荡状态下,当  $C_L$ 、 $R_L$  的数值足够大时,  $v_{c_L}$  必然在  $v_1$  值附近做微小的波动,可以认为  $v_{c_L} \approx v_1$ 。而且在每个振荡周期中  $C_L$  的充电电荷与放电电荷必须相等(假定在此期间  $v_1$  数值未变)。据此就可以计算振荡频率了。

首先计算  $C_L$  的充电时间  $T_1$ 。它等于  $Q = 1$  的持续时间,也就是电容  $C_T$  上的电压从 0 充电到  $\frac{2}{3}V_{CC}$  的时间,故得

$$\begin{aligned} T_1 &= R_T C_T \ln \frac{V_{CC} - 0}{V_{CC} - \frac{2}{3}V_{CC}} \\ &= R_T C_T \ln 3 = 1.1 R_T C_T \end{aligned} \quad (11.3.10)$$

$C_L$  在充电期间获得的电荷为

$$\begin{aligned} Q_1 &= (I_0 - I_{R_L}) T_1 \\ &= \left( I_0 - \frac{v_1}{R_L} \right) T_1 \end{aligned}$$

式中的  $I_{R_L}$  为流过电阻  $R_L$  上的电流。

若振荡周期为  $T$ 、放电时间为  $T_2$ ,则  $T_2 = T - T_1$ 。又知  $C_L$  的放电电流为  $I_{R_L} = \frac{v_1}{R_L}$ ,因而放电期间  $C_L$  释放的电荷为

$$\begin{aligned} Q_2 &= I_{R_L} T_2 \\ &= \frac{v_1}{R_L} (T - T_1) \end{aligned}$$