

5.6.2.2 电压馈电 PWM 全桥电路开关管导通瞬间存在的问题

图 5.8 中斜对角的两对开关管交替导通。设计时, 每对开关管的导通时间都不应超过半个周期的 80%。这可保证在一对开关管关断与另一对开关管导通之间留有 $0.2T/2$ 的死区。死区时间是必须的, 因为若两对开关管有重叠导通, 即使时间很短也会造成滤波电容短路放电。这在没有电流限制的情况下会立即损坏晶体管。

在死区时间内, 所有开关管均关断。输出二极管 D5、D6 的阳极均为地电平, 滤波电感 L_o 前端电压急降以使电感电流保持不变。此时二极管 D5、D6 导通续流, 其阴极将电感输入端电压钳位于比地电平低一个二极管压降。死区时间前流过电感的电流 (约等于直流输出电流) 按原方向继续流动, 即通过地线流回到次级中心抽头, 然后经二极管 D5 和二极管 D6 均分流回到滤波电感的输入端。

下半个周期开始时, 当 Q1、Q2 导通时, T1 初级的异名端电压为高电平, T1 次级的异名端 (D6 阳极) 电压也力图为高电平。但由于二极管 D6 阴极与正流过一半输出电感电流的二极管 D5 的阴极相连, 在二极管 D6 电流增加到能抵消二极管 D5 正向电流之前, 二极管 D5 仍呈低阻 (10Ω 以下) 导通状态。

次级的低阻抗使变压器初级也呈低阻抗。但由于变压器漏感与初级串联, 它阻止抵消 D5 续流电流的初级电流的增加。漏感的强限流作用, 使开关管 Q1 和 Q2 维持饱和导通直到二极管 D5 的电流下降为零。

二极管 D5 在电流降为零后的反向恢复时间 (快恢复二极管, 这个时间为 200ns ; 超快恢复二极管, 这个时间为 35ns) 内仍呈低阻状态。若反向恢复时间为 t_r , 电源电压为 V_{cc} , 变压器初级漏感为 L_1 , 则初级电流会产生过冲 ($V_{cc} t_r / L_1$)。这种过冲电流使开关管脱饱和, 造成降级甚至损坏。

另外, 输出二极管快速恢复时阴极会产生衰减的正弦振荡电压, 其首半个周期产生的振幅可能超过二极管稳定反压的两倍以上, 而使二极管损坏。即使是小功率电源, 也需在二极管两端加 RC 网络来衰减振荡。当然, 电阻会产生损耗。

5.6.2.3 电压馈电 PWM 全桥电路开关管关断瞬间存在的问题

对于图 5.8 所示电路, 晶体管关断时刻下降的电流和上升的电压有重叠时间, 所以会有较大的关断损耗。

假设, 开关管 Q3 和 Q4 导通时接收到关断信号。开关管 Q3 和 Q4 开始关断, T1 的漏感和励磁电感的电流会使初级电压极性反向。T1 异名端电压立即变正, 且二极管 D1 导通将其钳位于直流母线正端 (C_f 的正端)。而 T1 的同名端立即变负, 且二极管 D2 导通将其钳位于 C_f 的负端。只要二极管 D1 和 D2 导通, 开关管 Q3 和 Q4 的电压就被钳位于 V_{cc} , 不会产生推挽或正激变换器那样的漏感尖峰电压。漏感中的能量就被无损地回馈到输入电容 C_f 。

但是, 当开关管 Q3 和 Q4 的电压保持为 V_{cc} 时, 它们的电流会依其基极负驱动信号所确定的时间 t_f 线性下降到零。这样, 恒定电压 V_{cc} 和从 I_p 线性下降的电流重叠造成一周期内的平均关断损耗为

$$PD = V_{cc} \frac{I_p t_f}{2 T} \quad (5.9)$$

下面计算功率为 2kW , 频率为 50kHz 、 V_{cc} 为 336V (120V AC 倍压整流离线变换器的典

型输入电压, 见 3.1.1 节) 的电源的关断损耗。假设 V_{cc} 最小为 $0.9 \times 336V = 302V$ 。据式 (3.7), 可得峰值电流为

$$I_p = \frac{1.56P_0}{V_{dc}} = 1.56 \times \frac{2000}{302} = 10.3A$$

这种功率等级的双极性晶体管下降时间约为 $0.3\mu s$ 。由于关断时刻峰值电流值与直流输入电压无关, 所以可以选择最高输入电压即 $V_{cc}=1.1 \times 336=370V$ 计算重叠损耗。对于开关管 Q3 或 Q4, 根据式 (5.9) 可得到其损耗 $PD=V_{cc}(I_p/2)(t_f/T)=370(10.3/2)(0.3/20)=28.5W$ 。四个晶体管的总损耗为 $114W$ 。

为作比较, 有必要计算晶体管的导通损耗。若饱和导通压降 $V_{ce(sat)}$ 为典型值 $1.0V$, 占空比为 0.4 , 则其导通损耗为 $V_{ce(sat)}I_cT_{on}/T=1 \times 10.3 \times 0.4=4.1W$ 。

虽然可以通过缓冲器(将在后面章节中讨论)将 $28.5W$ 的晶体管重叠损耗部分消除, 但缓冲器只是将损耗转移到缓冲电阻, 并不能提高效率。后面将介绍的电流馈电拓扑, 只用两个缓冲器就能消除晶体管的重叠损耗。只是缓冲器的价格比电压馈电的要高一些。

5.6.2.4 电压馈电 PWM 全桥电路的磁通不平衡问题

磁通不平衡问题已在 2.2.5 节和 3.2.4 节中讨论过。它是由于变压器初级的伏秒数在两个半周期内不平衡造成的。当磁心的磁通逐步远离磁化曲线原点时, 变压器会进入饱和状态, 使之无法承受电压, 造成晶体管损坏。

传统全桥变换器会因交替半周期内伏秒数不平衡造成磁通不平衡。通常伏秒数不平衡是因为晶体管存储时间不同或 MOSFET 管导通压降不同。对于全桥电路, 可以通过在初级串联一个隔直电容来解决这个问题。这样可以防止变压器直流偏磁, 使其工作在磁滞回线原点附近。隔直电容的计算可以参考 3.2.4 节半桥变换器隔直电容的计算方法。

后面将讨论的电流馈电拓扑与电压馈电拓扑相比的另一优点就是无需隔直电容。尽管这个电容体积不大, 价格也不高。

5.6.3 buck 电压馈电全桥拓扑基本工作原理

电路拓扑如图 5.9 所示。这种拓扑可以避免电压馈电 PWM 全桥拓扑用于高压大功率多输出场合的众多缺点。

首先介绍它的工作原理。这种电路在全桥逆变器前串接了 buck 变换器, 而输出整流器后只接滤波电容。这样直流输出电压就是变压器次级电压峰值(忽略整流二极管导通压降)。若同时忽略逆变晶体管导通压降, 则直流输出电压 $V_o=V_2(N_s/N_p)$, 其中 V_2 是 buck 调整器的输出。这样逆变晶体管可以不用脉宽调制。导通时间约为 $0.9T/2$, 并保持不变, 以避免同一桥臂双管直通而斜对角的两只晶体管则同时导通和关断。

一个次级输出(通常是输出电流最大或者稳压要求最高的)接入反馈, 控制调整 buck 晶体管 Q5 的脉宽。buck 电路将网电整流电压 V_1 降为 V_2 。 V_2 通常等于最低网压输入时整流电压的 75%。应根据输出电压 $V_{om}=V_2(N_s/N_p)$ 来选择变压器匝比 N_s/N_p 。

保持网压、负载波动下输出电压 V_{om} 恒定的反馈回路也同时保持 V_2 恒定(忽略整流二极管压降)。这样, 在变压器上增加其他次级绕组及整流二极管和滤波电容就可以形成稳定的从输出。

同样可以将 buck 输出电压 V_2 接入反馈从而保持 V_2 的值不变。那么从 V_2 到输出就是开

环。但是二极管和晶体管的导通压降随电流变化很小，几个次级的输出电压只与 V_2 成正比，在网压和负载波动下，次级输出电压仍基本恒定。

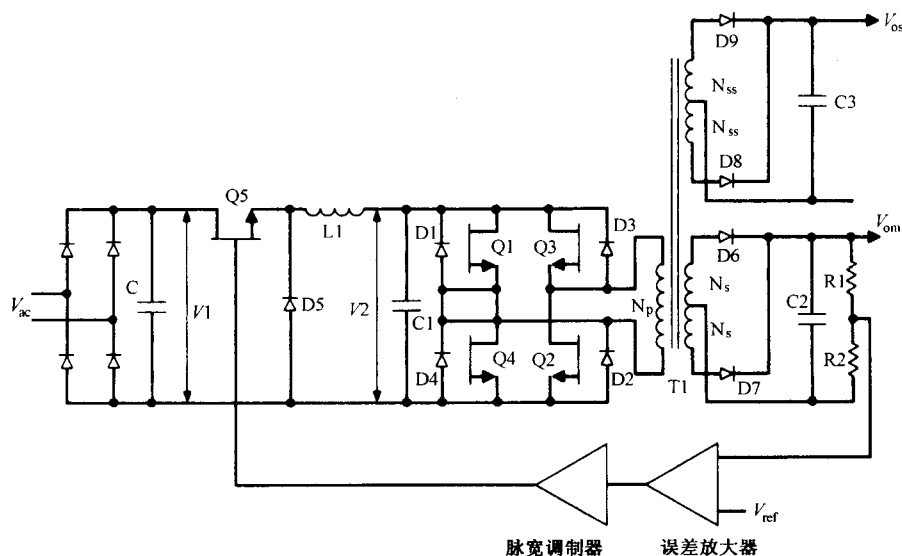


图 5.9 buck 电压馈电全桥拓扑。全桥前端的 buck 调整器使多输出电源省去输出电感。但是 buck 调整器的输出电容及其低输出阻抗构成低内阻电源使这种拓扑有许多缺点。Q5 可进行脉宽调制，Q1~Q4 导通时间保持为半周期的 90% 以避免共同导通。输出电容 C2 的电压为整流器输出电压峰值（而非平均值）。实际输出功率为 2~5kW

虽然将 V_2 接入反馈会导致输出稍有不稳，但是可以避免反馈信号初/次级传递需隔离的问题。若误差放大器与次级共地而 PWM 调节环节与初级共地，则直流误差信号从次级向初级传递需要隔离。通常的做法是使用光电耦合器，但光耦的增益离散大，可靠性较差。

5.6.4 buck 电压馈电全桥拓扑的优点

5.6.4.1 省去输出电感

这种拓扑在多输出场合的首要优点是，可以用一个输入电感取代多个输出电感，这样即降低成本又节省空间。

因为输出级没有输出电感，所以不会出现由于电感电流不连续而造成电压剧烈变化的情况（见 1.3.6 节和 2.2.4 节）。从输出电压会紧紧跟随主输出电压，在输出电流大范围变化的情况下，其电压变化也只有 2%，而具有输出电感的拓扑会有 6%~8% 的电压变化，如果出现电感电流不连续，变化还会更大。

输入电感的设计应使输出总功率或输出总电流最小时电感才工作在不连续模式。由于所有输出同时输出最小电流的情况是不太可能出现的，所以变换器总的最小电流会相对较大，这样电感体积会相对较小（1.3.6 节）。

即使输入电感处于不连续模式，主输出电压仍能保持恒定，只是输出纹波大一些且负载调整差一些。即使进入不连续模式之后，反馈环仍能通过大幅度减小 buck 晶体管脉宽来稳定主输出电压，如图 1.6（a）所示。

此外，由于从输出电压是根据匝比关系跟随主输出电压的，所以从输出电压在输入网压和负载变化较大时仍保持恒定。

由于省掉了直流高压输出时所需的多匝数输出电感,使输出 2000~3000V 高压很容易实现。即使输出电压高达 15 000~30 000V 的场合(如输出较小电流的阴极发射管或输出较大电流的行波管负载),也可以通过在该拓扑次级接入多级倍压整流电路来满足应用要求。

5.6.4.2 消除全桥电路晶体管导通瞬时应力

5.6.2.2 节讨论了图 5.8 所示的 PWM 全桥电路晶体管(Q1~Q4)导通瞬时电流应力和整流二极管(D5 和 D6)的瞬时电压应力。

5.6.2.2 节指出,这种应力的产生是因为整流二极管还同时作为续流二极管。当斜对角的晶体管(Q1 和 Q2)同时导通时,二极管 D5 依然作为续流管导通。在二极管 D5 电流下降到零之前,Q1 和 Q2 导通的阻抗就是变压器 T1 的漏感和折射到初级的 D5 的导通阻抗。

而后,流过 Q1 和 Q2 的初级电流上升到可抵消 D5 电流,但此时由于 D5 反向恢复时间的存在,其折射到初级的阻抗依然很小。这会造成初级电流过冲,使 Q1 和 Q2 承受过大的电流应力。当反向恢复时间结束,次级反向恢复电流峰值过后会产生振荡使 D5 承受过大的电压应力。

这种晶体管的电流应力和整流管的电压应力都不会在图 5.9 所示的 buck 电压馈电拓扑中出现。因为在该拓扑中,一对晶体管关断和另一对晶体管导通之间虽有一定死区时间(约为 $0.1T/2$),但死区时间内既无晶体管导通,次级整流器也没有电流流过,输出负载电流完全由滤波电容提供。所以在下半周期开始时,导通的二极管不会由于续流二极管导通而造成负担过重的情况,如图 5.8 所示。由于另一个二极管早已关断,晶体管也不会有电流过冲,同时由于没有反向恢复时间而不会造成二极管电压应力过大。

5.6.4.3 减小全桥电路晶体管关断损耗

5.6.2.3 节计算了功率为 2kW 的电压馈电 PWM 全桥电源在 120V AC 倍压整流输入下,网压最高时每个晶体管的关断损耗为 28.5W,如图 5.8 所示。

对于 buck 电压馈电 PWM 全桥电路如图 5.9 所示,这种损耗会小一些。即使在网压最高时,晶体管关断电压也是经过 buck 电路降压的 V_2 ,其值为最低网压整流电压的 75%(5.6.3 节)。若最低网压整流电压为 302V(5.6.2.3 节),则 $V_2=0.75 \times 302V=227V$ 。而网压最高时整流电压为 370V(5.6.2.3 节)。

对于降压后的 227V 电压,晶体管峰值电流不会与 5.6.2.3 节中计算出的 10.3A 相差很多。以下假设图 5.8 所示电路的总效率为 80%,假设图 5.9 所示电路中的 buck 电路和全桥电路的损耗各占一半。

若设全桥电路效率为 90%,则其输入功率为 $2000/0.9=2222W$ 。由于有前级调整,全桥晶体管可工作于占空比为 90%的情况下而不发生垂直桥臂直通现象,输入功率为 $0.9I_p V_{dc}=2222W$ 。若取 V_{dc} 为 227V,则 $I_p=10.8A$ 。可根据 5.6.2.3 节介绍的公式计算晶体管损耗。设电流下降时间 t_f 为 $0.3\mu s$,周期 T 为 $20\mu s$,则可计算出每个晶体管的损耗为 $(I_p/2)(V_{dc})(t_f/T) = (10.8/2) \times 227 \times 0.3/20 = 18.4W$ 。这样整个全桥的关断损耗为 74W,而 5.6.2.3 节中图 5.8 所示电路的损耗为 114W。

5.6.4.4 桥式变压器的磁通不平衡问题

这个问题和图 5.8 所示拓扑的问题一样。由于双极性晶体管的存储时间不一致和 MOSFET 管的导通压降不等而导致伏秒数不平衡。对于图 5.8 和图 5.9 所示的拓扑都可以采

用在变压器初级串接隔直电容的方法解决。

5.6.5 buck 电压馈电 PWM 全桥电路的缺点

尽管相对于 PWM 全桥电路有很多优点，buck 电压馈电全桥电路也有不少缺点。

首先是由于前级加了 buck 变换器，这种拓扑成本增加了，体积增大了，buck 晶体管 Q5 也产生了功耗。但由于所有输出都不用电感，可以补偿一定的成本和空间。而且 buck 电路晶体管 Q5 和续流二极管 D5 的损耗对 2kW 以上的电源总损耗来说只是很小一部分。

其次，buck 晶体管的开关损耗要比其直流导通损耗大得多。虽然晶体管的损耗可以转移到缓冲器的无源器件，但是缓冲器的损耗、价格和体积又是一个问题。这种开关缓冲器将在后面介绍 buck 电流馈电全桥拓扑的章节讨论。

全桥晶体管的关断瞬态损耗，虽然要比图 5.8 所示的 PWM 全桥晶体管低一些（5.6.4.3 节），但是仍然比较严重。

另外，故障情况下（通常是在高温、大负载或低输入情况下，晶体管存储时间会更长），在一对晶体管尚未关断前，另一对晶体管已开始导通，使 buck 电路输出母线短路，滤波电容放电，从而烧毁一个甚至所有晶体管。

5.6.6 buck 电流馈电全桥拓扑——基本工作原理

这种拓扑如图 5.10 所示。它与图 5.9 所示的 buck 电压馈电全桥电路类似，同样没有输出电感。但还比图 5.9 所示电路少了 buck 滤波电容 C1。不过可认为此处仍有一个由次级输出电容根据变压器匝比平方关系折射的当量电容 C1V，其滤波功能与同容量实际电容相同。

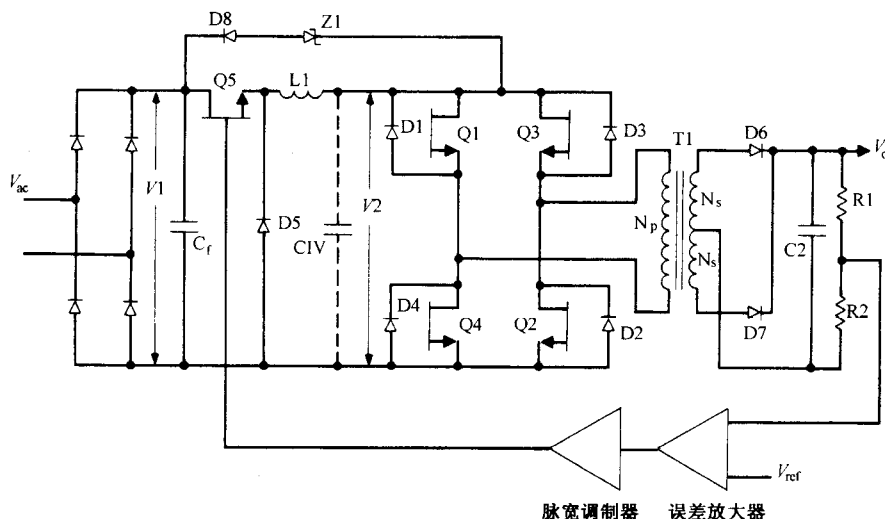


图 5.10 buck 电流馈电全桥电路。这里省去了常用的 buck 输出滤波电容 C1。图中画有当量电容 C1V，它是所有主辅输出电容折算到初级的电容值。斜对角的两个开关管同时导通。使即将关断的开关对管和即将导通的开关对管短时重叠导通（ $\sim 1\mu\text{s}$ ）对电路工作非常有利。即将关断的开关对管和即将导通的开关对管同时导通时，由于 L1（未接 C1）呈现高阻抗，桥路所有的输入、输出接点电压均降为零。正是这个高阻抗使桥路的供电电源成为恒流源。Z1 和 D8 构成高端电压钳位电路，使后关断的开关管关断电压不超过 V1

与图 5.9 所示电路一样，该电路用一个输入电感代替所有图 5.8 所示电路的输出电感，

因此,它具有 5.6.2.1 节讨论的所有优点。

该电路晶体管 Q1~Q4 不像图 5.8 所示电路那样使用调宽调制。两对斜对角的晶体管以半个周期轮流导通,而且两者之间不像图 5.9 所示的 buck 电压馈电拓扑那样需留死区时间。图 5.10 所示电路中的每对晶体管的导通时间都稍大于半个周期。通常通过晶体管的存储时间(对慢速管)或加一些延时(对快速晶体管或 MOSFET 管)实现。而输出电压的调节是通过调节 buck 电路 Q5 的导通脉宽实现的。

去掉 buck 电路的滤波电容和故意重叠两对晶体管的导通时间会带来很多优点,这将在下面介绍。

5.6.6.1 buck 电流馈电全桥电路缓解了开关管开关瞬间存在的问题

5.6.2.2 节介绍过,图 5.8 所示的 PWM 全桥电路晶体管导通瞬间会出现晶体管电流过冲和过损耗及整流管电压应力过大的问题。但这些问题在图 5.10 所示的电流馈电电路中却不会发生,这是通过设置两对晶体管之间的重叠导通时间和去掉 buck 电路输出电容来实现的。

如图 5.11 和图 5.12 所示, T_1 时刻之前 Q3 和 Q4 已导通,而 Q1 和 Q2 在 T_1 时刻导通。Q3 和 Q4 一直导通到 T_2 时刻如图 5.12 所示,这样就形成了重叠导通时间 $T_2 \sim T_1$ 。在 T_1 时刻, Q1 和 Q2 导通将 L_1 短路。由于此时 L_1 的阻抗很大,电压 V_2 会马上下降到零,如图 5.12 (c) 所示。由于 L_1 是很大的电感,其电流 I_L 将保持恒定。随着 Q1 和 Q2 的电流从零向 I_L 上升如图 5.12 (f) 和图 5.12 (g) 所示, Q3 和 Q4 的电流从 I_L 向零下降如图 5.12 (d) 和图 5.12 (e) 所示。

由于 Q1 和 Q2 的电流在 V_2 电压为零的条件下上升,所以图 5.11 所示的 A、B 两端的电压也为零。由于 Q1 和 Q2 电流上升时其两端电压为零,所以它们不产生导通损耗。在 T_3 时刻, Q1 和 Q2 的电流上升到 $I_L/2$,而 Q3 和 Q4 的电流下降到 $I_L/2$,其总和等于电感电流 I_L 。

在 T_2 时刻, Q3 和 Q4 应关断。假设最坏情况为两管并未同时关断, Q3 速度慢,而 Q4 先关断。由于 V_2 为零, Q4 为零电压关断,所示没有关断损耗。 I_{Q4} 从 $I_L/2$ 下降到零 ($T_2 \sim T_4$), I_{Q2} 从 $I_L/2$ 上升到 I_L 。由于 I_{Q2} 从 $I_L/2$ 上升到 I_L ,所以 I_{Q3} 也从 $I_L/2$ 上升到 I_L 以支持 I_{Q2} 。同理,由于 L_1 的电流 I_L 维持不变,所以随 I_{Q3} 上升到 I_L , I_{Q1} 在 T_4 时刻也下降到零。

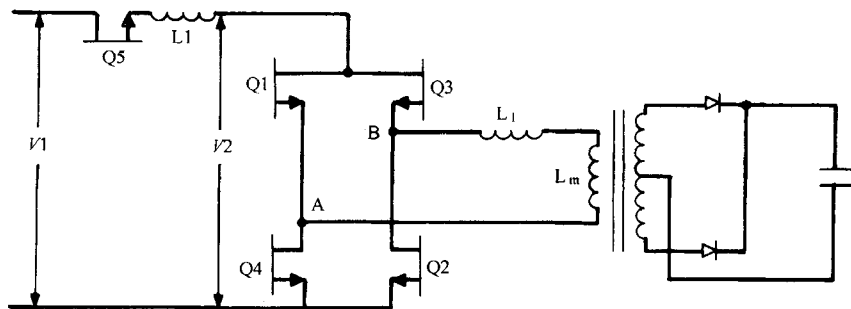


图 5.11 重叠导通瞬间 4 个开关管均导通。 V_2 及 A、B 间电压均降到零。 L_1 的漏感储能经变压器供给负载而不是消耗于缓冲电阻或像传统电路那样回归输入母线。所以,桥路开关管无导通损耗,输出整流器无过电压应力

从 T_1 时刻到 T_4 时刻, V_2 电压下降到零,变压器初级 A、B 两端电压也降到零如图 5.11 所示。但是在 Q3 和 Q4 导通的时候,漏感 L_1 存储了电流能量。随着 A、B 端电压下降,初

级漏感两端的电压就要反向以维持其电流。此时漏感工作类似发电机通过变压器次级对输出负载供电，而不是将存储的能量回馈到输入母线或像传统电路一样将能量损耗在缓冲器中。

在稍后的时刻 T_5 ，慢速的 Q_3 开始关断。其电流从 I_L 下降到零如图 5.12 (d) 所示，而电流 I_{Q3} 从零上升到 I_L 以保持电感电流。电流 I_{Q1} 的上升时间受变压器漏感限制如图 5.12 (f) 所示。由于 I_{Q3} 下降时间要比 I_{Q1} 上升时间短，电压 V_2 会出现超过稳态值的过冲。所以必须对其钳位以防止 Q_3 承受过大电压应力(此时其发射极由于 Q_2 导通而接地)。通常可采用图 5.10 和图 5.13 所示的齐纳二极管实现钳位。

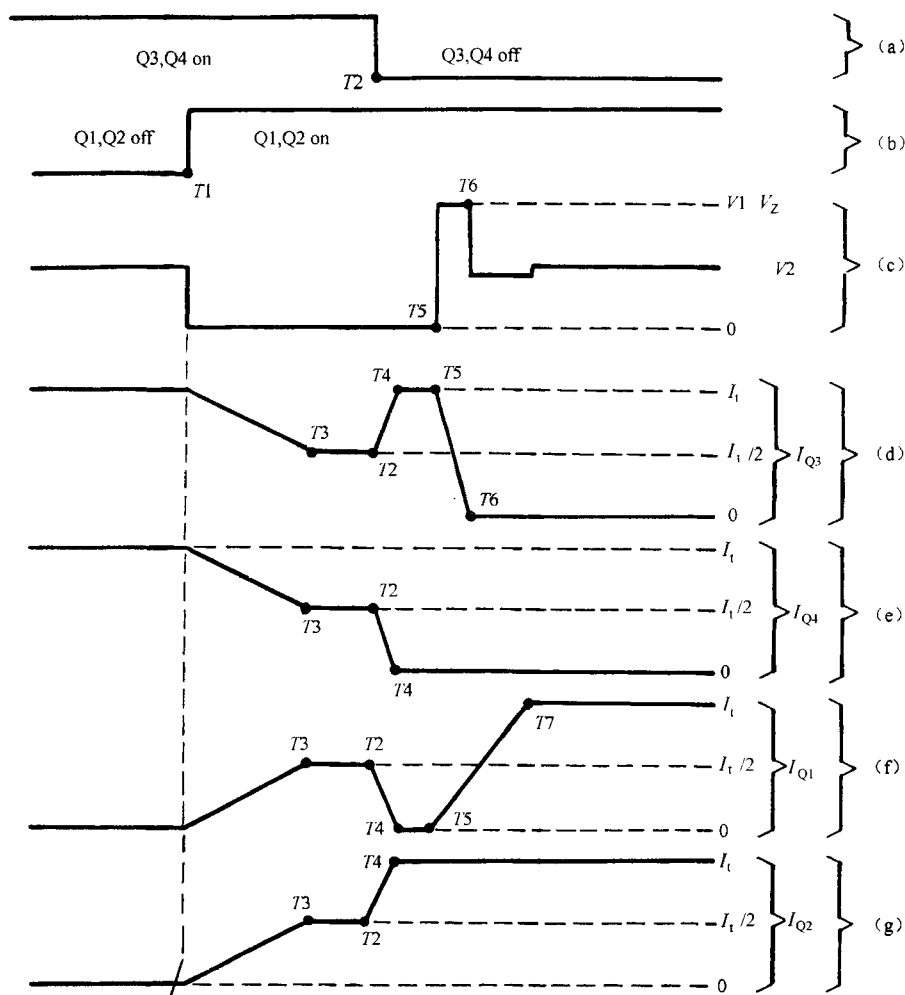


图 5.12 buck 电流馈电拓扑四个开关管重叠导通时桥路输入电压及开关管电流波形

Q_3 关断期间的 V_2 电压过冲引起的损耗会比传统 PWM 全桥电路的高些，如图 5.8 所示。对于图 5.10，该损耗为 $(V_1 + V_2)(I_L/2)(T_6 - T_5)/T$ ，而图 5.8 所示电路中该损耗仅为 $V_1(I_L/2)(T_6 - T_5)/T$ 。图 5.8 所示电路中的四个晶体管有相同的关断损耗。而图 5.10 和图 5.13 所示电路中只有两个后关断的晶体管才有高的关断损耗。如上所述，该拓扑先关断的晶体管由于零压关断而没有关断损耗；所有的晶体管因为与变压器漏感串联且零压导通，所以导通损耗也很小。

可以将两个开关管增加的关断损耗转移到缓冲电路的电阻，缓冲电路如图 5.13 所示的

5.6.6.2 buck 电流馈电全桥电路无共同导通问题

虽然可通过在两对晶体管关断和导通之间设置死区来避免共通，但在一些特殊情况下，如高温重负载场合，晶体管存储时间会比其额定存储时间长很多；又如在低压输入场合（最大占空比限制和欠压锁定电路又失效），反馈回路会过度增加导通时间，这些都会导致共通出现。

5.6.6.3 buck 电流馈电全桥电路及 buck 电压馈电全桥电路的 buck 晶体管导通问题

首先考虑 Q5 导通瞬间的电流和电压。图 5.14 (b) 是其导通瞬间电流和电压的轨迹。Q5 导通前, 续流二极管 D5 导通并流过电感电流。当 Q5 开始导通时, 其集电极电压为 V_1 , 其发射极电压比地电压低一个二极管 (D5) 导通压降。发射极的电压保持到续流二极管的电流下降为零。

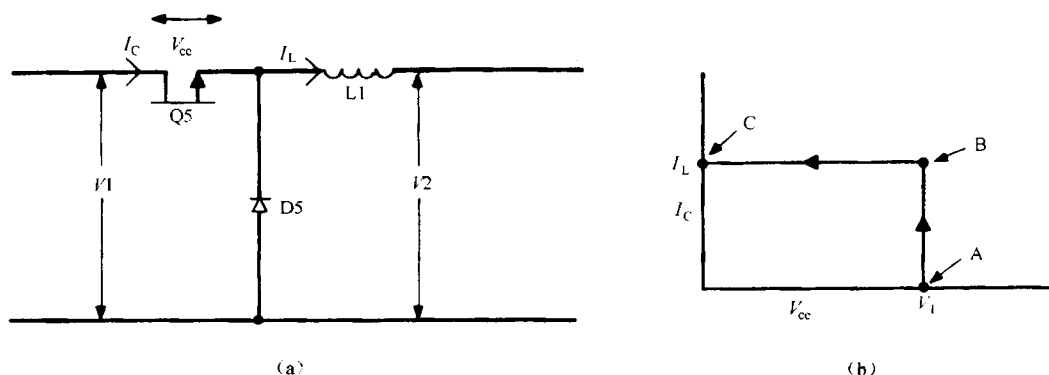


图 5.14 (a) buck 电流、电压馈电拓扑中 buck 开关管导通时的电压—电流特性较差。开关管电流上升直到续流二极管电流为零的过程中，电压均为输入电压 V_1 。这将产生很大的导通损耗。(b) 开关管 Q5 导通时的 I_c - V_{ce} 曲线。Q5 电流上升直到抵消续流二极管 D5 的电流 I_1 (从 A 到 B)， V_{ce} 保持等于 V_1 不变；若 Q5 射极电容较小且 D5 能快速恢复，则 V_{ce} 快速减小到稳定导通电压，约为 1V (从 B 到 C)

在电流上升时段 t_r ， I_c - V_{ce} 的轨迹为从 A 到 B。在 t_r 期间，Q5 的平均电流为 $I_L/2$ ，而电压为 V_1 。当 Q5 电流上升到 I_L ，并忽略 Q5 射极电容和 D5 反向恢复时间，则 Q5 的电压就会从 B 到 C 迅速下降到零。设一个周期内只有一个导通时段 t_r ，那么 Q5 的一个周期 T 内平均导通损耗为

$$PD_{\text{turnon}} = V_1 \frac{I_L t_r}{2T} \quad (5.10)$$

下面对 220V AC 网压整流输入的 2kW buck 电流馈电全桥电路晶体管进行导通损耗计算。它的额定整流电压为 300V (最小为 270V，最大为 330V)。设降压后的电压 V_2 为最小整流电压的 75%，即 200V。此外，设全桥逆变器的效率为 80%，那么输入功率为 2500W。因为 V_2 为 200V，L1 的平均电流为 12.5A。若电感 L1 足够大，则可忽略电感的电流纹波。

假设电流上升时间为 0.3μs (双极性晶体管均可满足此值)，Q5 的开关频率为 50kHz，则由式 (5.10) 可得最大交流输入下的导通损耗为

$$PD = 330 \left(\frac{12.5}{2} \right) \left(\frac{0.3}{20} \right) = 31 \text{ W}$$

注意，计算中已经忽略了 D5 的反向恢复时间。在 5.6.2.2 节中曾讨论过桥式逆变器整流二极管的反向恢复时间的影响。这个问题在 buck 电路的续流二极管中更为严重。因为 D5 的耐压要求较高， V_1 最大为 330V 时耐压值至少要为 400V。高耐压二极管的反向恢复时间要比低耐压的更长，致使 Q5 导通时的电流会大大超过 D5 中的电流 (约为 12.5A)。此外，如 5.6.2.2 节所讨论的，反向恢复之后产生的振荡会使续流二极管 D5 承受过大的电压应力。

接入图 5.15 所示的导通缓冲器，可以消除 Q5 的导通损耗和 D5 的电压应力。

5.6.6.4 buck 晶体管导通缓冲器的基本工作原理

图 5.15 (a) 中的导通缓冲器并不会减小总损耗。它只是将较脆弱的晶体管上的损耗转移到无源电阻 R_c 上。过热的半导体晶体管往往容易损坏而电阻却可耐受较高温度。其工作原理如下。在续流二极管上串联一个电感 L2。当 Q5 关断时，电感电流通过逆变桥晶体管、电感 L2、续流二极管再回到电感 L1。这使电感 L2 的顶端电压稍微低于其底端电压。

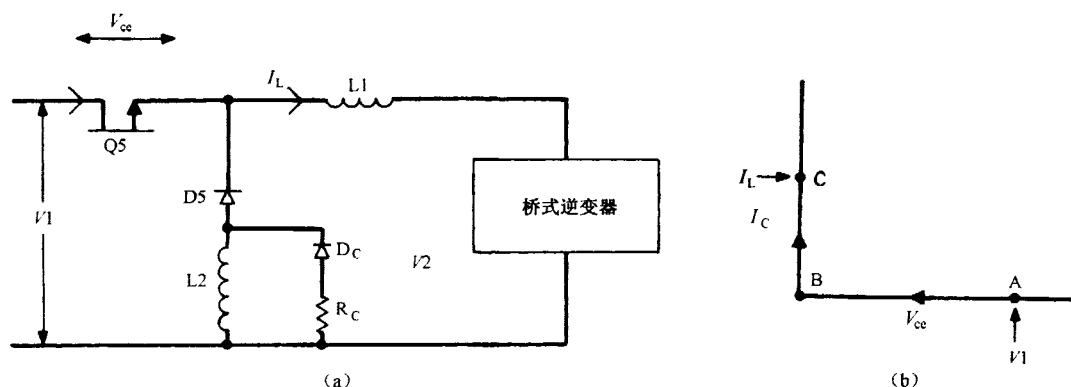


图 5.15 (a) L_2 、 D_c 和 R_c 构成的导通缓冲电路消除了 Q_5 的导通损耗。但损耗转移到 R_c 。 Q_5 开始导通时， L_2 的存在使 Q_5 发射极电压上升直到与集电极电压相差 $1V$ 。随 Q_5 电流上升至 I_L ， Q_5 关断时存储于 L_2 的电流下降到零。这样 Q_5 导通时其电压为 $1V$ （而非 V_1 ）。 Q_5 再关断时， L_2 必经充电到 I_L 而充电电压不能太高，电阻 R_c 用来限制其充电电压值。(b) 接缓冲电路导通时， Q_5 电压下降（从 A 到 B）和电流上升（从 B 到 C）的轨迹

Q_5 开始导通时，将向 D_5 的阴极输入电流来抵消 D_5 的正向续流电流。此电流输入到 L_2 ，与其原电流方向相反。由于电感上的电流不能突变，电感上的电压会立即反向以维持其电流不变。

L_2 的上端电压上升，会抬高续流二极管阴极电压直到和导通的 Q_5 射极电压相等。 Q_5 的射极电压也会被抬高直至与其集电极电压差为饱和电压 $V_{ce(sat)}$ ，此时 Q_5 的电流持续上升，但是其承受的电压为 $1V$ ，而不是未接 L_2 时的 $370V$ (V_1)。

当 Q_5 电流上升到 I_L （在时间 t_r 内）， D_5 的导通电流已经下降到零， Q_5 提供电感 L_1 所需的全部电流。由于在 t_r 期间， Q_5 的电压为 $1V$ ，所以其损耗可以忽略。此外，由于 L_2 的高阻抗性， D_5 的反向恢复电流很小也可以忽略。 Q_5 导通时电压电流工作点的轨迹如图 5.15 (b) 所示。

5.6.6.5 buck 晶体管导通缓冲器器件选择

如前所述，电感 L_2 的电流在 Q_5 导通时等于负载电流 I_L ，而在 t_r 时间内下降到零，同时 Q_5 的电流上升到 I_L 。由于 t_r 期间， L_2 的电压被钳位为 V_1 ，所以 L_2 值为

$$L_2 = \frac{V_1 t_r}{I_L} \quad (5.11)$$

以上例子中， V_1 取最大值为 $370V$ ， t_r 为 $0.3\mu s$ ， I_L 为 $12.5A$ 。从式 (5.11) 可知，

$$L_2 = 370 \times 0.3 \div 12.5 = 8.9\mu H。$$

图 5.15 (a) 中 R_c 和 D_c 的选择应保证在 Q_5 开始导通时 L_2 的电流已经等于 I_L ，而且在 L_2 的电流上升过程中不会使 Q_5 过压。

先假设 R_c 和 D_c 不存在。 Q_5 关断的时刻，由于 L_1 的电流不能突变， L_1 的输入端电压会立即变负以保持电流恒定。如果没有 L_2 ， D_5 将导通使 L_1 输入端和 Q_5 射极接地， Q_5 上的电压就为 V_1 。但是如果 L_2 存在， L_2 将呈现很大的瞬间阻抗。 Q_5 关断时， I_L 通过 L_2 使其顶端电压变得很负，而此时 Q_5 集电极电压为 $370V$ ，这样将使它承受过高电压而损坏。

将 R_c 和 D_c 与 L_2 并联，可以在 Q_5 关断时给 I_L 提供通路。 R_c 必须选择得足够小，以使电流 I_L 流过它时产生的压降加上 V_1 仍在 Q_5 可承受的电压范围内。所以