

用 JTAG 烧写 Flash 的方法

邓启辉

(武汉理工大学 智能信息系统研究所, 湖北 武汉 430070)

摘要: 利用 JTAG 烧写 Flash 的方法是通过并口把 PC 与主控芯片的 JTAG 连接, PC 向 Flash 的特定地址发出控制命令, 把烧写的目的数据、地址和控制信号经 JTAG TDI 串行输入到对应的边界扫描单元。调用 putp 函数转换 TAP 状态, 更新引脚状态后从系统总线输出到 JTAG, 即完成烧写操作。

关键词: 烧写 Flash; JTAG; 并口

中图分类号: TP311.11 **文献标识码:** A

Method for Writing Flash By JTAG

DENG Qi-hui

(Institute of Intelligence Information Systems, Wuhan University of Technology, Wuhan 430070, China)

Abstract: The way of burning flash on board by JTAG was that PC is connected JTAG of the host controller on board with parallel port, and then PC sent control command to the address of flash, and burned data and address and control signal was inputted to corresponding boundary scan cell by JATG TDI. The state of TAP was switched with function putp, and after flash was updated by JTAG to output into JTAG from the bus of system. At the same time, the JTAG of host controller receive the data to complete the operation of burning flash.

Keywords: Burning flash; JTAG; Parallel port

1 引言

Flash 存储器由于其存储容量大、密度高, 在嵌入式系统中得到广泛的应用。但由于封装的关系, 对 Flash 存储器的烧写操作存在一定的困难, 特别是当 Flash 芯片已经焊接到电路板上的时候。故采用 JTAG 在线烧写的方法能解决这个问题。

2 JTAG 烧写 Flash 原理

JTAG (IEEE 1149.1 标准) 是为解决复杂电路难于整板测试, 及表面贴装技术带来的有限测试引脚等问题而提出的一种标准。硬件结构如图 1。

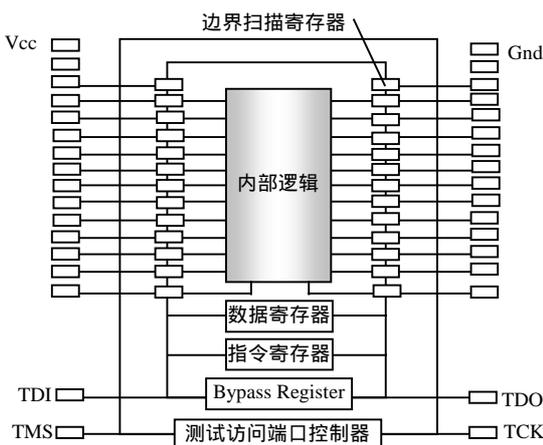


图 1 JTAG 硬件结构

JTAG 的内部硬件单元包括数据寄存器 (DR), 指令寄存器 (IR), 旁路寄存器 (Bypass Register), 测试访问控制器 (TAP), 而且对应于每个引脚内部

都设有一个移位寄存单元, 称为边界扫描单元 (BSC)。BSC 将 JTAG 电路与内核逻辑电路联系起来, 同时隔离内核逻辑电路和芯片引脚。由集成电路的所有边界扫描单元构成边界扫描寄存器 (BSR)。边界扫描寄存器电路仅在进行 JTAG 测试时有效, 在芯片正常工作时无效, 不影响集成电路的功能。JTAG 边界扫描测试受控系统的体系结构包括 4 个外部测试访问端口: 测试数据输入端口 TDI, 测试数据输出端口 TDO, 测试时钟 TCK, 测试方式选择 TMS。指令寄存器和测试数据寄存器由 TAP 控制器产生的信号来控制。TAP 控制器是一个时序电路, 由 TMS 和 TCK 信号驱动。

系统主控芯片通过地址总线、数据总线、片选、读写控制与外部 Flash 物理相连。当主控芯片对外部 Flash 操作时, 根据内部程序确定地址和数据, 通过系统总线送出, 同时使对应的控制信号有效, 由此完成操作。利用 JTAG 的特殊结构, 在 PC 上实现对在板 Flash 的操作。只要把对 Flash 操作所需要的地址、数据、控制信号, 由主控芯片的 JTAG TDI 串行输入, 锁存到对应引脚的边界扫描单元, 更新引脚状态, 最后输出即可。同样, 引脚也可把接收的片外 Flash 数据或信号锁存到内部扫描单元, 然后通过移位从 TDO 串行输出到系统以外的测试设备。通常情况下整个过程由板上主控芯片的内部逻辑控制, 而现在是由外部测试设备通过 JTAG 直接对芯片引脚电平的高低进行控制。

3 JTAG 烧写 Flash 在 S3C44B0 上的应用

收稿日期: 2004-06-10; 修回日期: 2004-07-24

作者简介: 邓启辉 (1979-), 男, 广东人, 2002 年毕业于武汉理工大学, 现武汉理工大学在读硕士, 从事嵌入式系统开发研究。

与 S3C44B0 相连 (图 2) 的是一块 Intel 的 Flash 存储芯片—TE28F320, 容量为 4M 字节, 支持 2.7~3.6V 低电压烧写。

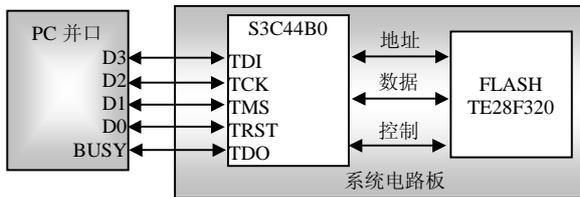


图 2 S3C44B0 与 TE28F320 的连接

3.1 并口对 JTAG 的控制

通过并口控制 JTAG 的核心代码如下:

```
int putp(int tdi, int tms, int rp)
{
    .....
    int t1;
    t1 = tdi*8+tms*2;
    OUTB(lpt_address, t1+0x01); //TCK low
    t1 = tdi*8+tms*2+4;
    OUTB(lpt_address, t1+0x01); // TCK high
    .....
}
```

OUTB 是对 I/O 地址为 lpt_address 的并口输出数据的函数, 由用户自行设计。由 putp 函数的输入参数可看出, 该函数把变量 tdi 和 tms 所表示的“0”和“1”由并口传送到 JTAG 的 TDI 和 TMS。第三个参数用于判断是否需要获取外部反馈的数据, 即由 TDO 读出当前 BSR 的内容。

根据 JTAG 定义, TCK 用于测试时钟信号的输入, 为简化设计和增加可操作性, 这里并未设专门的时钟信号, 而是使 TCK 与并口第 4 脚 (DATA[2]) 相连, 通过电平的高低交替变换来模拟时钟信号。

TDI 和 TMS 都在 TCK 的上升沿锁存。当 DATA[2]为“0”, TCK 为低电平; 当 DATA[2]为“1”, TCK 为高电平。基于此原理, putp 函数中调用了两次 OUTB, 第一次调用时 DATA[2]为 0, TCK 为低; 第二次时 DATA[2]为 1 (t1=tdi*8+tms*2+4;), TCK 为高电平。由此产生的 TCK 上升沿使 TDI 和 TMS 都被锁存到边界扫描寄存器。

3.2 BSD 文件

除对并口操作的 putp 函数外, 针对所使用的主控芯片型号的不同, 要有相对应的 BSD 文件, 一般由芯片制造商提供。由于 JTAG 的内部总体上是一种串行链结构, 所以无法在对特定单元操作的同时不涉及其他单元。为保证串行操作的准确性—需要多少次移位操作才能选定目标引脚的 BSC, 必须知道每个引脚在 JTAG 边界扫描链上的具体排布。BSD 文件提供的正是这些信息。

为了便于编程操作, 可根据 BSD 文件所定义的引脚顺序设置一个数组 pin[SIZE], 数组的每一个元

素与芯片上的每一个引脚对应, 通过设置数组元素为“1”或为“0”来描述引脚电平的高低。

3.3 对 Flash 的烧写

对于 Flash 的烧写, 通常是向 Flash 的特定地址控制发出命令, 然后把烧写的目的数据和地址从系统总线送出, 结束退出。采用 JTAG 烧写 Flash, 对 Flash 的操作都转化为对 JTAG 的操作, 主要是调用 putp 函数转换 TAP 的状态:

- ① TAP 控制器复位;
- ② 进入 DR 扫描链 (Select-DR);
- ③ 重复移位 (Shift), 从 TDI 输入引脚的状态;
- ④ 数据输入完毕, 退出 DR 扫描链, 更新 (Update) JTAG, 输出到芯片外部, 完成一次操作。

利用根据 BSD 文件内容已经设置好的 pin[] 数组, 用“for”循环把数组的元素输出到 JTAG 即可实现以上操作, 代码如下:

```
int write_flash()
{
    putp(1,0,IP); // Run Test/Idle
    putp(1,0,IP); // Run Test/Idle
    putp(1,0,IP); // Run Test/Idle
    putp(1,0,IP); // Run Test/Idle
    putp(1,1,IP); // select DR scan
    putp(1,0,IP); // capture DR
    putp(1,0,IP); // shift
    for ( i = 0; i < SIZE; ++i )
        // shift write data in to JTAG port and read data out
        { putp(pin[i],0,IP); }
    putp(0,1,IP); // Exit 1-DR
    putp(1,1,IP); // Update-DR
}
```

4 结论

该方法在基于 S3C44B0 的嵌入式系统开发过程中得到很好的应用, 也适用于其他主控芯片支持 JTAG 接口、Flash 支持低电压烧写的嵌入式系统。

参考文献:

- [1] IEEE Standard Test Access Port and Boundary-Scan Architecture [Z]. IEEE Computer Society, 2001.
- [2] 张华, 陈朝阳, 沈绪榜. 基于微机的边界扫描测试主控系统的设计[J]. 华中科技大学学报(自然科学版), 2002, (5).
- [3] 何希顺, 张跃, 何荣森. 嵌入式系统中的 JTAG 接口编程技术[J]. 电子技术应用, 2001, (12).

兵工自动化

欢迎读者订阅

欢迎作者赐稿

欢迎广告惠顾