



# 锁相环常见问题解答

编写人    **CAST (Y/D)**

版本号    **V1.1**

---

本报告为 Analog Devices Inc. (ADI) 中国技术支持中心专用，ADI 可以随时修改本报告而不用通知任何使用本报告的人员。

如有任何问题请与 [china.support@analog.com](mailto:china.support@analog.com) 联系。

---

# 目 录

1	ADI公司锁相环产品概述.....	iii
2	PLL主要技术指标.....	vi
2.1	相位噪声.....	vi
2.2	参考杂散.....	vii
2.3	锁定时间.....	ix
3	应用中常见问题.....	x
3.1	PLL芯片接口相关问题.....	x
3.1.1	参考晶振有哪些要求？我该如何选择参考源？.....	x
3.1.2	请详细解释一下控制时序，电平及要求。.....	xi
3.1.3	控制多片PLL芯片时，串行控制线是否可以复用.....	xii
3.1.4	请简要介绍一下环路滤波器参数的设置.....	xii
3.1.5	环路滤波器采用有源滤波器还是无源滤波器？.....	xiii
3.1.6	PLL对于VCO有什么要求？以及如何设计VCO输出功率分配器？.....	xiii
3.1.7	如何设置电荷泵的极性？.....	xiv
3.1.8	锁定指示电路如何设计？.....	xiv
3.1.9	PLL对射频输入信号有什么要求？.....	xvii
3.1.10	PLL芯片对电源的要求有哪些？.....	xvii
3.1.11	内部集成了VCO的ADF4360-x，其VCO中心频率如何设定？.....	xvii
3.2	PLL芯片性能相关问题.....	xix
3.2.1	锁相环输出的谐波.....	xix
3.2.2	锁相环系统的相位噪声来源有哪些？减小相位噪声的措施有哪些？.....	xix
3.2.3	为何我测出的相位噪声性能低于ADISimPLL仿真预期值?.....	xx
3.2.4	锁相环锁定时间取决于哪些因素？如何加速锁定？.....	xxi
3.2.5	为何我的锁相环在做高低温试验的时候，出现频率失锁？.....	xxii
3.2.6	非跳频（单频）应用中，最高的鉴相频率有什么限制？.....	xxii
3.2.7	频繁地开关锁相环芯片的电源会对锁相环有何影响？.....	xxii
3.3	PLL的调试步骤.....	xxiii
3.4	为您的设计选择合适的PLL芯片.....	xxiv
3.4.1	评价PLL频率合成器噪声性能的依据是什么？.....	xxiv
3.4.2	小数分频的锁相环杂散的分布规律是什么？.....	xxiv
3.4.3	到底用小数分频好还是整数分频好？.....	xxiv
3.4.4	ADI提供的锁相环仿真工具ADISimPLL支持哪些芯片，有什么优点？.....	xxv
3.5	PLL的几个特殊应用.....	xxvi
3.5.1	分频 – 获得高精度时钟参考源.....	xxvi
3.5.2	PLL，VCO闭环调制，短程无线发射芯片.....	xxvi
3.5.3	PLL，VCO开环调制.....	xxvi
3.5.4	解调.....	xxvii
3.5.5	时钟净化---时钟抖动（jitter）更小.....	xxvii
3.5.6	时钟恢复（Clock Recovery）.....	xxvii
4	参考资料.....	xxviii

## 1 ADI 公司锁相环产品概述

ADI 是高性能模拟器件供应商，在锁相环领域已有十多年的设计经验。到目前为止，ADI 的 ADF 系列锁相环产品所能综合的频率可达 8GHz，几乎能够涵盖目前所有无线通信系统的频段。ADF 系列 PLL 频率合成器不仅包括整数分频，小数分频 VCO 外置产品，还包括集成了 VCO 的产品，从而大大简化您的设计，降低系统成本。

整数分频 PLL

小数分频 PLL

单环 PLL

双环 PLL

集成 VCO 的 PLL

快速锁定 PLL

高电压电荷泵 PLL

## ADI 公司已经发布产品

型号	类型	最大射频 输入频率 范围 (MHz)	输出频 率范围 (MHz)	归一化 相位噪声 (dBc/Hz)	最大参考 输入频率 (MHz)	预分频模数	电源电流 (mA)	封装
<a href="#">AD809</a>	Synthesizer	-	155.52 MHz	-219	19.44	-	17	16-Lead SOIC
<a href="#">ADF4001</a>	Single Integer-N	200	-	-214	104	n/a	4.5	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4002</a>	Single Integer-N	400	-	-222	300	n/a	5	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4007</a>	Single Integer-N	7500	-	-219	240	N counter = 8/16/32/64	13	20-Lead CSP
<a href="#">ADF4106</a>	Single Integer-N	6000	-	-219	300	16/17, 32/33, 64/65, 8/9	13	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4107</a>	Single Integer-N	7000	-	-219	250	16/17, 32/33, 64/65, 8/9	13	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4108</a>	Single Integer-N	8000	-	-219	250	16/17, 32/33, 4/5, 64/65, 8/9	17	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4110</a>	Single Integer-N	550	-	-215	104	16/17, 32/33, 64/65, 8/9	4.5	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4111</a>	Single Integer-N	1200	-	-215	104	16/17, 32/33, 64/65, 8/9	4.5	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4112</a>	Single Integer-N	3000	-	-215	104	16/17, 32/33, 64/65, 8/9	6.5	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4113</a>	Single Integer-N	4000	-	-215	104	16/17, 32/33, 64/65, 8/9	8.5	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4113HV</a>	Single Integer-N	4000	-	-215	104	16/17, 32/33, 64/65, 8/9	11	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4116</a>	Single Integer-N	550	-	-211	100	8月9日	4.5	16-Lead TSSOP
<a href="#">ADF4117</a>	Single Integer-N	1200	-	-213	100	32/33	4.5	16-Lead TSSOP
<a href="#">ADF4118</a>	Single Integer-N	3000	-	-216	100	32/33	6.5	16-Lead TSSOP
<a href="#">ADF4153</a>	Single Fractional-N	4000	-	-213	250	4/5, 8/9	12	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4154</a>	Single Fractional-N	4000	-	-213	250	4/5, 8/9	12	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4156</a>	Single Fractional-N	6000	-	-213	250	4/5, 8/9	12	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4157</a>	Single Fractional-N	6000	-	-207	300	-	29	16-Lead TSSOP, 20-Lead CSP
<a href="#">ADF4193</a>	Fast Settling PLL	3500	-	-216	300	4/5, 8/9	-	32-Lead CSP
<a href="#">ADF4206</a>	Dual Integer-N	550	-	-213	40	32/33, 64/65	9.5	16-Lead TSSOP
<a href="#">ADF4208</a>	Dual Integer-N	2000	-	-217	40	32/33, 64/65	14	20-Lead TSSOP
<a href="#">ADF4212</a>	Dual Integer-N	2700	-	-	115	16/17, 32/33, 64/65, 8/9	11.5	20-Lead CSP, 20-Lead TSSOP
<a href="#">ADF4212L</a>	Dual Integer-N	2400	-	-215	115	16/17, 32/33, 64/65, 8/9	6	20-Lead CSP, 20-Lead TSSOP
<a href="#">ADF4213</a>	Dual Integer-N	3000	-	-	115	16/17, 32/33, 8/9	20	20-Lead CSP, 20-Lead TSSOP
<a href="#">ADF4216</a>	Dual Integer-N	1200	-	-	40	32/33, 64/65	18	20-Lead TSSOP
<a href="#">ADF4217L</a>	Dual Integer-N	3000	-	-	110	32/33, 64/65	7	20-Lead TSSOP, 24-Lead BCC
<a href="#">ADF4218L</a>	Dual Integer-N	3000	-	-216	110	32/33, 64/65	7	20-Lead TSSOP, 24-Lead BCC

# A

## PLL 常见问题解答

<a href="#">ADF4219L</a>	Dual Integer-N	3000	-	-	110	32/33, 64/65	7	20-Lead TSSOP, 24-Lead BCC
<a href="#">ADF4251</a>	Dual Fractional-N	3000	-		150	4/5, 8/9	13	24-Lead CSP
<a href="#">ADF4252</a>	Dual Fractional-N	3000	-	-214	150	4/5, 8/9	12	24-Lead CSP
<a href="#">ADF4360-0</a>	Synthesizer/VCO Integer-N	-	2400-2725 MHz	-214	250	16/17, 32/33, 8/9	-	24-Lead CSP
<a href="#">ADF4360-1</a>	Synthesizer/VCO Integer-N	-	2050-2450 MHz	-217	250	16/17, 32/33, 8/9	-	24-Lead CSP
<a href="#">ADF4360-2</a>	Synthesizer/VCO Integer-N	-	1850-2150 MHz	-217	250	16/17, 32/33, 8/9	-	24-Lead CSP
<a href="#">ADF4360-3</a>	Synthesizer/VCO Integer-N	-	1600-1950 MHz	-217	250	16/17, 32/33, 8/9	-	24-Lead CSP
<a href="#">ADF4360-4</a>	Synthesizer/VCO Integer-N	-	1450-1750 MHz	-217	250	16/17, 32/33, 8/9	-	24-Lead CSP
<a href="#">ADF4360-5</a>	Synthesizer/VCO Integer-N	-	1200-1400 MHz	-217	250	16/17, 32/33, 8/9	-	24-Lead CSP
<a href="#">ADF4360-6</a>	Synthesizer/VCO Integer-N	-	1050-1250 MHz	-217	250	16/17, 32/33, 8/9	-	24-Lead CSP
<a href="#">ADF4360-7</a>	Synthesizer/VCO Integer-N	-	350-1800 MHz	-217	250	16/17, 8/9	-	24-Lead CSP
<a href="#">ADF4360-8</a>	Synthesizer/VCO Integer-N	-	65-400 MHz	-217	250	-	-	24-Lead CSP
<a href="#">ADF4360-9</a>	Synthesizer/VCO Integer-N	-	65-400 MHz	-218	250	-	7.5	-

## 2 PLL 主要技术指标

### 2.1 相位噪声

对一个给定载波功率的输出频率来说，相位噪声是载波功率相对于给定的频率偏移处（频率合成器通常定义 1kHz 频率偏移）1-Hz 的带宽上的功率，单位为 dBc/Hz@offset frequency。锁相环频率合成器的带内相位噪声主要取决于频率合成器，VCO 的贡献很小。

相位噪声的测量需要频谱分析仪。注意一点，普通频谱分析仪读出的数据需要考虑分辨带宽的影响，并且频谱仪要具有 Marker Noise 的功能，这样可以直接从频谱仪上得到 Marker Noise (PN) 的值，如果没有 Marker Noise 的功能，则需要通过 Marker 在指定偏移处测量噪声的值，然后再通过公式（MKR Noise = MKR Value - 10logRBW）得出相噪值。高端的频谱分析仪或相位噪声测试仪往往可以直接给出单边带相位噪声。

相位噪声是信号在频域的度量。在时域，与之对应的是时钟抖动（jitter），它是相位噪声在时间域里的反映，大的时钟抖动在高速 ADC 应用中会严重恶化采样数据的信噪比，尤其是当 ADC 模拟前端信号的频率较高时，更是要求低抖动的时钟。图 1 形象地描述了时钟抖动。

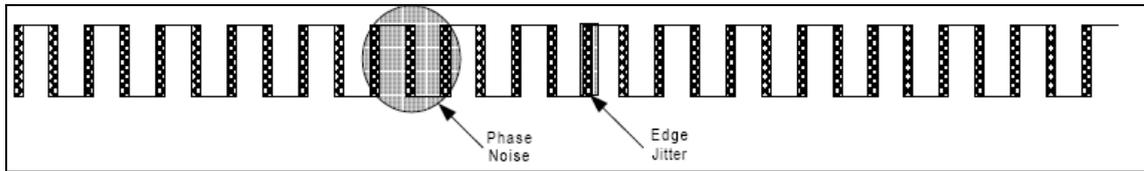


图 1 相位噪声和时钟抖动

时钟抖动可以通过相位噪声积分得到，具体实现如下如下：计算从给定的起始频率偏移处到结束频率（通常定义为两倍输出频率）偏移处的相位噪声和 A，单位为 dBc；对 A 进行取对数操作；求相位抖动均方值（rms phase jitter），单位为弧度；将弧度值转换成时间单位，秒或者皮秒。

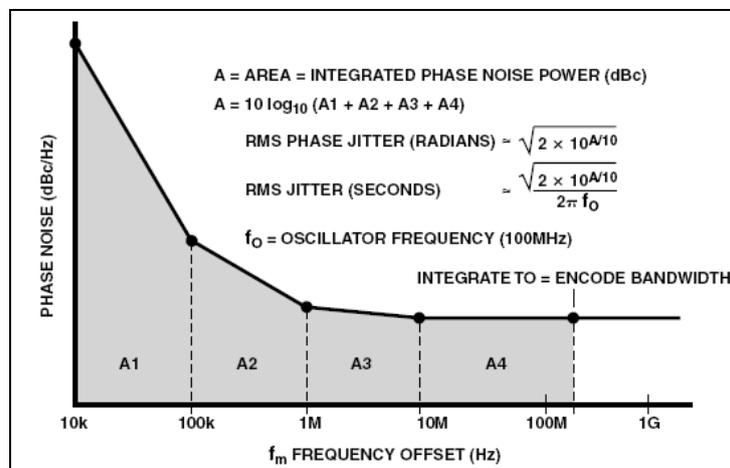


图 2. 时钟抖动与相位噪声和白噪声之间的关系

## 2.2 参考杂散

锁相环中最常见的杂散信号就是参考杂散。这些杂散信号会由于电荷泵源电流与汇电流的失配，电荷泵漏电流，以及电源退耦不够而增大。在接收机设计中，杂散信号与其他干扰信号相混频有可能产生有用信号频率从而降低接收机的灵敏度。锁相环处于锁定状态时，电荷泵会周期性的（频率等于鉴相频率）产生交替变换（正负）脉冲电流给环路滤波器。环路滤波器对其进行积分产生稳定的控制电压。

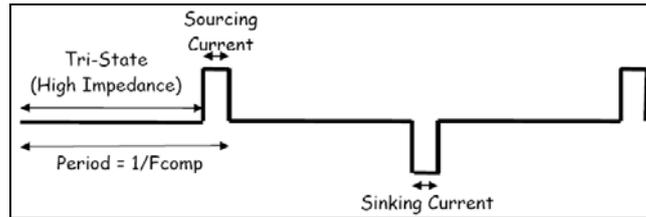


图 3 环路锁定时，PLL 电荷泵电流输出波形

当鉴相频率较低时，由电荷泵的漏电流引起的杂散占主要地位。

当鉴相频率较高时，由电荷泵的交流电流（源电流  $I_{source}$  和汇电流  $I_{sink}$ ）引起的杂散占主要地位。

二者频率的界定。一般地，若电荷泵漏电流为 1nA，电荷泵电流为 1mA，电荷泵电流的失配在 4% 时，交界频率大约为 100k~200kHz。

当电荷泵处于三态的时候（绝大部分时间是如此），电荷泵的漏电流是杂散的主要来源。电荷泵漏电流经过环路滤波器形成控制电压，以调谐 VCO，这样就相当于对 VCO 进行调频（FM），反映在 VCO 的输出，就会出现杂散信号。电荷泵漏电流越大，鉴相频率越低，这种参考杂散越大。在鉴相频率相等的条件下，电荷泵的漏电流与电荷泵电流的比值越大，由电荷泵漏电流引起的参考杂散会越大。ADI 的 PLL 产品漏电流大部分在 1nA 左右的水平上。

为了对电荷泵漏电流引起的杂散有个清楚地认识，这里给出一些仿真波形。仿真条件如下：ADF4106，输出频率 1GHz，鉴相频率 25kHz，三阶无源滤波器，带宽 2.5Hz，相位裕度 45 度，VCO 模型为 Sirenza VCO190-1000T。参考晶振模型 10MHz。电荷泵漏电流 1nA。

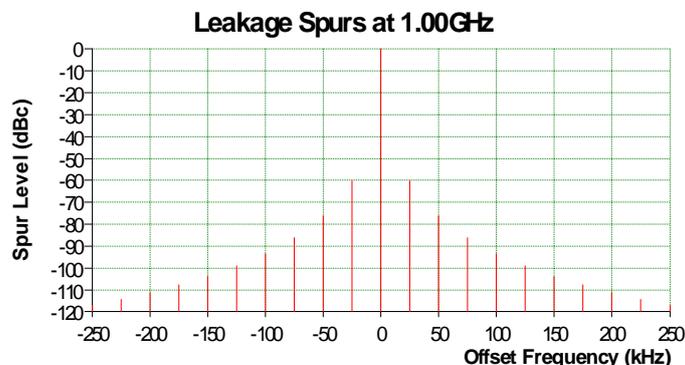


图 4

当环路滤波器变窄到 1kHz 后可以看到对这种杂散的衰减效果如下。

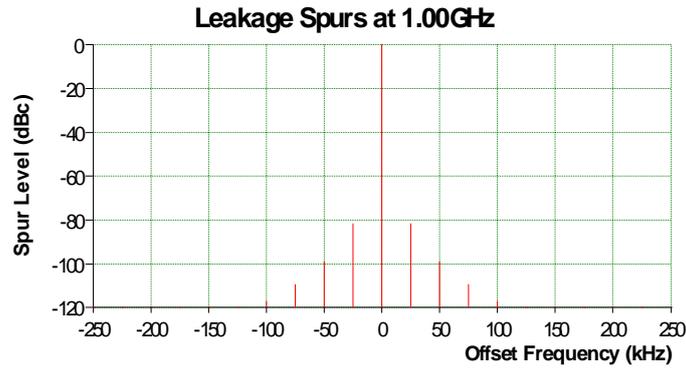


图 5

当电荷泵工作时，电荷泵交替脉冲电流是杂散的主要来源。定义电荷泵源电流（Source current）与汇电流（Sink current）的失配程度。

$$Mismatch(\%) = \frac{I_{source} - I_{sink}}{\frac{I_{source} + I_{sink}}{2}} \times 100\%。$$

杂散增益的定义，

$$SpurGain \Big|_{f=f_{spur}} = 20 \bullet \log \left( \left| \frac{K\phi \bullet Z(s) \bullet K_{VCO}}{s} \right|_{s=j \bullet 2 \bullet \pi \bullet f_{spur}} \right)$$

## 2.3 锁定时间

锁相环从一个指定频率跳变到另一个指定频率（在给定的频率误差范围内）所用的时间就是锁定时间。频率跳变的步长取决于 PLL 频率合成器工作在限定的系统频带上所能达到的最大的频率跳变能力。

例如，GSM-900，频率步长最大为 45MHz，而 GSM-1800 为 95MHz。容许的频率误差分别为 90Hz 和 180Hz。PLL 频率合成器必须在小于 1.5 个时隙（GSM 的一个时隙是 577us）内达到锁定。

锁定时间还需要另外一个指标来度量，即 PLL 频率合成器输出达到给定相位误差范围所用的时间。

图 6 是 ADI 提供的一种测量相位锁定的方法，该方法利用 ADI 的增益/相位联合检波器 AD8302 实现。

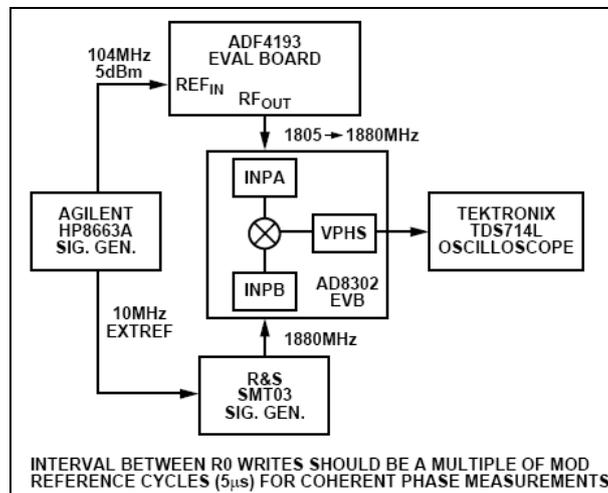


图 6. 相位锁定时间测量的一种方法

### 3 应用中常见问题

#### 3.1 PLL 芯片接口相关问题

##### 3.1.1 参考晶振有哪些要求？我该如何选择参考源？

**波形：** 可以使正弦波，也可以为方波。

**功率：** 满足参考输入灵敏度的要求。

**稳定性：** 通常用TCXO，稳定性要求 $< 2$  ppm。这里给出几种参考的稳定性指标和相位噪声指标。

名称	频率范围 (MHz)	频率稳定度 (ppm)	相位噪声 dBc/Hz@10kHz	价格
普通晶体振荡器 SPXO	1~100	+/-10~+/-100		低
压控晶体振荡器 VCXO	1~60	+/-1~+/-50		
温度补偿晶体振荡器 TCXO	1-60	+/-0.1~+/-5		
压控振荡器 VCO	宽		-110	
恒温控制晶体振荡器 OCXO	10~20	0.0005~0.01	-150, -120@10Hz	非常高

**频率范围：** ADI提供的PLL产品也可以工作在低于最小的参考输入频率下，条件是输入信号的转换速率要满足给定的要求。

例如，ADF4106 的数据手册要求的最小参考输入信号REFIN为 20MHz，功率最小为-5dBm，这相当于转换速率（slew rate）为 22.6V/us，峰峰值为 360mV的正弦波。具体计算如下：对正弦波 $V_p \sin(2\pi f t)$ 而言，转换速率 $Slew\ Rate = dv/dt|_{max} = 2\pi f V_p$ 。那么我们来考察功率为-5dBm（50 欧姆系统）（ $V_p=180mV$ ）的信号，其峰峰值为 360mV，其转换速率为

$$Slew\ Rate = dv/dt|_{max} = 2\pi f V_p = 22.6V/us$$

所以，只要 REFIN 功率满足要求，并且输入信号的转换速率高于 22.6V/us，REFIN 可以工作在低于 20MHz 的条件下。具体实现是，一个转换时间为 146ns 的 3.3V CMOS 输入可以很容易的满足该项要求。总的来说，用功率较大的方波信号作为参考可以使 REFIN 工作在低于数据手册上给出的最低频率限制。

在 PLL 频率综合器的设计中，我们推荐使用温度补偿型晶振（TCXO）。在需要微调参考的情况下使用 VCXO，需要注意 VCXO 灵敏度比较小，比如 100Hz/V，所以设计环路滤波器的带宽不能很大（比如 200Hz），否则构成滤波器的电容将会很大，而电阻会很小。普通有源晶振，由于其温度稳定性差，在高精度的频率设计中不推荐使用。

### 3.1.2 请详细解释一下控制时序，电平及要求。

ADI 的所有锁相环产品控制接口均为三线串行控制接口。如图 7 所示。要注意的是：在 ADI 的 PLL 产品中，大多数的时序图如图 7 中上面的图所示，该图是错误的，正确的时序图如图 7 中下面的图所示，LE 的上升沿应跟 Clock 的上升沿对齐，而非 Clock 的下降沿。

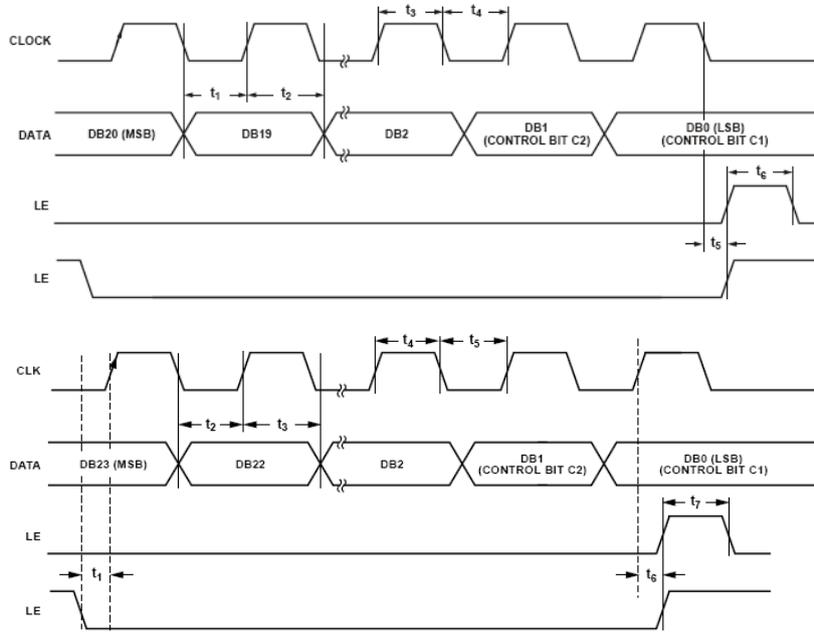
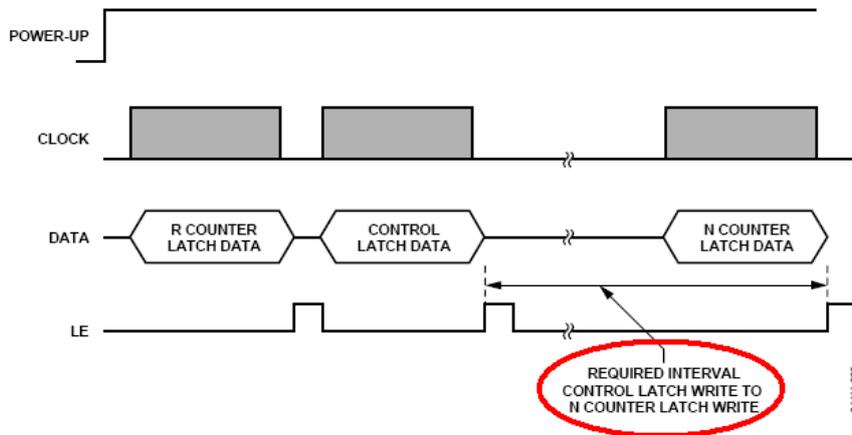


图 7 PLL 频率合成器的串行控制接口（3 Wire Serial Interface）

控制接口由时钟 **CLOCK**，数据 **DATA**，加载使能 **LE** 构成。加载使能 **LE** 的下降沿提供起始串行数据的同步。串行数据先移位到 PLL 频率合成器的移位寄存器中，然后在 **LE** 的上升沿更新内部相应寄存器。注意到时序图中有两种 **LE** 的控制方法。

SPI 控制接口为 3V/3.3V CMOS 电平。

另外，需要注意的是对 PLL 芯片的寄存器进行写操作时，需要按照一定的次序来写，具体请参照芯片资料中的描述。特别地，在对 ADF4360 的寄存器进行操作时，注意在写控制寄存器和 N 计数器间要有一定的延时。



控制信号的产生，可以用 MCU，DSP，或者 FPGA。产生的时钟和数据一定要干净，过冲小。当用 FPGA 产生时，要避免竞争和冒险现象，防止产生毛刺。如果毛刺无法避免，可

以在数据线和时钟线上并联一个 10~47pF 的电容，来吸收这些毛刺。

### 3.1.3 控制多片 PLL 芯片时，串行控制线是否可以复用

一般地，控制 PLL 的信号包括：CE，LE，CLK，DATA。CLK 和 DATA 信号可以共用，即占用 2 个 MCU 的 IO 口，用 LE 信号来控制对哪个 PLL 芯片进行操作。多个 LE 信号也可以共用一个 MCU 的 IO 口，这时需要用 CE 信号对芯片进行上电和下电的控制。

### 3.1.4 请简要介绍一下环路滤波器参数的设置

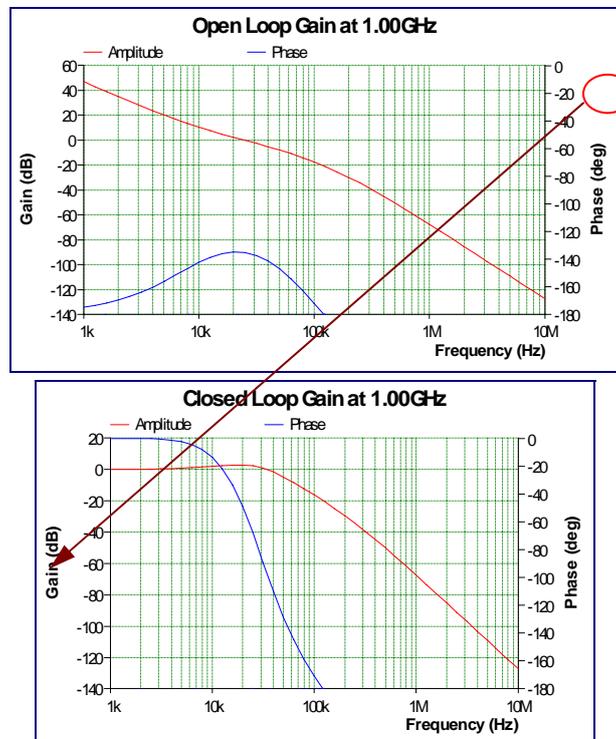
ADISimPLL V3.0 使应用工程师从繁杂的数学计算中解脱出来。我们只要输入设置环路滤波器的几个关键参数，ADISimPLL 就可以自动计算出我们所需要的滤波器元器件的数值。这些参数包括，鉴相频率 PFD，电荷泵电流  $I_{cp}$ ，环路带宽 BW，相位裕度，VCO 控制灵敏度  $K_v$ ，滤波器的形式（有源还是无源，阶数）。计算出的结果往往不是我们在市面上能够买到的元器件数值，只要选择一个最接近元器件的就可以。

通常环路的带宽设置为鉴相频率的 1/10 或者 1/20。

相位裕度设置为 45 度。

滤波器优先选择无源滤波器。

滤波器开环增益和闭环增益以及相位噪声图之间的关系。闭环增益的转折频率就是环路带宽。相位噪声图上，该点对应于相位噪声曲线的转折频率。如果设计的锁相环噪声太大，就会出现频谱分析仪上看到的转折频率大于所设定的环路带宽。



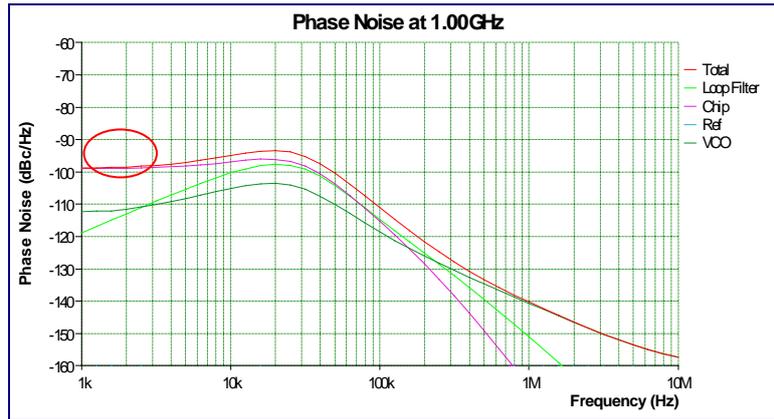


图 8

### 3.1.5 环路滤波器采用有源滤波器还是无源滤波器？

有源滤波器因为采用放大器而引入噪声，所以采用有源滤波器的 PLL 产生的频率的相位噪声性能会比采用无源滤波器的 PLL 输出差。因此在设计中我们尽量选用无源滤波器。其中三阶无源滤波器是最常用的一种结构。PLL 频率合成器的电荷泵电压  $V_p$  一般取 5V 或者稍高，电荷泵电流通过环路滤波器积分后的最大控制电压低于  $V_p$  或者接近  $V_p$ 。如果 VCO/VCXO 的控制电压在此范围之内，无源滤波器完全能够胜任。

当 VCO/VCXO 的控制电压超出了  $V_p$ ，或者非常接近  $V_p$  的时候，就需要用有源滤波器。在对环路误差信号进行滤波的同时，也提供一定的增益，从而调整 VCO/VCXO 控制电压到合适的范围。

那么如何选择有源滤波器的放大器呢？这类应用主要关心一下的技术指标：

低失调电压（Low Offset Voltage） [通常小于 500uV]

低偏流（Low Bias Current） [通常小于 50pA]

如果是单电源供电，需要考虑使用轨到轨（Rail-to-Rail）输出型放大器。

这里提供几种常见的 PLL 滤波器应用放大器的型号。

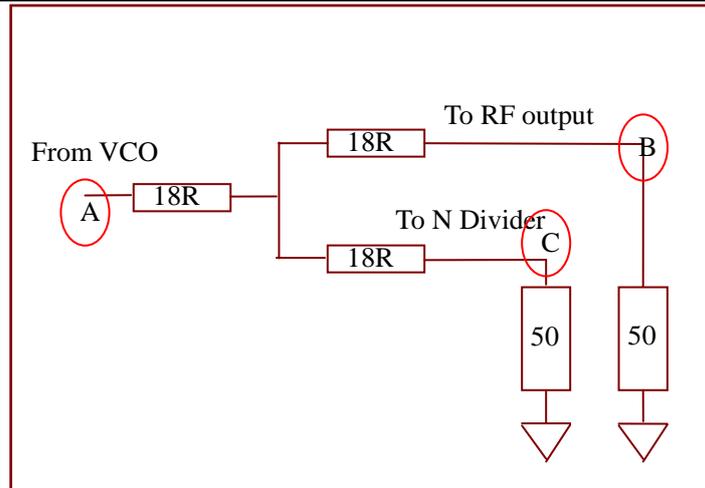
AD711/2, AD797, AD820/2, AD8510/2, AD8605/6, AD8610/20, AD8651/2, OP162/262, OP184/284, OP249, OP27, ..

### 3.1.6 PLL 对于 VCO 有什么要求？以及如何设计 VCO 输出功率分配器？

选择 VCO 时，尽量选择 VCO 的输出频率对应的控制电压在可用调谐电压范围的中点。

选用低控制电压的 VCO 可以简化 PLL 设计。

VCO 的输出通过一个简单的电阻分配网络来完成功率分配。从 VCO 的输出看到电阻网络的阻抗为  $18 + (18 + 50) // (18 + 50) = 52\text{ohm}$ 。形成与 VCO 的输出阻抗匹配。下图中 ABC 三点功率关系。B, C 点的功率比 A 点小 6dB。



如图是 ADF4360-7 输出频率在 850MHz~950MHz 时的输出匹配电路，注意该例是匹配到 50 欧的负载。如果负载是 75 欧，那么匹配电路无需改动，ADF4360-7 的输出级为电流源，负载值的小变动不会造成很大的影响，但要注意差分输出端的负载需相等。

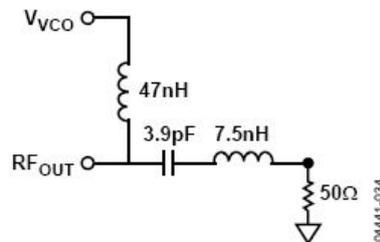


Figure 30. Optimum ADF4360-7 Output Stage

图 9 ADF4360-7 输出匹配电路

### 3.1.7 如何设置电荷泵的极性？

在下列情况下，电荷泵的极性为正。

- 环路滤波器为无源滤波器，VCO 的控制灵敏度为正（即，随着控制电压的升高，输出频率增大）。

在下列情况下，电荷泵的极性为负。

- 环路滤波器为有源滤波器，并且放大环节为反相放大；VCO 的控制灵敏度为正。
- 环路滤波器为无源滤波器，VCO 的控制灵敏度为负。
- PLL 分频应用，滤波器为无源型。即参考信号直接 RF 反馈分频输入端，VCO 反馈到参考输入的情况。

### 3.1.8 锁定指示电路如何设计？

PLL 锁定指示分为模拟锁定指示和数字锁定指示两种

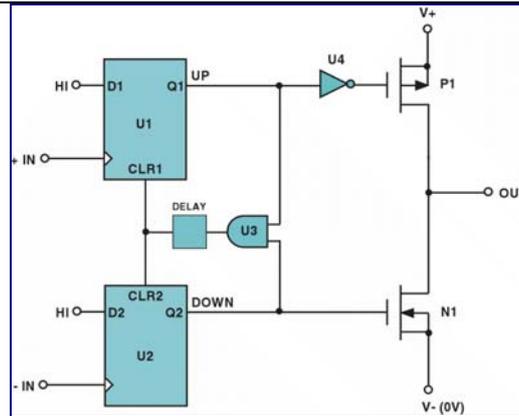


图 10 鉴相器和电荷泵原理图

数字锁定指示:

当 PFD 的输入端连续检测到相位误差小于 15ns 的次数为 3(5)次, 那么 PLL 就会给出数字锁定指示。

$$Phase\_Error = \frac{leakage\_current}{I_{cp}} \times T_{PFD}$$

数字锁定指示的工作频率范围: 通常为 5kHz~50MHz。在更低的 PFD 频率上, 漏电流会触发锁定指示电路; 在更高的频率上, 15ns 的时间裕度不再适合。在数字锁定指示的工作频段范围之外, 推荐使用模拟锁定指示。

模拟锁定指示

对电荷泵输入端的 Up 脉冲和 Down 脉冲进行异或处理后得出的脉冲串。所以当锁定时, 锁定指示电路的输出为带窄负脉冲串的高电平信号。图为一个典型的模拟锁定指示输出 (MUXOUT 输出端单独加上拉电阻的情况)。

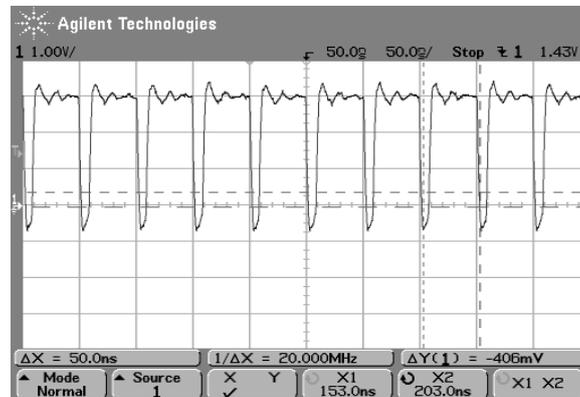


图 11

模拟锁定指示的输出级为 N 沟道开漏结构, 需要外接上拉电阻, 通常为 10KOhm~160kohm。我们可以通过一个积分电路 (低通滤波器) 得到一个平坦的高电平输出, 如图所是的蓝色框电路。

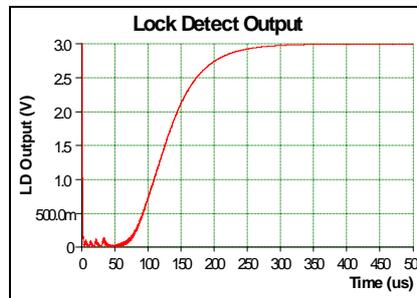
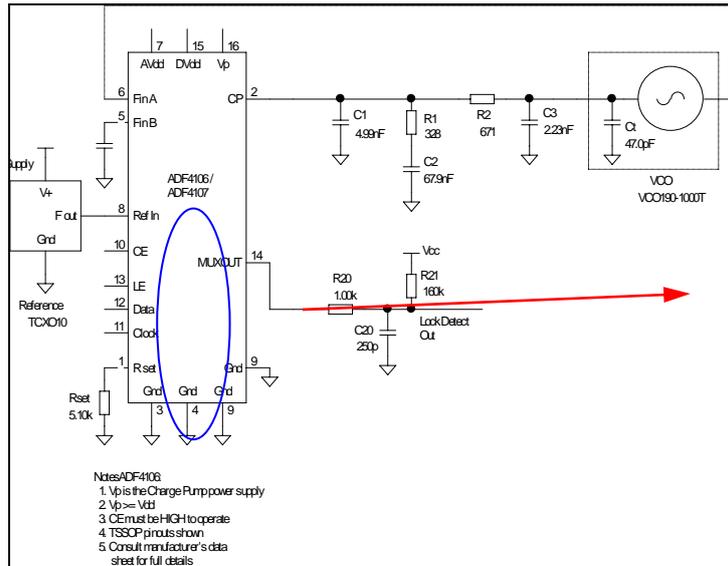


图 12

误锁定的一个条件:

参考信号 REFIN 信号丢失。当 REFIN 信号与 PLL 频合器断开连接时, PLL 显然会失锁;然而, ADF41xx 系列的 PLL, 其数字锁定指示用 REFIN 时钟来检查是否锁定, 如果 PLL 先前已经锁定, REFIN 时钟突然丢失, PLL 会继续显示锁定状态。解决方法是使用模拟锁定指示。

当 VCXO 代替 VCO 时, PLL 常常失锁的原因。

以 ADF4001 为例说明。VCXO 的输入阻抗通常较小(相对于 VCO 而言), 大约为 100kohm。这样 VCXO 需要的电流必须由 PLL 来提供。PFD=2MHz, Icp=1.25mA, Vtune=4V, VCXO 输入阻抗=100kohm, VCXO 控制口电流=4/100k=40uA。在 PFD 输入端, 用于抵消 VCXO 的输入电流而需要的静态相位误差

$$= \frac{\text{VCXO\_current}}{I_{cp}} \times T_{\text{PFD}} = \frac{40\mu\text{A}}{1.25\text{mA}} \times 500\text{ns} = 16\text{ns}$$

16ns > 15ns, 所以, 数字锁定指示为低电平。

解决方法 1, 使用模拟锁定指示。

解决方法 2, 使用更高的电荷泵电流来减小静态相位误差。增大环路滤波器电容, 使放电变缓。

### 3.1.9 PLL 对射频输入信号有什么要求？

频率指标：可以工作在低于最小的射频输入信号频率上，条件是 RF 信号的 Slew Rate 满足要求。例如，

ADF4106 数据手册规定最小射频输入信号 500MHz，功率为-10dBm，这相应于峰峰值为 200mV，slew rate=314V/us。如果您的输入信号频率低于 500MHz，但功率满足要求，并且 slew rate 大于 314V/us，那么 ADF4106 同样能够正常工作。通常 LVDS 驱动器的转换速率可以很容易达到 1000V/us。

$$\text{Slew Rate} = \left. \frac{dv}{dt} \right|_{\max} = 2 * \pi * f * V_p = 314 \text{V/us}$$

### 3.1.10 PLL 芯片对电源的要求有哪些？

要求 PLL 电源和电荷泵电源具有良好的退耦，相比之下，电荷泵的电源具有更加严格的要求。具体实现如下：

在电源引脚出依次放置 0.1uF，0.01uF，100pF 的电容。最大限度滤除电源线上的干扰。大电容的等效串联电阻往往较大，而且对高频噪声的滤波效果较差，高频噪声的抑制需要用小容值的电容。下图可以看到，随着频率的升高，经过一定的转折频率后，电容开始呈现电感的特性。不同的电容值，其转折频率往往不同，电容越大，转折频率越低，其滤除高频信号的能力越差。

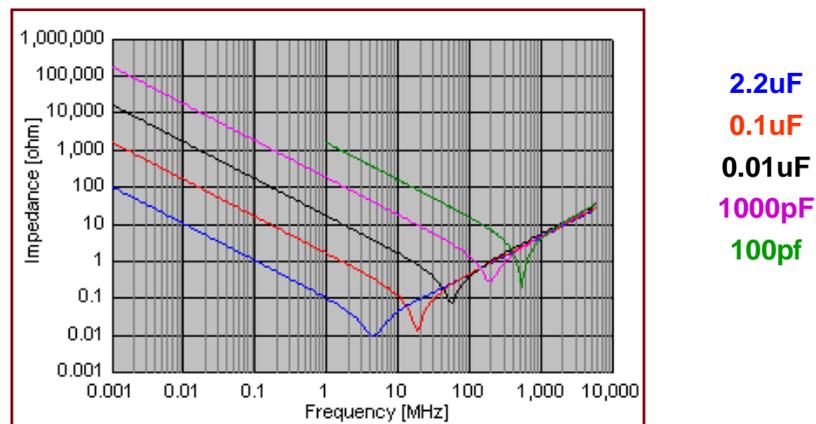


图 13

另外在电源线上串联一个小电阻（18ohm）也是隔离噪声的一种常用方法。

### 3.1.11 内部集成了 VCO 的 ADF4360-x，其 VCO 中心频率如何设定？

VCO 的中心频率由下列三个因素决定。1. VCO 的电容  $C_{VCO}$ ，2. 由芯片内部 Bond Wires 引入的电感  $L_{BW}$ ，3. 外置电感  $L_{EXT}$ 。即

$$f_o = \frac{1}{2\pi\sqrt{C_{VCO} \times (L_{INT} + L_{EXT})}}$$

其中前 2 项由器件决定，这样只要给定一个外置电感，就可以得到 VCO 的输出中心频率。VCO 的控制灵敏度在相应的数据手册上给出。作为一个例子，图 14 和图 15 给出了 ADF4360-7 的集成 VCO 特性。

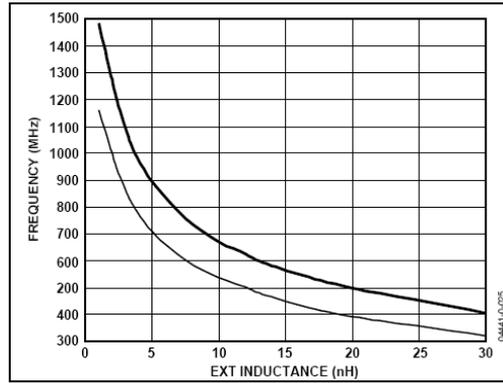


图 14. ADF4360-7 VCO 输出中心频率与外置电感的关系.

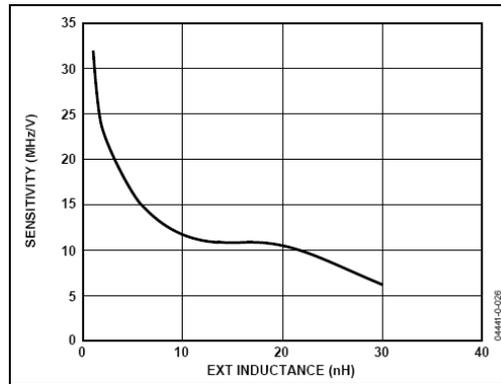


图 15. ADF4360-7 VCO 的灵敏度与外置电感的关系

电感的选取，最好选用高 Q 值的。Coilcraft 公司是不错的选择。市面上常见的电感基本在 1nH 以上。更小的电感可以用 PCB 导线制作。这里给出一个计算 PCB 引线电感的简单公式，如图 16 所示。

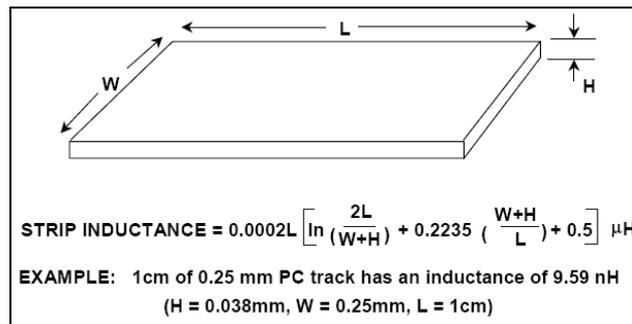


图 16 导线电感的模型

### 3.2 PLL 芯片性能相关问题

#### 3.2.1 锁相环输出的谐波

一般地，锁相环的输出都会包含基波的谐波分量。下图为 ADF4360-7 输出 400MHz 时的 2nd, 3rd 和 4th 谐波分量，在芯片资料中一般都会给出这些指标。因为与基波离得比较远，所以用一个低通滤波器就可以很好地滤除掉。

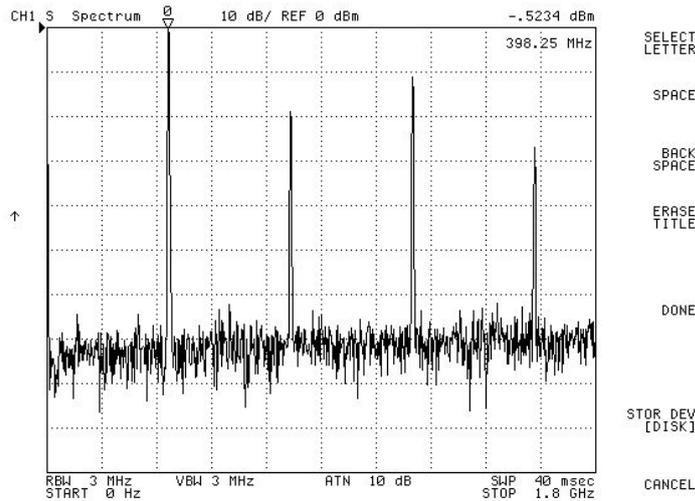


图 17

#### 3.2.2 锁相环系统的相位噪声来源有哪些？减小相位噪声的措施有哪些？

参考晶振（TCXO, VCXO）和 R 分频，PLL 电荷泵，压控振荡器（VCO），N 分频。锁相环系统的相位噪声来源于四个部分，参考输入，反馈分频 1/N，电荷泵，VCO。这四部分贡献项可以用公式来表示。

$$S_{TOT} = (S_{REF}^2 + S_N^2) \cdot \left( \frac{G}{1+GH} \right)^2 + S_{CP}^2 \cdot \left( \frac{1}{K_d} \right)^2 \cdot \left( \frac{G}{1+GH} \right)^2 + S_{VCO}^2 \cdot \left( \frac{1}{1+GH} \right)^2$$

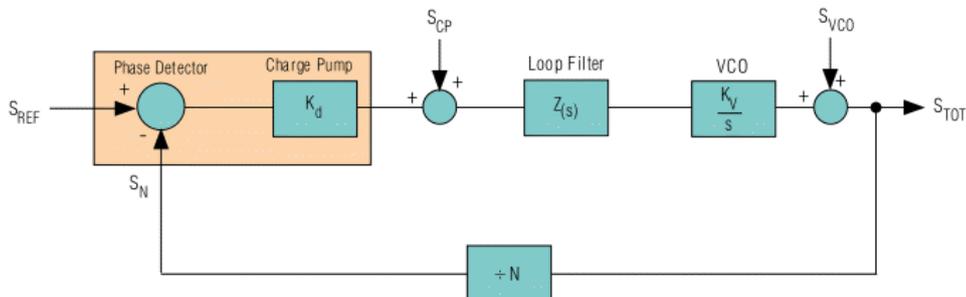


图 18 锁相环相位噪声贡献项模型

对  $S_{REF}^2 + S_N^2$  来说，系统闭环增益  $\frac{G}{1+GH}$  为低通特性，所以在环路带宽内，参考输入的相位噪声和 N 分频的噪声占很大比例（所以相同的输出频率，通过改变鉴相频率的方法并不会改善带内的相噪，因为参考源并未变化）。同样对  $S_{CP}^2$  来说，它对系统的相位噪声的影响也取决于系统的闭环增益  $\frac{G}{1+GH}$ ，与前面第一项的不同之处是，它还受限于电荷泵的增益  $K_d$ ，所以在环路的带宽内，电荷泵的相位噪声也很重要。对  $S_{VCO}^2$  项来说，它对系统的相位噪声的影响取决于  $\frac{1}{1+GH}$ ，而  $\frac{1}{1+GH}$  的幅频特性为高通，所以在环路带宽内 VCO

的贡献项可以忽略不计。如下图所示。绿色线为参考源的相位噪声，绿色虚线代表经过低通后的相位噪声。红色实线为 VCO 的相位噪声，虚线是经过高通滤波器后的相位噪声。粉红色实线是 PLL（鉴相器和电荷泵）的相位噪声，粉色虚线是经过低通滤波器的相位噪声。黑色实线为合成的相位噪声输出。

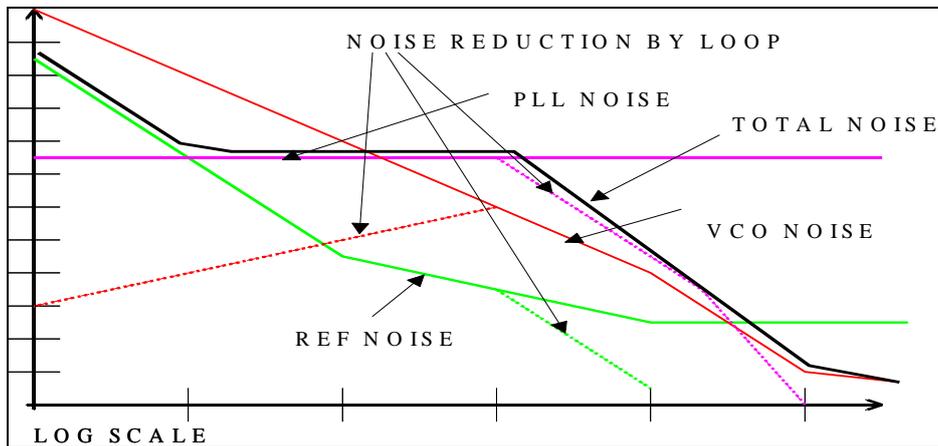


图 19

减小相位噪声的措施：

- (1) 增大鉴相频率（N 变小）
- (2) 缩小环路带宽（限制噪声）
- (3) 增大电荷泵电流（ $K_d$ ）
- (4) 参考晶振选用更低噪声的产品。

如果在频谱分析仪上测出的单边带相位噪声曲线的转折频率大于设计的环路带宽，说明系统的噪声太大，应该检查参考晶振，电荷泵的电流，PLL Core Power Level。

### 3.2.3 为何我测出的相位噪声性能低于 ADISimPLL 仿真预期值？

目前的 PLL 集成芯片所能达到的相位噪声基底大概为 -216dBc/Hz。新推出的 PLL 该性能可能会更低。他们能够综合出低相噪的频率。然而要真正实现低相噪的频率，需要考虑很多的因素。ADISimPLL 提供了预计相位噪声的一种方法，但是，这种预测，是在下列条件下进行的：

PLL 芯片工作的电源纹波足够低-----不会恶化噪声基底。

PLL 芯片的 RF 反馈输入 (VCO 的输出) 具有合适的驱动能力, -----不容许计数器错误计数。

PLL 芯片的 REF 参考输入具有合适的驱动能力, -----不容许参考计数器错误计数。

PLL 环路滤波器的电阻不会增加任何额外的噪声, -----不高于热 (Johnson) 噪声。

VCO 的工作电压纹波足够小, -----不会恶化由于频率牵引引起的相位噪声。

环路滤波器屏蔽足够好, -----VCO 的控制线上不会串入其他干扰信号。

环路滤波器布局布线良好, -----防止出现来源于数字电路的窄脉冲出现在滤波器输入端并直接耦合到输出端。

实际的情况往往是:

PLL 或者 VCO 的电源直接来源于三端稳压器件。如果对指标要求不是很严格, 这样的条件下也许能够正常工作, 但是噪声太大的电源难以使低噪声的 PLL 达到低噪声的要求。

PLL 附近存在数字电路, 这是宽带噪声源, 尤其是 PLL 与数字电路共用电源的情况下。电源退耦不够。

电路设计匹配不好, 尤其是射频输入口。

电路板布局布线问题。锁相环系统的杂散来源有哪些? 减小杂散的措施有哪些?

来源

(1) PLL 本身引入的杂散。

以鉴相频率为间隔的杂散, 这时锁相环中最常见的杂散信号。来源于电荷泵的漏电流, 电荷泵源电流和汇电流及其失配。

小数分频锁相环的固有杂散。

(2) 外界串扰引入的杂散

这些串扰包括工频干扰, 计算机显示器行频, 场频干扰, 手机, 附近功率放大器。参考晶体 (晶振) 串扰。

措施,

(1) 良好的电源退耦

(2) 良好的布局布线

(3) 环路滤波器的阶数更高, 带宽更窄。

(4) 提高鉴相频率, 使得参考杂散落在环路带宽以外。

(5) 本振源板加屏蔽壳以屏蔽外界串扰

### 3.2.4 锁相环锁定时间取决于哪些因素? 如何加速锁定?

定性分析: 设初始频率  $f_1$ , 终止频率  $f_2$ , 频率跳变量  $f_{jump} = |f_1 - f_2|$ , 频率锁定误差容限

$f_{tol}$ , 环路带宽  $BW$ 。锁定时间  $LT$ 。

环路带宽直接决定了锁定时间。环路带宽越大, 锁定时间越短, 反之, 锁定时间越长。

频率跳变的大小决定锁定时间。频率跳变越大, 锁定时间越长, 反之, 越短。但是应该指出, 如果频率跳变量和频率误差按等比例变化, 那么锁定时间相等。

最佳锁定时间  $LT$  需要 45~48 度的相位裕度。所定时间的经验公式:

$$LT \approx \frac{400}{BW} \cdot \left( 1 - \log_{10} \left( \frac{f_{tol}}{f_{jump}} \right) \right) \quad (s)$$

加速环路锁定的方法：

- (1) 增大环路带宽。环路带宽与锁定时间是一对矛盾。设计工程师需要对其作出折衷选择。增大环路带宽，同时意味着降低了对杂散信号的衰减，增大了相位噪声。如果增大环路带宽到大于鉴相频率的五分之一，环路可能变得不稳定，并导致彻底失锁。
- (2) 增大鉴相频率。鉴相频率决定了反馈分频和参考频率的比较速度，从而加快了电荷泵对环路滤波器的充放电，到达预定的控制电压，有效减小锁定时间。需要注意的是，鉴相频率的增大，往往意味着需要增加环路带宽。
- (3) 采用两个锁相环，乒乓式工作。两个频率之间采用高速开关进行切换。
- (4) 采用具有快速锁定能力的锁相环产品：ADF4193，其锁定时间可以满足 GSM 基站的要求（20us）。
- (5) 另外，环路滤波器的电容（尤其是 C2 的影响），请选用低介电吸收（Dielectric Absorption）(DA) 的电容，如介质为聚丙烯材料的电容，其 DA 典型值为 0.001%~0.02%。
- (6) 避免控制电压工作在地和电荷泵电压  $V_p$  附近。相应于输出频率的控制电压最好在  $V_p/2$  附近。

### 3.2.5 为何我的锁相环在做高低温试验的时候，出现频率失锁？

高低温试验失败，可以从器件的选择上考虑，锁相环是一个闭环系统，任何一个环节上的器件高低温失效都有可能锁相环失锁。先从 PLL 频率合成器的外围电路逐个找出原因，如参考源（TCXO，）是否在高低温试验的范围之内？ADFxxxx 系列产品的温度范围为 -40~+85 度。

### 3.2.6 非跳频（单频）应用中，最高的鉴相频率有什么限制？

如果是单频应用，工程师都希望工作在很高的鉴相频率上，以获得最佳的相位噪声。数据手册都提供了最高鉴相频率的值，另外，只要寄存器中  $B > A$ ，并且  $B > 2$ ，就可能是环路锁定。

通常最高频率的限制是：

$$F_{PFD} = \frac{VcoOutputFrequency}{P^2 - P}$$

这里  $P$  为预分频计数器的数值。ADF4xxx 产品的预分频值最小可以到 8/9，容许他们工作在较高的鉴相频率上。

### 3.2.7 频繁地开关锁相环芯片的电源会对锁相环有何影响？

不建议频繁地开关锁相环的电源，这可能会使芯片暂时进入一种不稳定的电源状态（下电时电容泻放电荷不充分，上电时电容充电不充分），从而导致锁相环不能锁定。如果产品要求如此，则可使用芯片资料中提到的“CE pin method”来对芯片进行上电和下电。

### 3.3 PLL 的调试步骤

A 您能控制 PLL 芯片了么？，R 分频和 N 分频配置好了么？

检查方法，Power Down 观测电流变化，MUXOUT 引脚观测内部信号，如 VDD，GND，R 分频输出，N 分频输出，等等。

时序要正确。控制电平要兼容。这一步是基础。SPI 口可以用 MCU，DSP，或者 FPGA 提供。

B 您的晶振输出功率有多大？VCO 的输出功率有多大？

功率要满足输入灵敏度的要求。参考计数器和反馈计数器不会错误工作。

C 您的 PFD 鉴相极性是正还是负？

具体设置详见鉴相器极性设置。（在 ADF4113HV 中关于鉴相器极性的描述有误，鉴相器极性位应该是 1 表示正，0 表示负）

D 您的 VCO 输出频率是在哪一点？最低频率？最高频率？还是中间的某一点？VCO 的控制电压有多大？

确保 VCO 的控制电压在预期的范围之内。

E 您的 PLL 环路带宽和相位裕度有多大？

为了使锁相环易于锁定，开始可以设计一个环路带宽等于鉴相频率 1/10 的低通滤波器，环路锁定后，可以进一步调节到更窄的环路上。45 度的相位裕度，可以确保环路是稳定的。

### 3.4 为您的设计选择合适的 PLL 芯片

#### 3.4.1 评价 PLL 频率合成器噪声性能的依据是什么？

PLL 频率合成器的噪声基底 (Phase Noise Figure of Merit) ( $PN_{SYNTH}$ ) 是一个重要依据。该指标是将鉴相频率, 反馈分频系数归一化后的相位噪声指标。

PLL 频率合成器输出的相位噪声  $PN_{TOTAL}$  与鉴相频率  $F_{PFD}$  以及反馈分频系数  $N$  之间的关系是

$$PN_{TOTAL} = PN_{SYNTH} + 20\log N + 10\log F_{PFD}$$

改写该方程,

$$PN_{SYNTH} = PN_{TOTAL} - 20\log N - 10\log F_{PFD}$$

我们可以从噪声基底得出期望输出频率的带内相位噪声。

另外, 电荷泵三态输出时的漏电流是评价鉴相频率较低时杂散性能的一个指标。ADF4xxx 系列 PLL 产品的漏电流典型值为 1nA。

#### 3.4.2 小数分频的锁相环杂散的分布规律是什么？

小数分频的锁相环由于应用在工作的鉴相频率较高, 所以其参考杂散也会分布到偏离载波很远的位置上, 环路滤波器可以进行有效抑制。所以在实际使用中, 这种参考杂散可以不予考虑。但是由于反馈中引入了小数, 特定的小数部分也会引起相应的杂散。其分布规律如下。设小数部分的分母为  $DEN$  :

- (1) 一阶分数杂散。最大的杂散为分子为 1 或者  $DEN - 1$ , 其次, 第二大杂散为  $Floor(DEN/2)$  和  $DEN - Floor(DEN/2)$ , 再次, 第三杂散的分子为  $Floor(DEN/3)$  和  $DEN - Floor(DEN/3)$ ..., 注意, 如果  $DEN/M$  正好为整数, 那么分子为  $DEN/M$  和  $DEN - DEN/M$  处的杂散为 0。
- (2) 二阶分数杂散。最大杂散分布在分子为 2 和  $DEN - 2$  处。
- (3) 高 ( $k$ ) 阶分数杂散。最大杂散分布在分子为  $k$  和  $DEN - k$  处。

注: 这里  $Floor$  是去小数取整的意思。  $k$  阶杂散分布在偏离中心频率  $k \cdot \frac{f_{PFD}}{DEN}$  处。

#### 3.4.3 到底用小数分频好还是整数分频好？

从相噪性能上看, 小数分频锁相环可以工作在较高的鉴相频率, 分频系数  $N$  小, 在较小信道间隔的应用中, 与整数分频的锁相环相比, 可以获得较好的带内相位噪声。这时, 小数分频的锁相环是首选。但是如果是单频或者信道间隔很大 (>几百 kHz) 的应用, 小数分频的这种低相噪优势并不明显。整数分频的锁相环同样可以达到高鉴相频率, 低相噪的目的, 甚至会超过小数分频的锁相环。另外也需要考虑由于采用了杂散补偿电路, 所以该电路会增加

环内的相位噪声。

从杂散性能上看，在较小的信道间隔（<10kHz）上，小数分频锁相环远远好于整数分频锁相环，原因是，较小的鉴相频率条件下，由电荷泵漏电流引起的杂散较大。在较大的信道间隔（>1MHz）上，小数分频的锁相环的杂散性能也会比整数分频的锁相环好。在中等的信道间隔（10kHz, 1MHz）上，二者表现出差不多的杂散性能。一个通用的规则是，在 200kHz 的信道间隔以下，小数分频的杂散性能优于整数分频。小数分频的锁相环需要良好的频率规划，以避免大的杂散出现。所以使用起来，难度较大。整数分频的锁相环就没有这种限制，容易使用。

从锁定时间上来讲，小数分频锁相环通常比整数分频的锁相环快。

小数分频锁相环因为需要额外的杂散补偿，需要更大的功耗。

小数分频锁相环相比整数分频，价格较高。

#### 3.4.4 ADI 提供的锁相环仿真工具 ADISimPLL 支持哪些芯片，有什么优点？

ADISimPLL 目前的版本为 3.0。支持所有 ADFxxx 系列的锁相环产品，包括独立的 PLL 频率合成器和短程无线收发模块 ADF70xx 系列产品。还没有提供 DDS 和 PLL 混合产品（如 AD9956, AD9858）的模型。

优点：

ADISimPLL 大大简化了锁相环设计，这要输入给定条件下的参数（参考输入频率，鉴相频率，输出频率，VCO 控制灵敏度，环路带宽，相位裕度，锁定指示方式，环路滤波器的类型等），ADISimPLL 就可以方便的计算出环路滤波器的参数值。设计工程师只需要选择最接近的电阻电容就可以轻松完成设计。

ADISimPLL 可以给出输出的相位噪声曲线以及锁相环路各个组成部分的相位噪声曲线。只要所设置的模型接近实际的元器件参数，就能保证总的合成相位噪声与实际测试值相吻合。

ADISimPLL 提供计算 P, A, B, R 计数器的值，以方便寄存器的配置。

ADISimPLL 可以提供设计工程师所设计的低通环路滤波器的开环和闭环幅频，相频响应。确保设计的系统具有足够的相位裕度，使得系统稳定。

在 ADISIMPLL V3.0 中，菜单选项中的 Tools-Chip Programming 选项中，可以看到 R, A, B 的值，但需要注意的是该工具中给出的 R 的值是错误的，如下图，参考频率为 100MHz，鉴相频率为 1MHz，所以 R 应为 100，正好为图中 R 值的两倍。

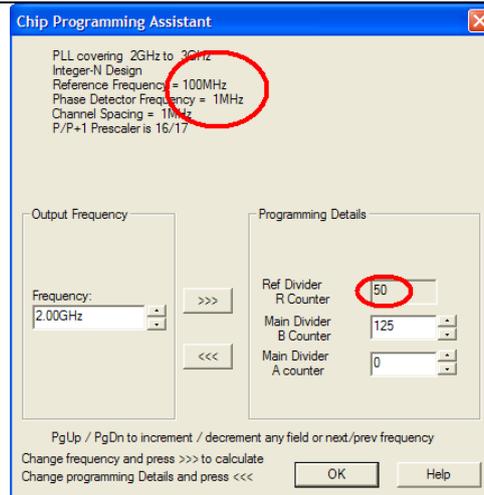


图 20

### 3.5 PLL 的几个特殊应用

#### 3.5.1 分频 – 获得高精度时钟参考源

在这种应用中，参考频率输入直接输入到反馈分频输入端，VCXO 输出的反馈到参考输入端。跟常规的锁相环应用，获得一个高频的信号不同，其目的是用来获得一个低频低噪声的时钟，其原理是利用了锁相环的窄带滤波作用。

#### 3.5.2 PLL，VCO 闭环调制，短程无线发射芯片

如 ADF7020/5 就是这种应用。最大的传输速率可以达到 250kbps。其传输速率受到环路带宽的限制。

#### 3.5.3 PLL，VCO 开环调制

开环 VCO 调制应用受环路带宽的影响较小，可以达到更高的数据速率。比如欧洲无绳电话系统 DECT(the European Cordless Telephone System)，其载波的频率范围 1.77GHz~1.90GHz，数据速率可以达到 1.152Mbps。其方框图如下。

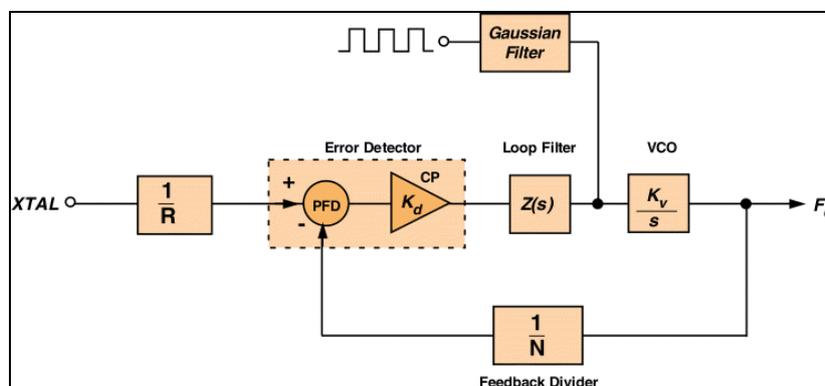


图 21

开始，环路闭合，频率锁定到 $f_{OUT} = N \cdot f_{REF}$ ；环路打开，电荷泵高阻，开启调制的数据，通过高斯滤波器后形成对VCO的控制电压。输出的频率为 $v \cdot Kv$ ；最后，突发数据完成后，环路重新回到闭环的状态下。

### 3.5.4 解调

### 3.5.5 时钟净化----时钟抖动 (jitter) 更小

利用锁相环的窄带滤波作用，可以滤除嘈杂时钟上的带外噪声，从而使得时钟抖动更小。ADI 提供基于锁相环的时钟分配产品。AD9510/1/2。

### 3.5.6 时钟恢复 (Clock Recovery)

在有线通信中，常常传送数据的同时，也传送一个时钟。这样就需要一个额外的时钟线。我们可以从传送的数据中用锁相环来恢复时钟，这样就降低了成本。（基础：在传送的数据中有足够多的高低跳变以便使 PLL 锁定到时钟频率上。）ADI 的时钟恢复产品有：ADN2804/7，ADN2811/2/3/4/5/6/7/9，ADN2865。

## 4 参考资料

- [1] Ask the Applications Engineer-30, Analog Dialog 36-03 (2002)
- [2] Phase-locked Loops for High Frequency Receivers and Transmitters, Analog Dialog 33-3 (1999)
- [3] ADISimPLL. <http://www.analog.com>
- [4] Banerjee, Dean “PLL Performance, Simulation and Design” 1998 www.national.com

