

二、漏极开路输出门电路(OD门)

在 CMOS 电路中,为了满足输出电平变换、吸收大负载电流以及实现线与连接等需要,有时将输出级电路结构改为一个漏极开路输出的 MOS 管,构成漏极开路输出(Open - Drain Output)门电路,简称 OD 门。

图 3.3.31(a)是 OD 输出与非门 74HC03 的电路结构示意图。它的输出电路是一个漏极开路的 N 沟道增强型 MOS 管 T_N 。图(b)是它的逻辑符号,用门电路符号内的菱形记号表示 OD 输出结构。菱形下方的横线表示输出低电平时为低输出电阻。

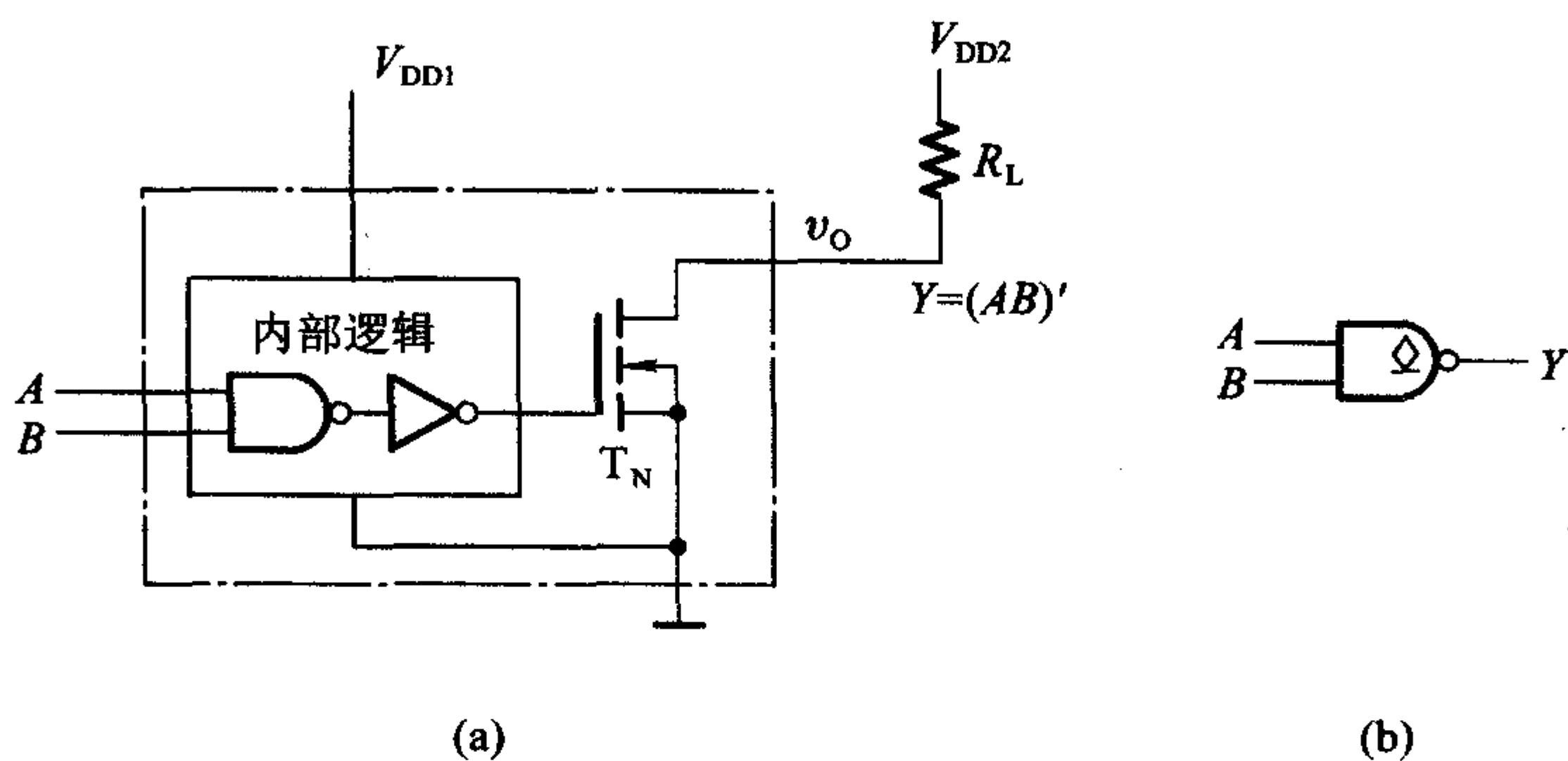


图 3.3.31 OD 输出的与非门
(a) 电路结构 (b) 逻辑符号

OD 门工作时必须将输出端经上拉电阻 R_L 接到电源上,如图 3.3.31(a) 中所示。设 T_N 的截止内阻和导通内阻分别为 R_{OFF} 和 R_{ON} ,则只要满足 $R_{OFF} \gg R_L \gg R_{ON}$,就一定能使得 T_N 截止时 $v_O = V_{OH} \approx V_{DD2}$, T_N 导通时 $v_O = V_{OL} \approx 0$ 。因为 V_{DD2} 可以选为不同于 V_{DD1} 的数值,所以就很容易地将输入的高、低电平 $V_{DD1}/0$ V 变换为输出的高、低电平 $V_{DD2}/0$ V 了。OD 门的另一个重要应用是可以将几个 OD 门的输出端直接相连,实现线与逻辑。图 3.3.32 是用两个 OD 输出与非门 G_1 和 G_2 接成线与逻辑的例子。由图 3.3.32(a) 可见,当 Y_1 或 Y_2 任何一个为低电平时, Y 都为低电平;只有 Y_1 、 Y_2 同时为高电平时, Y 才为高电平,所以 Y_1 、 Y_2 和 Y 之间是与逻辑关系,即

$$Y = Y_1 \cdot Y_2 \\ = (AB)'(CD)' = (AB + CD)'$$

这样就将两个 OD 输出与非门接成了一个与或非电路。线与的逻辑符号是画在线与连接点处的与门轮廓,如图 3.3.32(b) 所示。

下面我们来讨论一下外接电阻阻值的计算方法。由图 3.3.33 中可以看到,

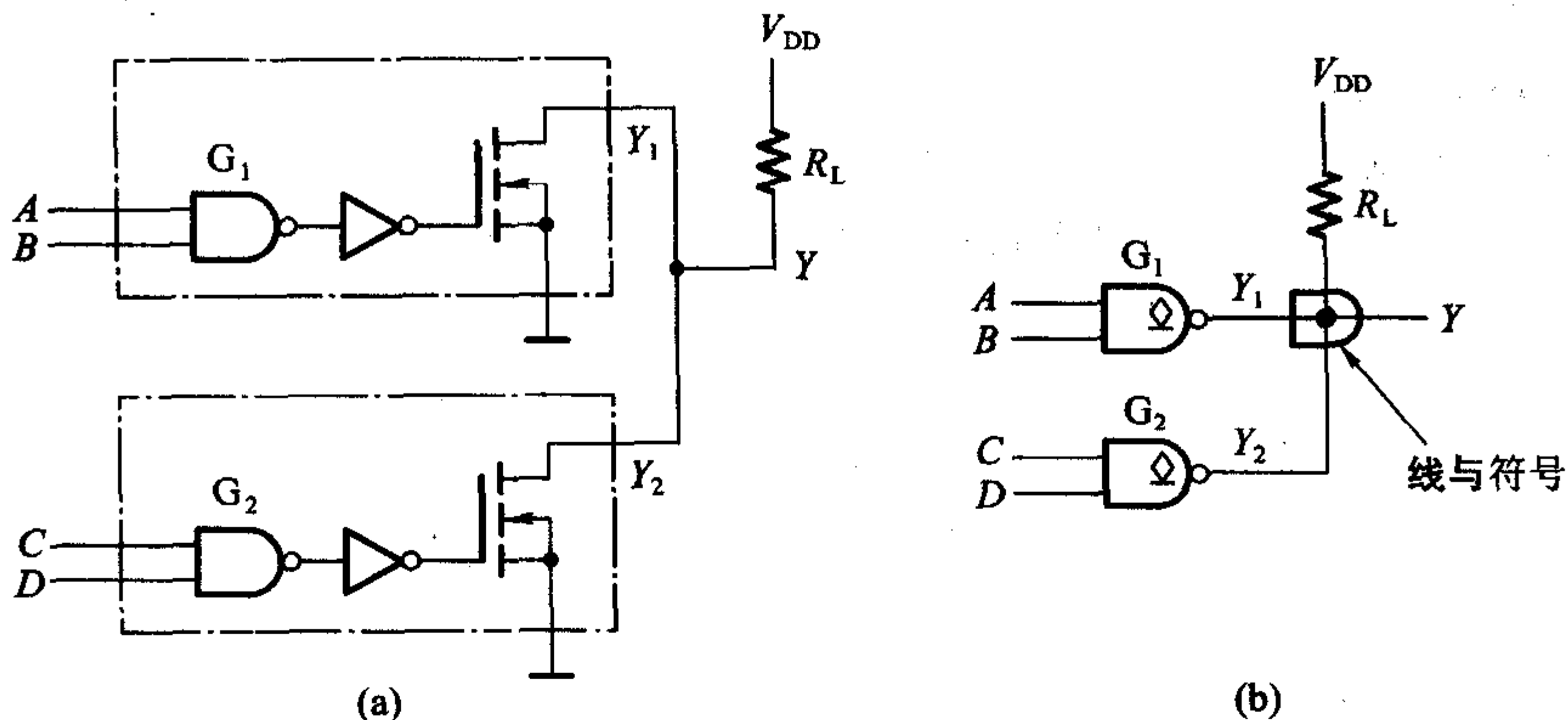


图 3.3.32 OD 输出门的线与接法

(a) 线与连接方法 (b) 线与逻辑符号

在线与输出端接有其他门电路作为负载的情况下,当所有的 OD 门同时截止、输出为高电平时,由于 OD 门输出端 MOS 管截止时的漏电流和负载门的高电平输入电流同时流过 R_L ,并在 R_L 上产生压降,所以为保证输出高电平不低于规定的数值, R_L 不能取得过大。由此可计算出 R_L 的最大允许值 $R_{L(max)}$ 。若每个 OD 门输出管截止时的漏电流为 I_{OH} ,负载门每个输入端的高电平输入电流为 I_{IH} ,要求输出高电平不低于 V_{OH} ,则可得到

$$V_{DD} - (nI_{OH} + mI_{IH})R_L \geq V_{OH}$$

$$R_L \leq (V_{DD} - V_{OH}) / (nI_{OH} + mI_{IH}) = R_{L(max)} \quad (3.3.8)$$

式中的 n 是并联 OD 门的数目, m 是负载门电路高电平输入电流的数目。

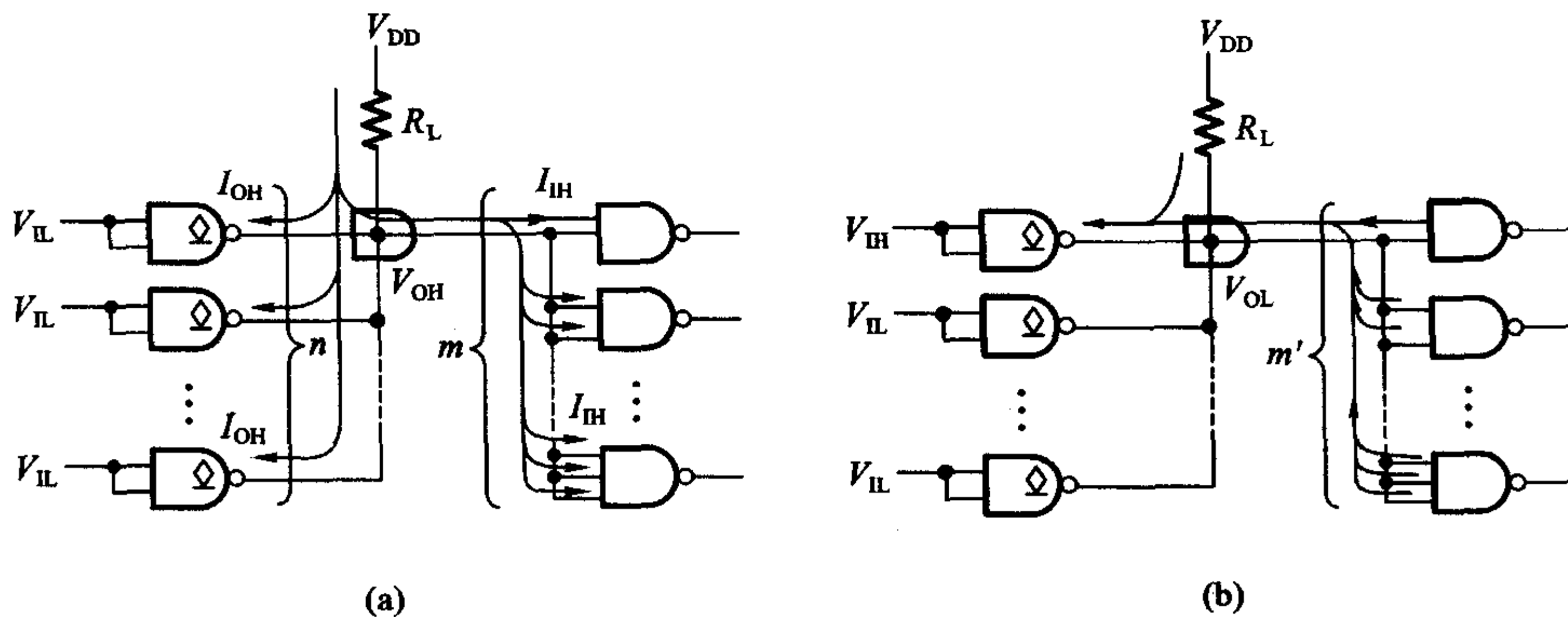


图 3.3.33 OD 门外接上拉电阻的计算

(a) R_L 最大值的计算 (b) R_L 最小值的计算

当输出为低电平,而且并联的 OD 门当中只有一个门的输出 MOS 管导通时,负载电流将全部流入这个导通管。为了保证负载电流不超过输出 MOS 管允许的最大电流, R_L 的阻值不能太小。据此又可以计算出 R_L 的最小允许值 $R_{L(\min)}$ 。若 OD 门允许的最大负载电流为 $I_{OL(\max)}$,负载门每个输入端的低电平输入电流为 I_{IL} ,此时的输出低电平为 V_{OL} ,则应满足

$$(V_{DD} - V_{OL})/R_L + m' |I_{IL}| \leq I_{OL(\max)}$$

$$R_L \geq (V_{DD} - V_{OL}) / (I_{OL(\max)} - m' |I_{IL}|) = R_{L(\min)} \quad (3.3.9)$$

这里的 m' 是负载门电路低电平输入电流的数目。在负载为 CMOS 门电路的情况下, m 和 m' 相等。

为了保证线与连接后电路能够正常工作,应取

$$R_{L(\max)} \geq R_L \geq R_{L(\min)}$$

【例 3.3.2】在图 3.3.34 所示的电路中,已知 G_1 、 G_2 、 G_3 为 OD 输出的与非门 74HC03,输出高电平时的漏电流最大值为 $I_{OH(\max)} = 5 \mu\text{A}$,输出低电平为 $V_{OL(\max)} = 0.33 \text{ V}$ 时允许的最大负载电流为 $I_{OL(\max)} = 5.2 \text{ mA}$ 。负载门 $G_4 \sim G_6$ 为 74HC00,它的高电平输入电流最大值 $I_{IH(\max)}$ 和低电平输入电流最大值 $I_{IL(\max)}$ 均为 $1 \mu\text{A}$ 。若 $V_{DD} = 5 \text{ V}$,要求 $V_{OH} \geq 4.4 \text{ V}$ 、 $V_{OL} \leq 0.33 \text{ V}$,试求 R_L 取值的允许范围。

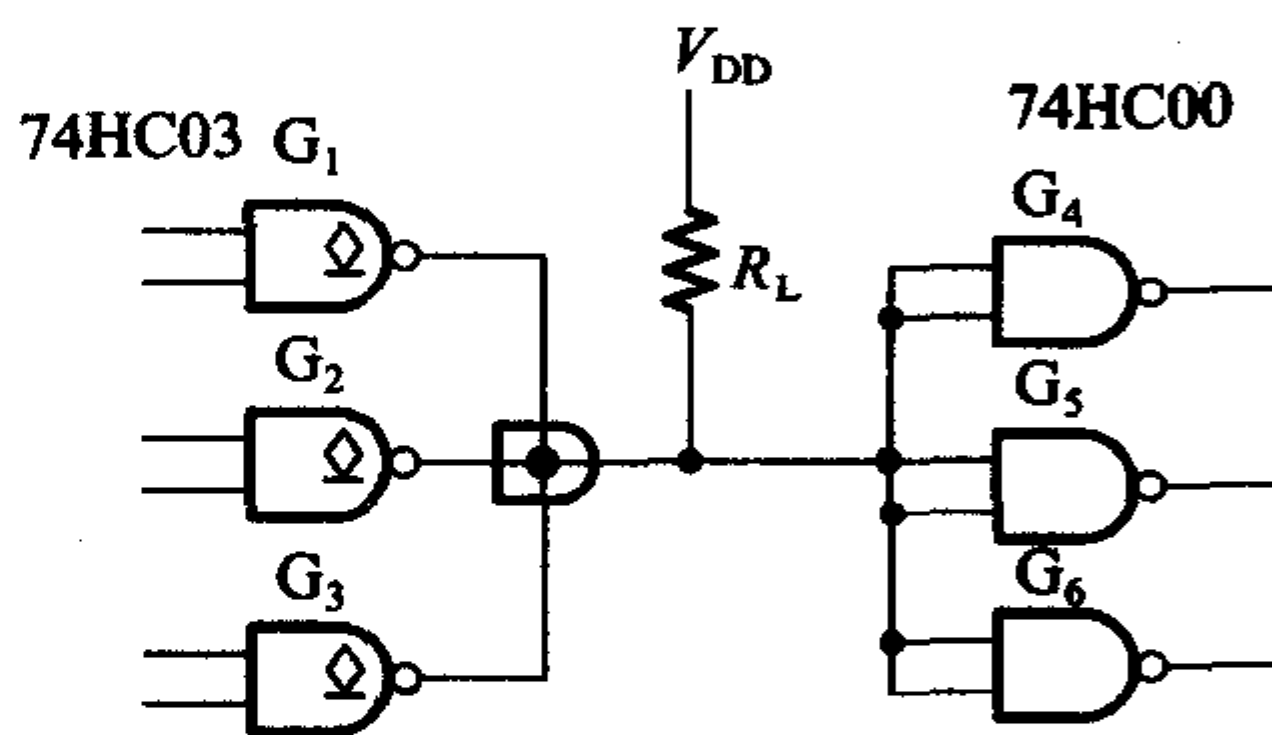


图 3.3.34 例 3.3.2 的电路

解: 由式(3.3.8)可知

$$R_{L(\max)} = (V_{DD} - V_{OH}) / (nI_{OH(\max)} + mI_{IH(\max)})$$

$$= (5 - 4.4) / (3 \times 5 \times 10^{-6} + 6 \times 10^{-6}) \Omega$$

$$= 28.6 \text{ k}\Omega$$

又由式(3.3.9)得到

$$R_{L(\min)} = (V_{DD} - V_{OL}) / (I_{OL(\max)} - m' |I_{IL(\max)}|)$$

$$= (5 - 0.33) / (5.2 \times 10^{-3} - 6 \times 10^{-6}) \Omega$$

$$= 0.90 \text{ k}\Omega$$

故 R_L 允许的取值范围为

$$28.6 \text{ k}\Omega > R_L > 0.90 \text{ k}\Omega$$

三、CMOS 传输门

利用 P 沟道 MOS 管和 N 沟道 MOS 管的互补性可以接成如图 3.3.35 所示的 CMOS 传输门。CMOS 传输门如同 CMOS 反相器一样,也是构成各种逻辑电

路的一种基本单元电路。

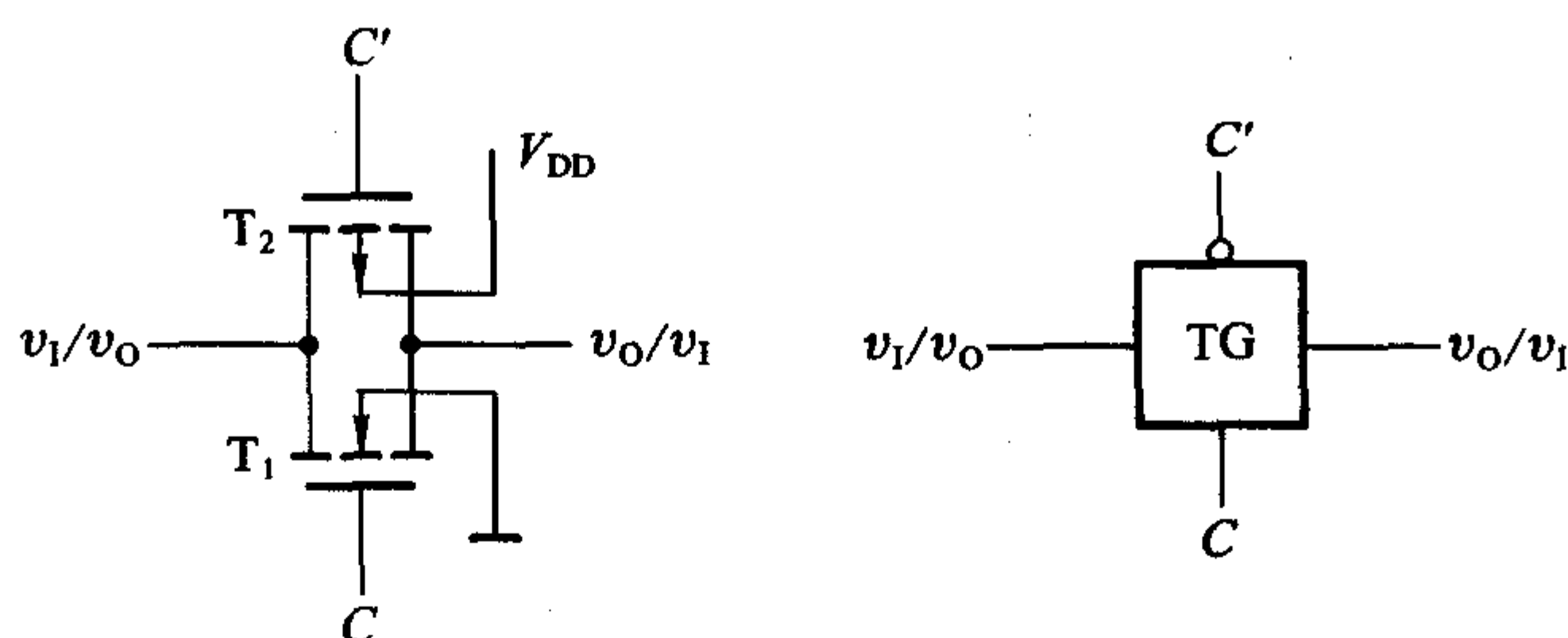


图 3.3.35 CMOS 传输门的电路结构和逻辑符号

图 3.3.35 中的 T_1 是 N 沟道增强型 MOS 管, T_2 是 P 沟道增强型 MOS 管。因为 T_1 和 T_2 的源极和漏极在结构上是完全对称的, 所以栅极的引出端画在栅极的中间。 T_1 和 T_2 的源极和漏极分别相连作为传输门的输入端和输出端。 C 和 C' 是一对互补的控制信号。

如果传输门的一端接输入正电压 v_1 , 另一端接负载电阻 R_L , 则 T_1 和 T_2 的工作状态将如图 3.3.36 所示。

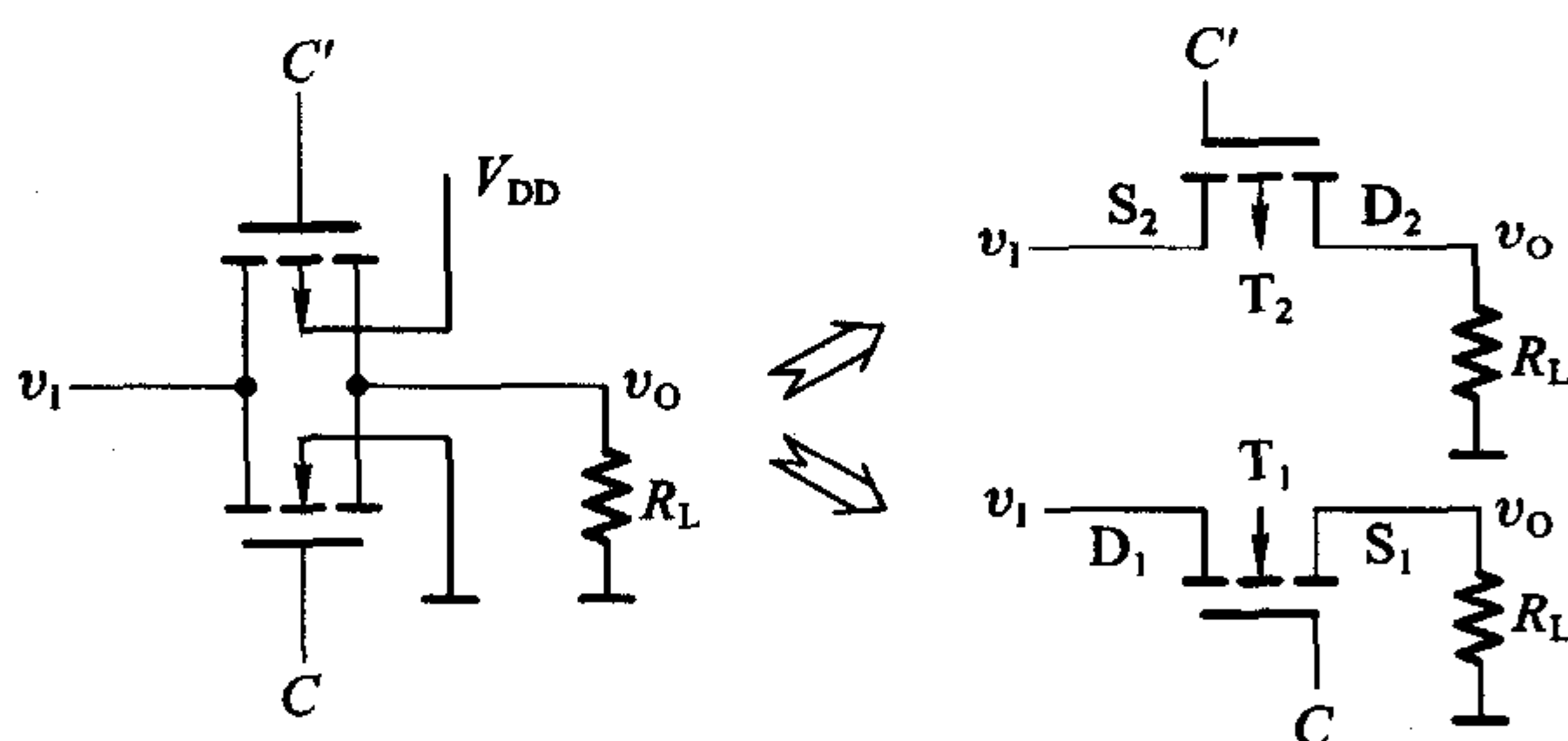


图 3.3.36 CMOS 传输门中两个 MOS 管的工作状态

设控制信号 C 和 C' 的高、低电平分别为 V_{DD} 和 $0V$, 那么当 $C=0$ 、 $C'=1$ 时, 只要输入信号的变化范围不超出 $0 \sim V_{DD}$, 则 T_1 和 T_2 同时截止, 输入与输出之间呈高阻态 ($> 10^9 \Omega$), 传输门截止。

反之, 若 $C=1$ 、 $C'=0$, 而且在 R_L 远大于 T_1 、 T_2 的导通电阻的情况下, 则当 $0 < v_1 < V_{DD} - V_{GS(th)N}$ 时 T_1 将导通。而当 $|V_{GS(th)P}| < v_1 < V_{DD}$ 时 T_2 导通。因此, v_1 在 $0 \sim V_{DD}$ 之间变化时, T_1 和 T_2 至少有一个是导通的, 使 v_1 与 v_0 两端之间呈低阻态 (小于 $1 \text{ k}\Omega$), 传输门导通。

由于 T_1 、 T_2 管的结构形式是对称的, 即漏极和源极可互易使用, 因而 CMOS 传输门属于双向器件, 它的输入端和输出端也可以互易使用。

利用 CMOS 传输门和 CMOS 反相器可以组合成各种复杂的逻辑电路,如异或门、数据选择器、寄存器、计数器等。

图 3.3.37 就是用反相器和传输门构成异或门的一个实例。由图可知

当 $A = 1, B = 0$ 时, TG_1 截止而 TG_2 导通, $Y = B' = 1$;

当 $A = 0, B = 1$ 时, TG_1 导通而 TG_2 截止, $Y = B = 1$;

当 $A = B = 0$ 时, TG_1 导通而 TG_2 截止, $Y = B = 0$;

当 $A = B = 1$ 时, TG_1 截止而 TG_2 导通, $Y = B' = 0$ 。

因此, Y 与 A, B 之间是异或逻辑关系, 即 $Y = A \oplus B$ 。

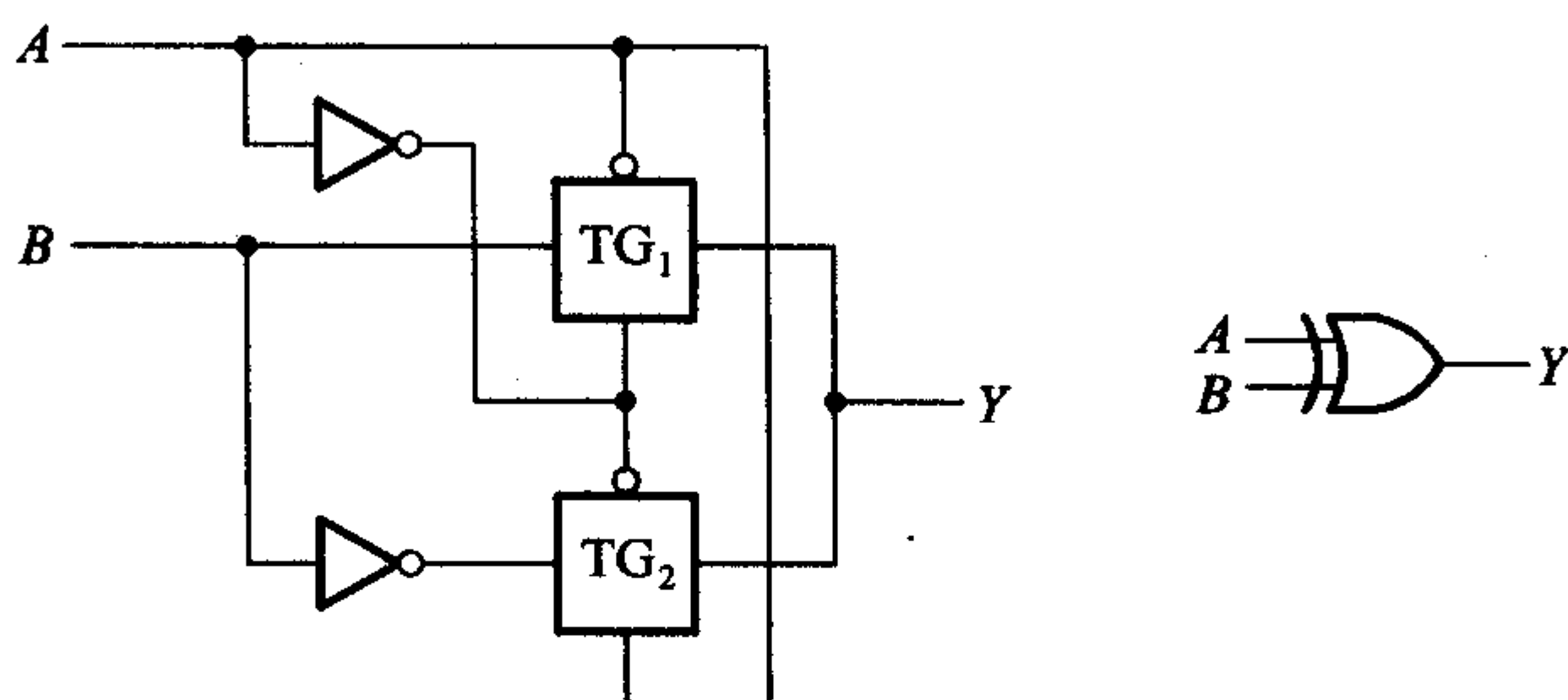


图 3.3.37 用反相器和传输门构成的异或门电路

传输门的另一个重要用途是作模拟开关,用来传输连续变化的模拟电压信号。这一点是无法用一般的逻辑门实现的。模拟开关的基本电路是由 CMOS 传输门和一个 CMOS 反相器组成的,如图 3.3.38 所示。和 CMOS 传输门一样,它也是双向器件。

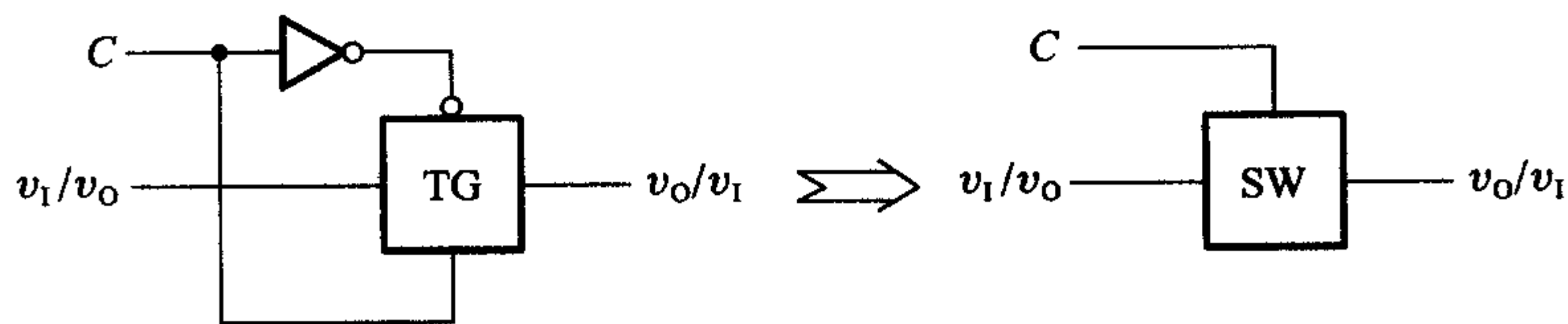


图 3.3.38 CMOS 双向模拟开关的电路结构和符号

假定接在输出端的电阻为 R_L (如图 3.3.39 所示), 双向模拟开关的导通内阻为 R_{TG} 。当 $C = 0$ (低电平) 时开关截止, 输出与输入之间的联系被切断, $v_0 = 0$ 。

当 $C = 1$ (高电平) 时, 开关接通, 输出电压为

$$v_0 = \frac{R_L}{R_L + R_{TG}} v_1 \quad (3.3.10)$$

我们将 v_0 与 v_1 的比值定义为电压传输系数 K_{TG} , 即

$$K_{TC} = \frac{v_o}{v_i} = \frac{R_L}{R_L + R_{TC}} \quad (3.3.11)$$

为了得到尽量大而且稳定的电压传输系数,应使 $R_L \gg R_{TC}$,而且希望 R_{TC} 不受输入电压变化的影响。然而式(3.3.1)表明,MOS管的导通内阻 R_{ON} 是栅源电压 v_{GS} 的函数。从图 3.3.36 可见, T_1 和 T_2 的 v_{GS} 都是随 v_i 的变化而改变的,因而在不同 v_i 值下 T_1 的导通内阻 R_{ON1} 、 T_2 的导通内阻 R_{ON2} 以及它们并联而成的 R_{TC} 皆非常数。

为了进一步减小 R_{TC} 的变化,又对图 3.3.36 所示的电路做了改进。采用改进电路的 74HC4066 双向模拟开关集成电路在 $V_{DD} = 6\text{ V}$ 下的 R_{TC} 值只有 $30\ \Omega$,而且在 v_i 变化时 R_{TC} 基本不变。目前某些精密 CMOS 模拟开关的导通电阻已经降低到了 $20\ \Omega$ 以下。

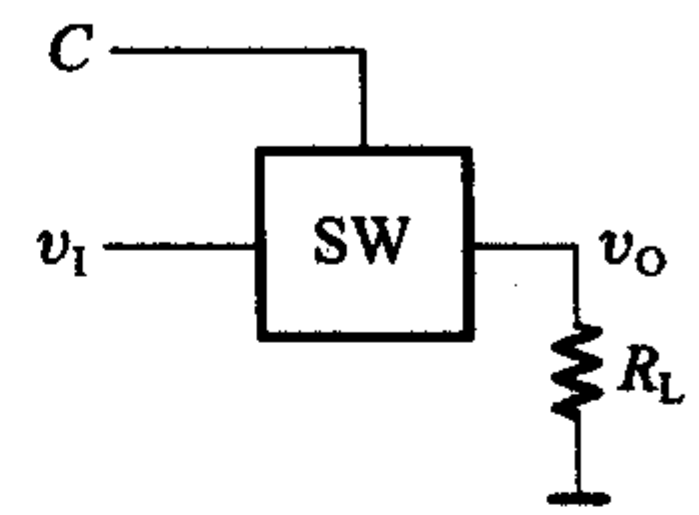


图 3.3.39 CMOS 模拟开关接负载电阻的情况

四、三态输出的 CMOS 门电路

三态输出门电路的输出除了有高、低电平这两个状态以外,还有第三个状态——高阻态。图 3.3.40(a)是三态输出反相器的电路结构图。因为这种电路结构总是接在集成电路的输出端,所以也将这种电路称为输出缓冲器(Output Buffer)。

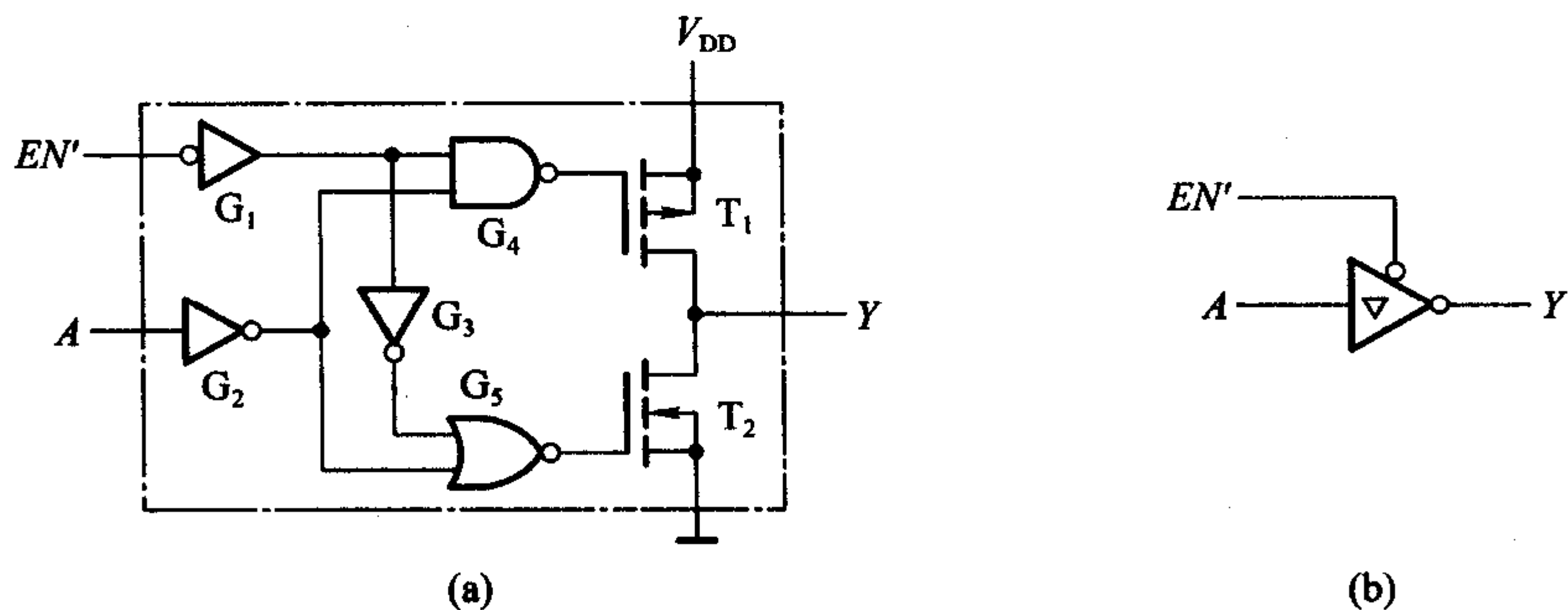


图 3.3.40 三态输出的 CMOS 反相器

(a) 电路结构 (b) 逻辑符号

从这个电路图中可以看到,为了实现三态控制,除了原有的输入端 A 以外,又增加了一个三态控制端 EN' 。当 $EN' = 0$ 时,若 $A = 1$,则 G_4 、 G_5 的输出同为高电平, T_1 截止、 T_2 导通, $Y = 0$;若 $A = 0$,则 G_4 、 G_5 的输出同为低电平, T_1 导通、 T_2 截止, $Y = 1$ 。因此, $Y = A'$,反相器处于正常工作状态。而当 $EN' = 1$ 时,不管 A 的状态如何, G_4 输出高电平而 G_5 输出低电平, T_1 和 T_2 同时截止,输出呈现高阻态。

图 3.3.40(b)是三态输出反相器的逻辑符号。反相器符号内的三角形记号表示三态输出结构, EN' 输入端处的小圆圈表示 EN' 为低电平有效信号, 即只有在 EN' 为低电平时, 电路方处于正常工作状态。如果 EN' 为高电平有效, 则没有这个小圆圈。这种三态输出结构有时也用于其他逻辑功能 CMOS 集成电路的输出端。

在一些比较复杂的数字系统(例如微型计算机)当中, 为了减少各个单元之间的连线数目, 希望能用同一条导线分时传递若干个门电路的输出信号。这时可采用图 3.3.41 所示的连接方式。图中的 G_1, G_2, \dots, G_n 均为三态输出反相器, 只要工作过程中控制各个反相器的 EN 端轮流等于 1, 而且任何时候仅有一个等于 1, 就可以轮流地把各个反相器的输出信号送到公共的传输线——总线上, 而互不干扰。这种连接方式称为总线结构。

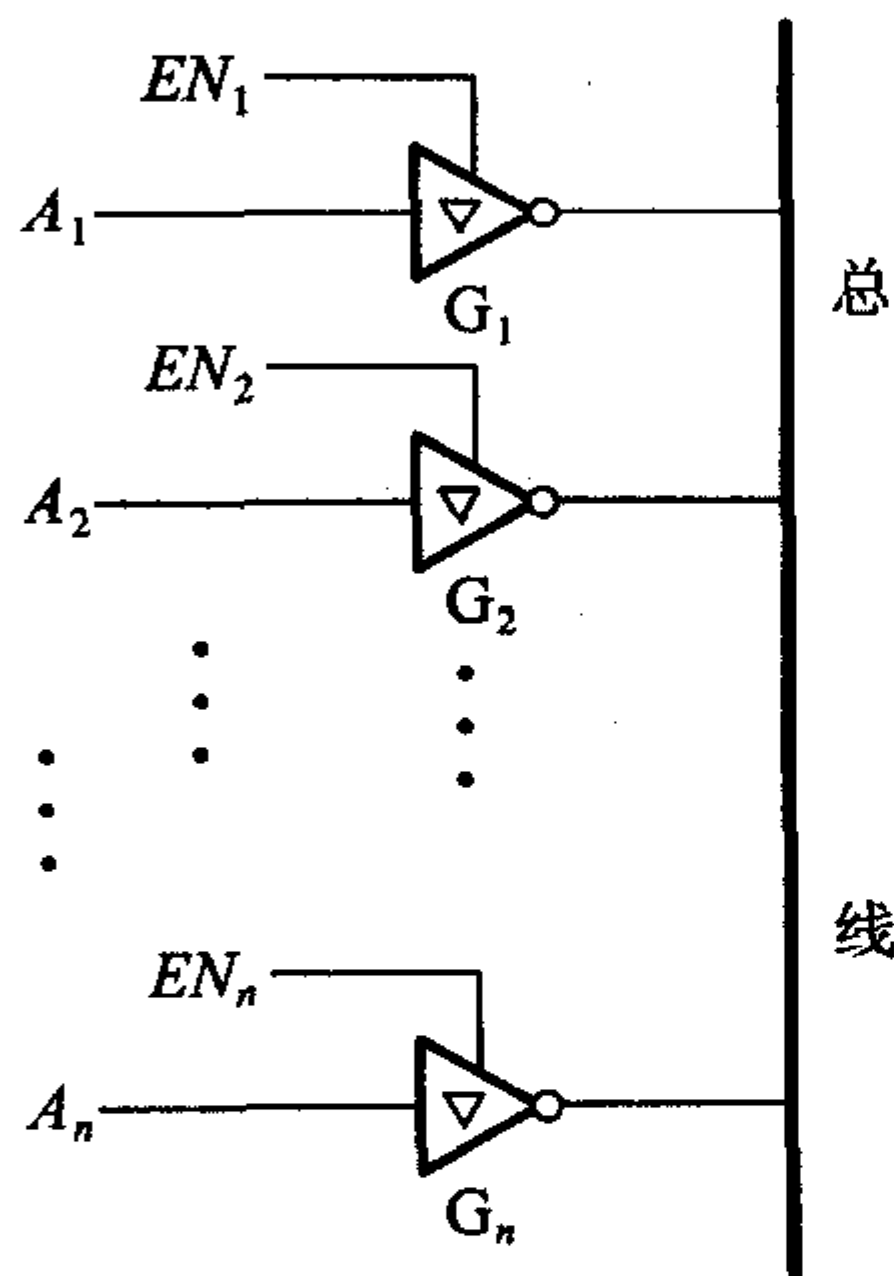


图 3.3.41 用三态输出反相器接成总线结构

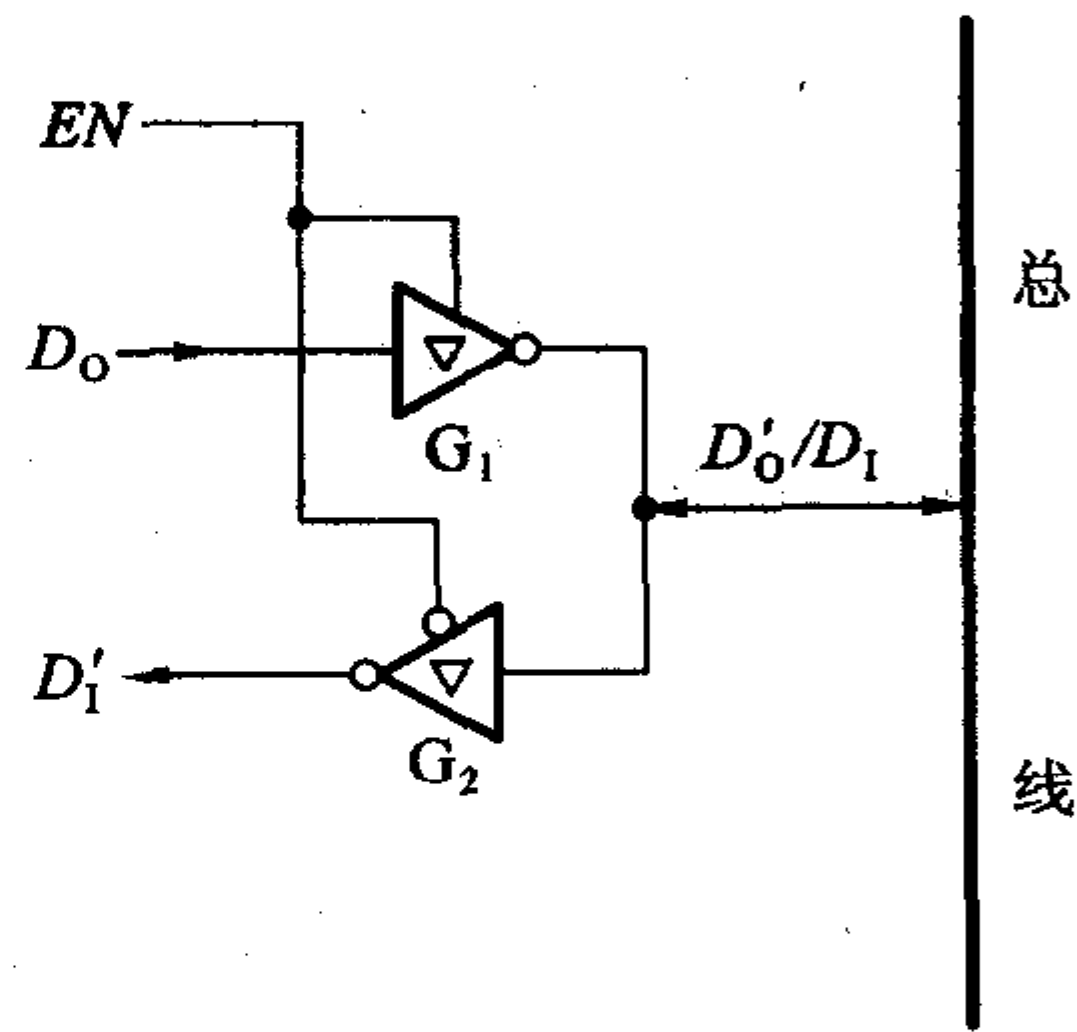


图 3.3.42 用三态输出反相器实现数据双向传输

利用三态输出结构的门电路还能实现数据的双向传输。图 3.3.42 是数据双向传输电路的结构图。当 $EN = 1$ 时, G_1 工作而 G_2 为高阻态, 数据 D_0 经过 G_1 反相后送到总线上。当 $EN = 0$ 时, G_2 工作而 G_1 为高阻态, 来自总线的的数据 D_1 经过 G_2 反相后送入电路内部。

复习思考题

R3.3.8 能否将两个互补输出结构的 CMOS 门电路的输出端并联, 接成线与结构?

3.3.6 CMOS 电路的正确使用

一、输入电路的静电防护

虽然在 CMOS 电路的输入端已经设置了保护电路,但由于保护二极管和限流电阻的几何尺寸有限,它们所能承受的静电电压和脉冲功率均有一定的限度。

CMOS 集成电路在储存、运输、组装和调试过程中,难免会接触到某些带静电高压的物体。例如工作人员如果穿的是由容易产生静电的织物制成的衣裤,则这些服装摩擦时产生的静电电压有时可高达数千伏。假如将这个静电电压加到 CMOS 电路的输入端,将足以将电路损坏。

为防止由静电电压造成的损坏,应注意以下几点:

- (1) 在储存和运输 CMOS 器件时不要使用易产生静电高压的化工材料和化纤织物包装,最好采用金属屏蔽层作包装材料。
- (2) 组装、调试时,应使电烙铁和其他工具、仪表、工作台台面等良好接地。操作人员的服装和手套等应选用无静电的原料制作。
- (3) 不用的输入端不应悬空。

二、输入电路的过流保护

由于输入保护电路中的钳位二极管电流容量有限,一般为 1mA,所以在可能出现较大输入电流的场合必须采取以下保护措施:

- (1) 输入端接低内阻信号源时,应在输入端与信号源之间串进保护电阻,保证输入保护电路中的二极管导通时电流不超过 1mA。
- (2) 输入端接有大电容时,亦应在输入端与电容之间接入保护电阻,如图 3.3.43 所示。

在输入端接有大电容的情况下,若电源电压突然降低或关掉,则电容 C 上积存的电荷将通过保护二极管 D_1 放电,形成较大的瞬态电流。串进电阻 R_p 以后,可以限制这个放电电流不超过 1 mA。 R_p 的阻值可按 $R_p = v_c / 1 \text{ mA}$ 计算。此处 v_c 表示输入端外接电容 C 上的电压(单位 V)。

- (3) 输入端接长线时,应在门电路的输入端接入保护电阻 R_p ,如图 3.3.44 所示。

因为长线上不可避免地伴生有分布电容和分布电感,所以当输入信号发生突变时只要门电路的输入阻抗与长线的阻抗不相匹配,则必然会在 CMOS 电路的输入端产生附加的正、负振荡脉冲。因此,需串入 R_p 限流。根据经验, R_p 的阻值可按 $R_p = V_{DD} / 1 \text{ mA}$ 计算。输入端的长线长度大于 10 m 以后,长度每增加 10 m, R_p 的阻值应增加 1 k Ω 。

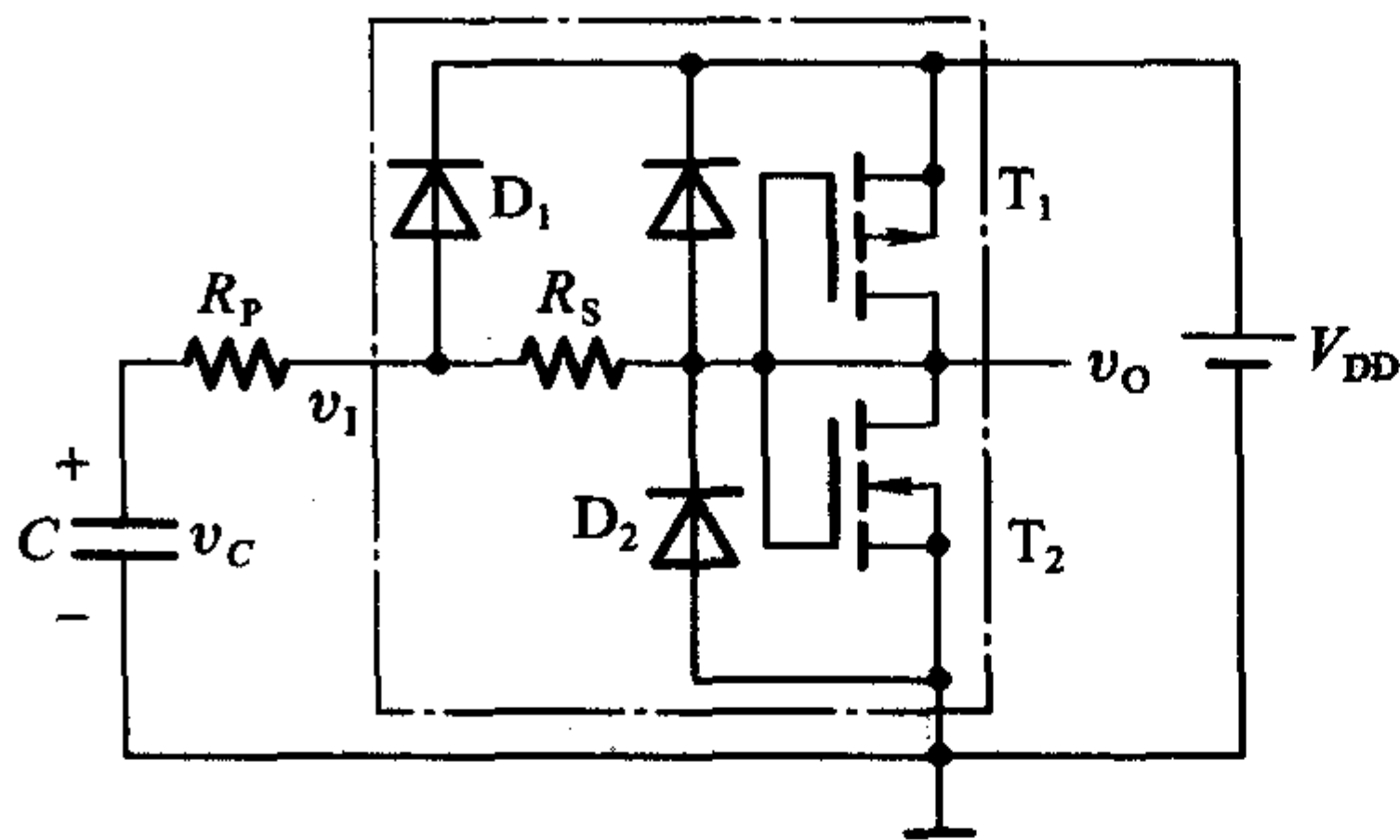


图 3.3.43 输入端接大电容时的防护

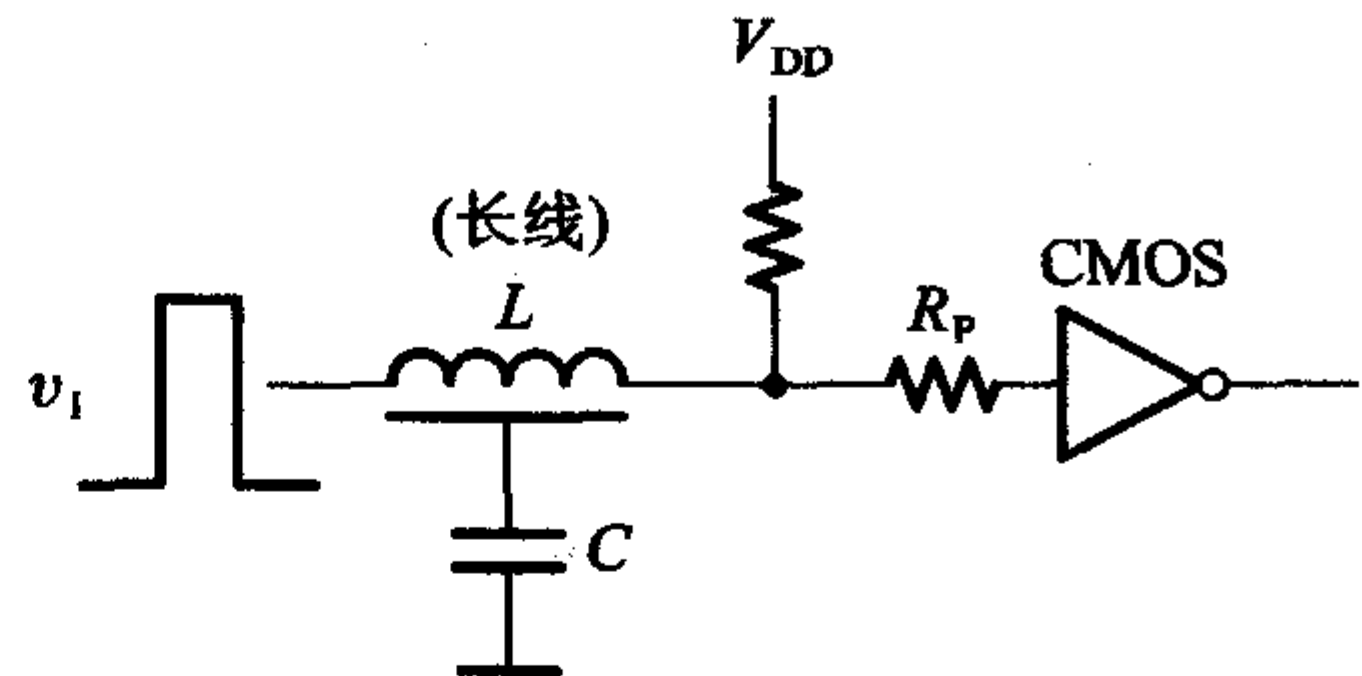


图 3.3.44 输入端接长线时的防护

* 三、CMOS 电路锁定效应的防护

锁定效应 (Latch - Up), 或称为可控硅效应 (Silicon Controlled Rectifier) 是 CMOS 电路中的一个特有现象。发生锁定效应以后往往会造成器件的永久失效, 因而了解锁定效应的产生原因及其防护方法是十分必要的。

图 3.3.45 是图 3.3.43 所示 CMOS 反相器的结构示意图。从图上可以看到, 为了在同一片 N 型衬底上同时制作 P 沟道和 N 沟道两种类型的 MOS 管, 并利用反相 PN 结实现隔离, 就必须先在 N 型衬底上形成一个 P 型区——P 阱, 然后再于 P 阱上制作两个 N 型区, 形成 N 沟道 MOS 管的源极和漏极。P 阱里的另一个 N 型区是输入保护二极管 \$D_2\$ 的负极。这样一来便在三个 N 型区 - P 阱 - N 型衬底之间形成了一个纵向多发射极的 NPN 型寄生三极管 \$T_N\$^①。

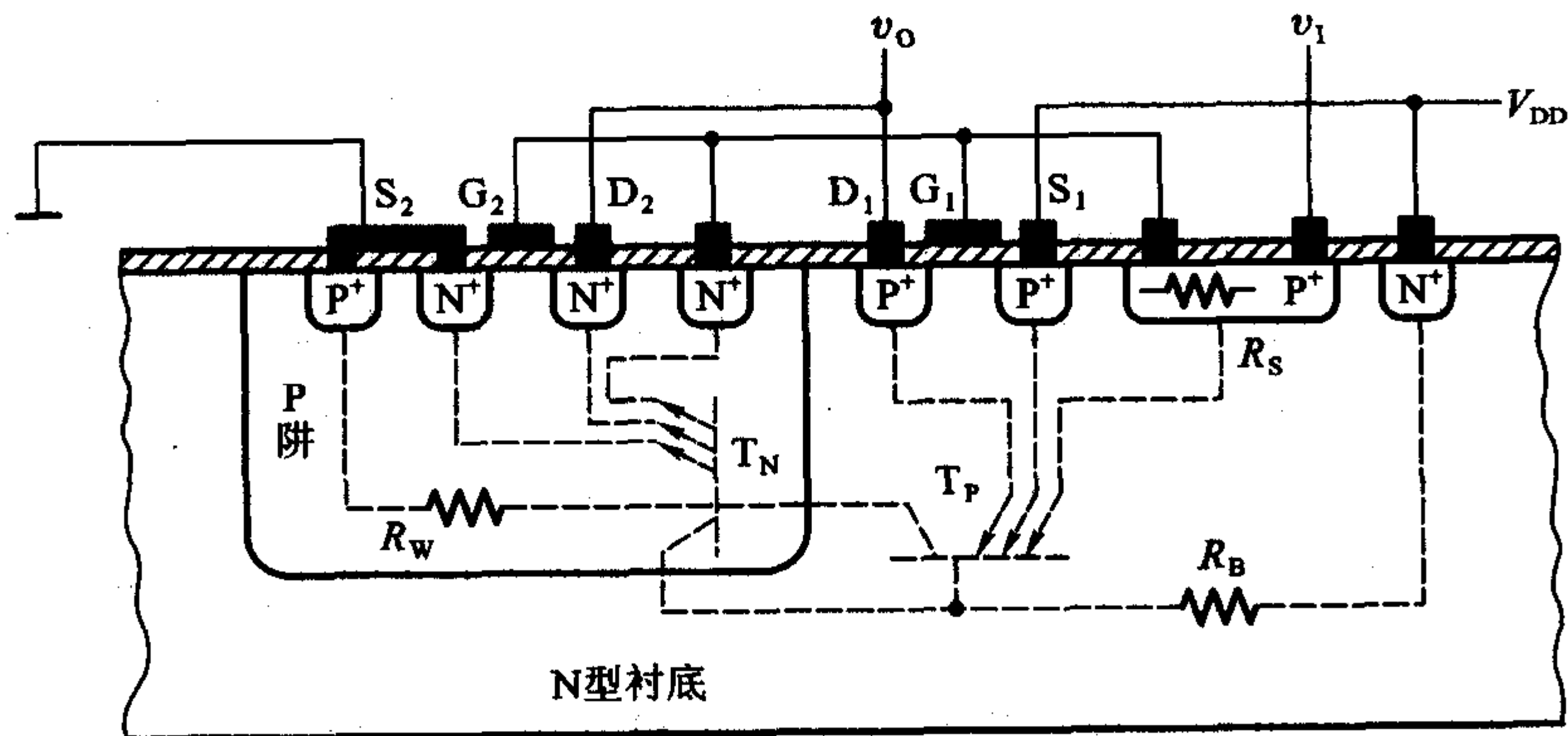


图 3.3.45 CMOS 反相器电路中的双极型寄生三极管效应

① 有关 NPN、PNP 双极型三极管的内容见本章的 3.5.1 节。

为了得到 P 沟道 MOS 管,又在 N 型衬底上另外制作了两个 P 型区,作为 P 沟道管的源极和漏极。图 3.3.45 中最右边一个 P 型区是输入保护电阻。这样在三个 P 型区 - 衬底 - P 阱之间又形成了一个横向多发射极的 PNP 型寄生三极管 T_P 。

若以 R_W 表示 P 阱的电阻,以 R_B 表示衬底的电阻,其他高掺杂区的内阻略而不计,则 T_N 、 T_P 和 R_W 、 R_B 一起便形成了图 3.3.46 所示的正反馈电路。这种电路结构就是通常所说的可控硅整流器 (Silicon Controlled Rectifier),简称可控硅或 SCR(也称晶闸管)。

如果 T_P 和 T_N 的电流放大系数的乘积 $\beta_1 \cdot \beta_2 > 1$,那么当 T_P 有基极电流 i_{BP} 流过时,集电极有电流 $i_{CP} = \beta_1 \cdot i_{BP}$ 。假定 R_W 的分流作用可以忽略,则 T_N 的基极电流为 $i_{BN} = i_{CP} = \beta_1 \cdot i_{BP}$ 。如果再忽略 R_B 的分流作用,这时将有 $i_{BP} = i_{CN} = \beta_1 \cdot \beta_2 \cdot i_{BP}$,所以由于正反馈作用 i_{BP} 被放大了。于是 T_N 、 T_P 的电流都迅速增长,直至饱和导通,并在电源与地之间形成低电阻通路,有很大的电流流过电路。除非切断电源或将电源电压降至很低,这种导通状态将一直保持下去,因此将这种现象称为锁定效应。锁定效应的持续会造成器件的永久性损坏。

同理, T_N 有基极电流注入时也会引发锁定效应。

那么什么条件下 T_P 或 T_N 会导通呢?从图 3.3.46 上可以看出:

- (1) 若 $v_1 > V_{DD} + V_F$ (V_F 表示 T_N 和 T_P 发射结的正向导通压降),则 T_P 导通,并进而引起 T_N 导通,产生锁定效应。
- (2) 若 $v_1 < -V_F$,则 T_N 导通,并进而引起 T_P 导通,产生锁定效应。
- (3) 若 $v_0 > V_{DD} + V_F$,则 T_P 导通,并进而引起 T_N 导通,产生锁定效应。
- (4) 若 $v_0 < -V_F$,则 T_N 导通,并进而引起 T_P 导通,产生锁定效应。
- (5) 若 V_{DD} 大于 PN 结的反向击穿电压,则 T_N 或 T_P 也会导通,并引发锁定效应。

因此,为防止发生锁定效应,在 CMOS 电路工作时始终应保证 v_1 、 v_0 、 V_{DD} 的数值符合如下规定:

$$-V_F < v_1 < V_{DD} + V_F$$

$$-V_F < v_0 < V_{DD} + V_F$$

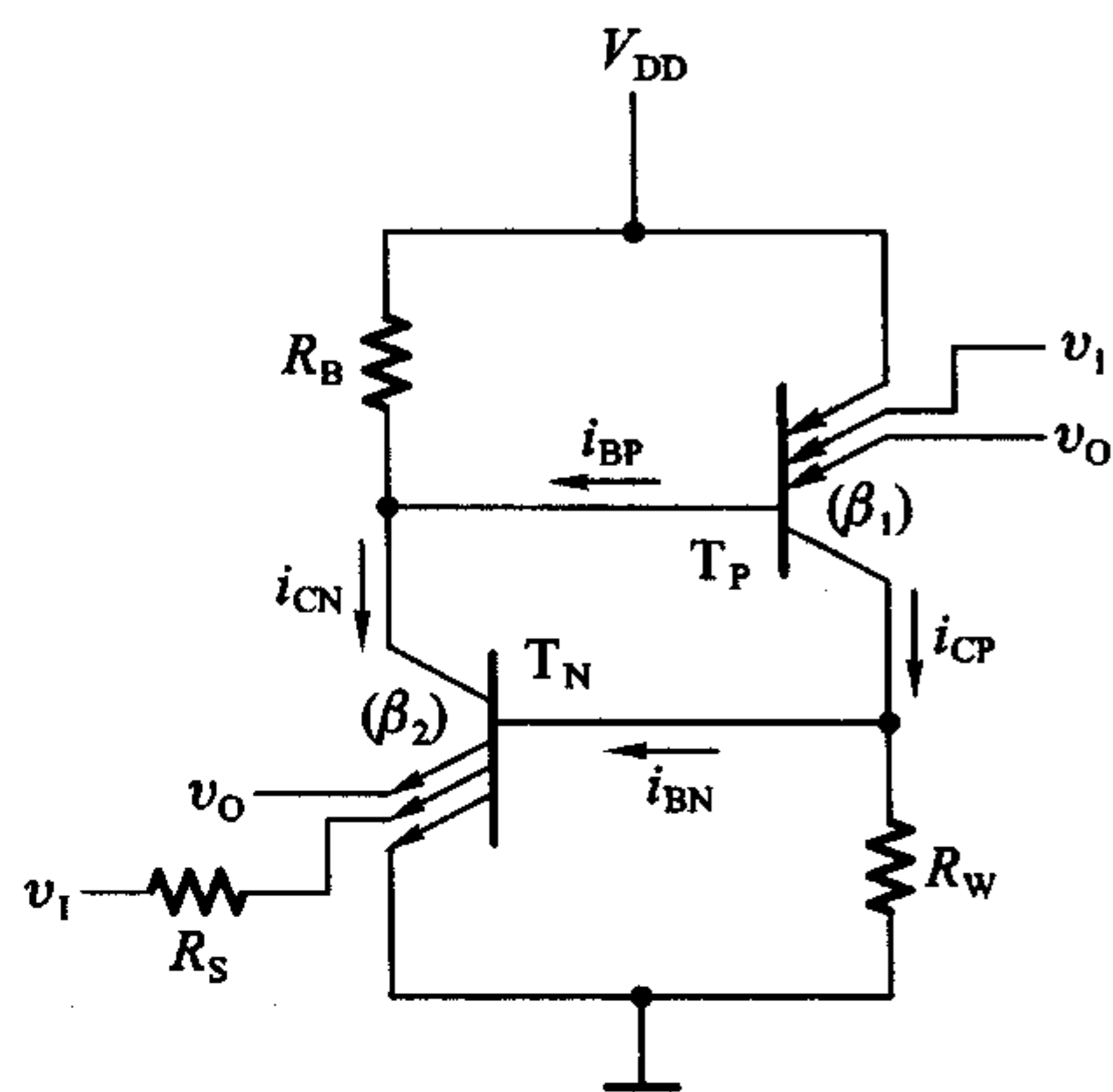


图 3.3.46 由寄生三极管形成的可控硅结构