

入信号为窄脉冲,而且脉冲宽度接近于门电路传输延迟时间的情况下,为使输出状态改变所需要的脉冲幅度将远大于信号为直流时所需要的信号变化幅度。

图 3.5.22 是输入为不同宽度的窄脉冲时 TTL 反相器的交流噪声容限曲线。图中以 t_w 表示输入脉冲宽度,以 V_{NA} 表示输入脉冲的幅度。在图(a)中将输出高电平由额定值降至 2.0V 时输入正脉冲的幅度定义为正脉冲噪声容限。在图(b)中将输出低电平由额定值上升至 0.8V 时输入负脉冲的幅度定义为负脉冲噪声容限。

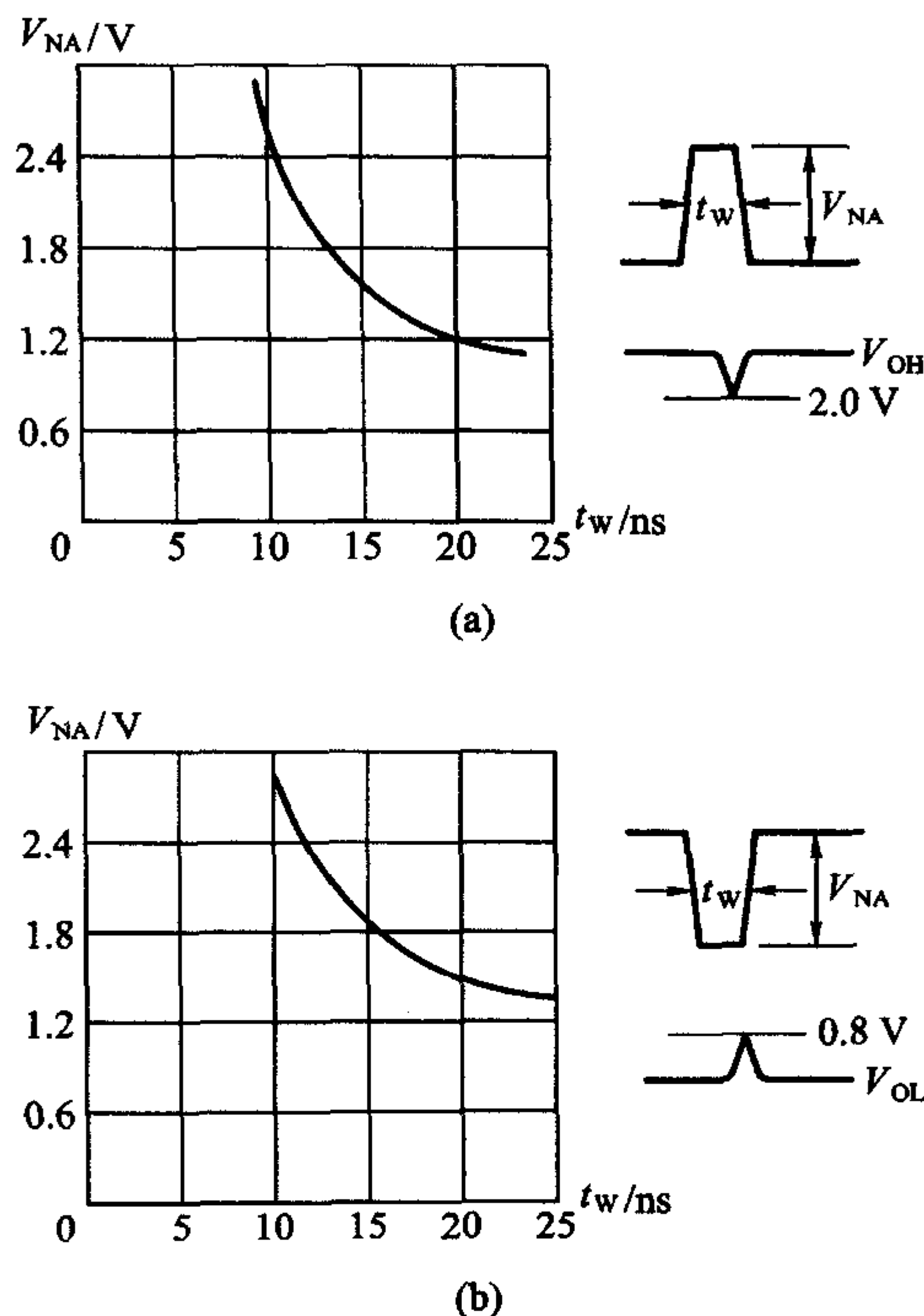


图 3.5.22 TTL 反相器的交流噪声容限

(a) 正脉冲噪声容限 (b) 负脉冲噪声容限

因为绝大多数的 TTL 门电路传输延迟时间都在 50 ns 以内,所以当输入脉冲的宽度达到微秒的数量级时,在信号作用时间内电路已达到稳态,应将输入信号按直流信号处理。

三、电源的动态尖峰电流

通过对 TTL 反相器电路的计算发现,在稳定状态下,输出电平不同时它从电源所取的电流也不一样。由图 3.5.23(a)可见,当 $v_o = V_{OL}$ 时 v_i 为高电平,若 $V_{IH} \geq 3.4V$,则 T_1 、 T_2 和 T_5 导通, T_4 截止,电源电流 I_{CCL} 等于 i_{B1} 和 i_{C2} 之和。前面已经讲过,当 T_2 和 T_5 同时导通时 v_{B1} 被钳位在 2.1V 左右。假定 T_5 发射结的导通压降为

0.7V, T_2 饱和导通压降 $V_{CE(sat)} = 0.1V$, 则 $v_{C2} = 0.8V$ 。于是得到

$$\begin{aligned} I_{CCL} &= i_{B1} + i_{C2} \\ &= \frac{V_{CC} - v_{B1}}{R_1} + \frac{V_{CC} - v_{C2}}{R_2} \end{aligned} \quad (3.5.10)$$

故得

$$\begin{aligned} I_{CCL} &= \left(\frac{5 - 2.1}{4 \times 10^3} + \frac{5 - 0.8}{1.6 \times 10^3} \right) A \\ &= (0.73 + 2.63) \text{ mA} \approx 3.4 \text{ mA} \end{aligned}$$

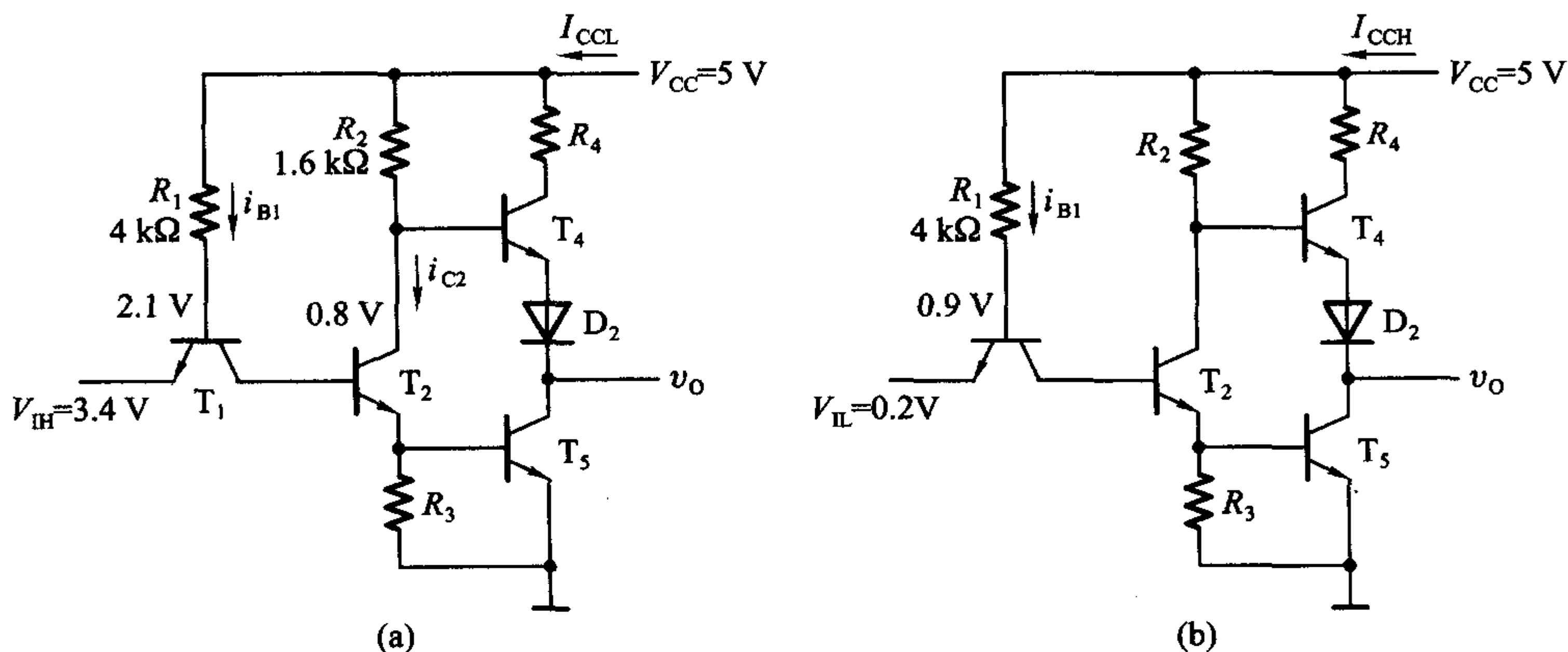


图 3.5.23 TTL 反相器电源电流的计算

(a) $v_o = V_{OL}$ 的情况 (b) $v_o = V_{OH}$ 的情况

在 $v_o = V_{OH}$ 时, 设 $v_i = V_{IL} = 0.2V$, 由图 3.5.23(b) 可见, 这时 T_1 和 T_4 导通, T_2 和 T_5 截止。因为输出端没有接负载, T_4 没有电流流过, 所以电源电流 I_{CCH} 等于 i_{B1} 。如果取 T_1 发射结的导通压降为 0.7V, 则 $v_{B1} = 0.9V$, 于是得到

$$\begin{aligned} I_{CCH} &= i_{B1} \\ &= \frac{V_{CC} - v_{B1}}{R} \\ &= \frac{5 - 0.9}{4 \times 10^3} A \approx 1 \text{ mA} \end{aligned} \quad (3.5.11)$$

动态情况下, 特别是当输出电压由低电平突然转变成高电平的过渡过程中, 由于 T_5 原来工作在深度饱和状态, 所以 T_4 的导通必然先于 T_5 的截止, 这样就出现了短时间内 T_4 和 T_5 同时导通的状态, 有很大的瞬时电流流经 T_4 和 T_5 , 使电源电流出现尖峰脉冲, 如图 3.5.24 所示。

由图 3.5.25 可见, 如果 v_i 从高电平跳变成低电平的瞬间 T_5 尚未脱离饱和导通状态而 T_4 已饱和导通, 则电源电流的最大瞬时值将为

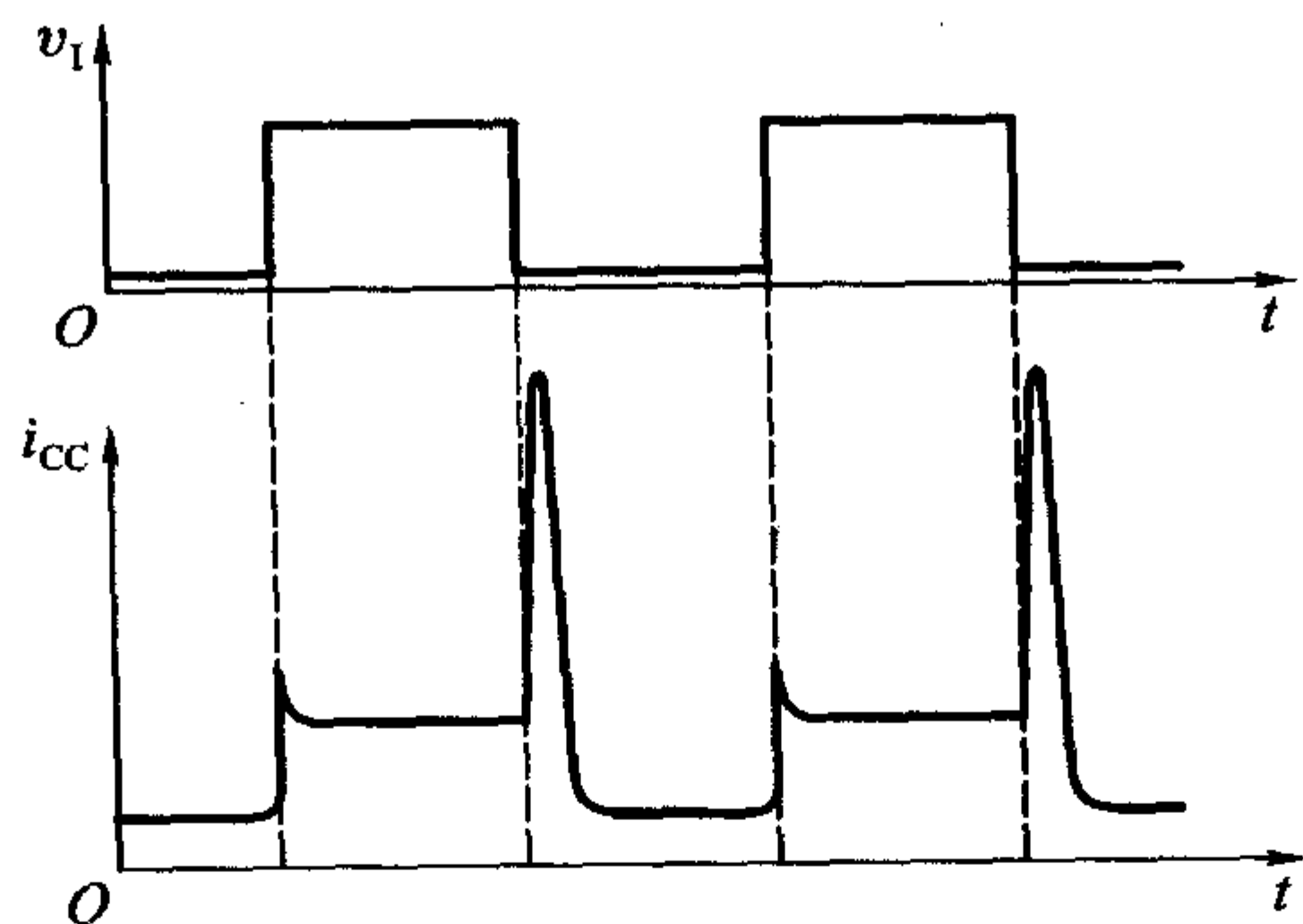


图 3.5.24 TTL 反相器的电源动态尖峰电流

$$\begin{aligned}
 I_{CCM} &= i_{C4} + i_{B4} + i_{B1} \\
 &= \frac{V_{CC} - V_{CE(sat)4} - v_{D2} - V_{CE(sat)5}}{R_4} + \frac{V_{CC} - v_{BE4} - v_{D2} - V_{CE(sat)5}}{R_2} \\
 &\quad + \frac{V_{CC} - v_{B1}}{R_1}
 \end{aligned} \tag{3.5.12}$$

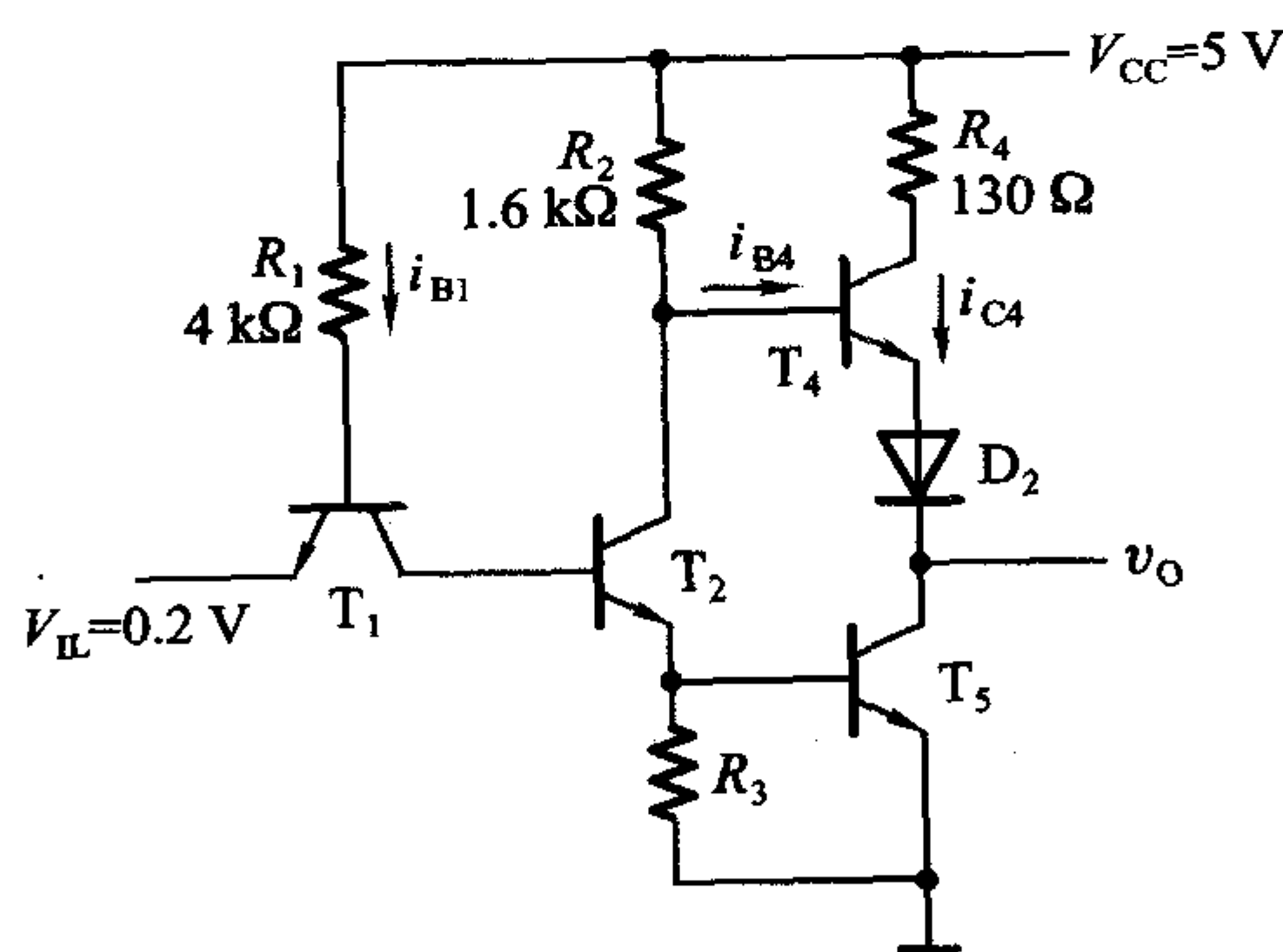


图 3.5.25 TTL 反相器电源尖峰电流的计算

$$\begin{aligned}
 \text{故得到 } I_{CCM} &= \frac{5 - 0.1 - 0.7 - 0.1}{130} \text{ A} + \frac{5 - 0.7 - 0.7 - 0.1}{1.6 \times 10^3} \text{ A} + \frac{5 - 0.9}{4 \times 10^3} \text{ A} \\
 &= 34.7 \times 10^{-3} \text{ A} = 34.7 \text{ mA}
 \end{aligned}$$

电源尖峰电流带来的影响主要表现为两个方面。首先,它使电源的平均电流增加了。而且从图 3.5.24 上不难看出,信号的重复频率越高、门电路的传输延迟时间 t_{PLH} 越长,电流平均值增加得越多。在计算系统的电源容量时必须注意这一点。

见,在工作频率较高时不能忽视尖峰电流对电源平均电流的影响。

复习思考题

R3.5.5 为什么 TTL 门电路的 t_{PLH} 大于 t_{PHL} ?

R3.5.6 TTL 电路的电源尖峰电流是怎样产生的? 它对系统的工作可能有哪些影响?

3.5.5 其他类型的 TTL 门电路

一、其他逻辑功能的门电路

与 CMOS 门电路相仿,在 TTL 门电路的定型产品中除了反相器以外也有与门、或门、与非门、或非门、与或非门和异或门几种常见的类型。尽管它们逻辑功能各异,但输入端、端出端的电路结构形式与反相器基本相同,因此前面所讲的反相器的输入特性和输出特性对这些门电路同样适用。

1. 与非门

图 3.5.27 是 74 系列与非门的典型电路。它与图 3.5.9 所示反相器电路的区别在于输入端改成了多发射极三极管。

多发射极三极管的结构如图 3.5.28(a) 所示,它的基区和集电区是共用的,而在 P 型的基区上制作了两个(或多个)高掺杂的 N 型区,形成两个互相独立的发射极。我们可以将多发射极三极管看作两个发射极独立而基极和集电极分别并联在一起的三极管,如图 3.5.28(b) 所示。

在图 3.5.27 所示的与非门电路中,只要 A、B 当中有一个接低电平,则 T_1 必有一个发射结导通,并将 T_1 的基极电位钳在 $0.9V$ (假定 $V_{IL} = 0.2V$, $v_{BE} = 0.7V$)。这时 T_2 和 T_5 都不导通,输出为高电平 V_{OH} 。只有当 A、B 同时为高电平时, T_2 和 T_5 才同时导通,并使输出为低电平 V_{OL} 。因此, Y 和 A、B 之间为与非关系,即 $Y = (A \cdot B)'$ 。

可见, TTL 电路中的与逻辑关系是利用 T_1 的多发射极结构实现的。

与非门输出电路的结构和电路参数与反相器相同,所以反相器的输出特性也适用于与非门。

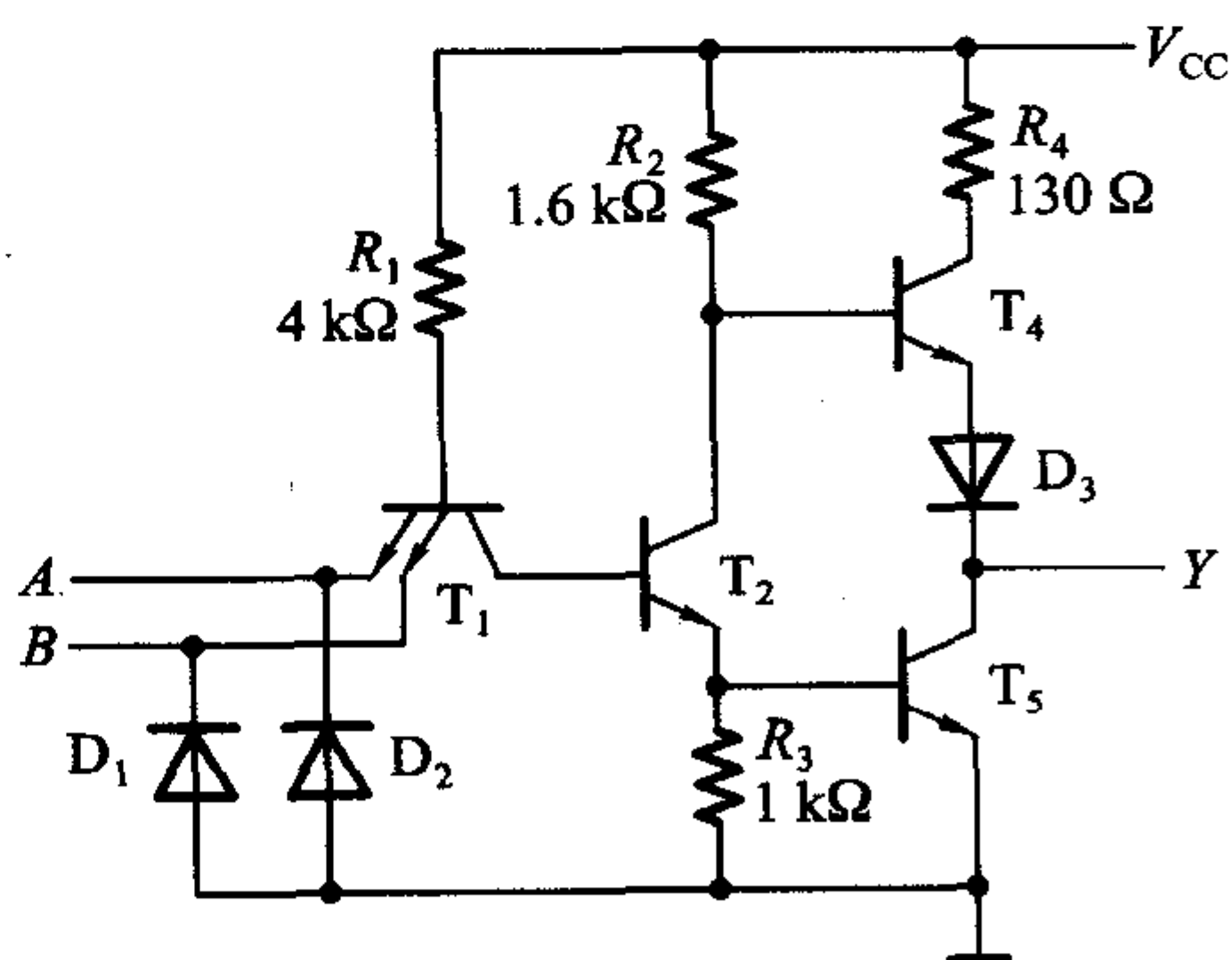


图 3.5.27 TTL 与非门电路

在计算与非门每个输入端的输入电流时,应根据输入端的不同工作状态区别对待。在把两个输入端并联使用时,由图 3.5.27 中可以看出,低电平输入电流仍可按式(3.5.6)计算,所以和反相器相同。而输入接高电平时, e_1 和 e_2 分别为两个倒置三极管的等效集电极,所以总的输入电流为单个输入端的高电平输入电流的两倍。

2. 或非门

或非门的典型电路如图 3.5.29 所示。图中 T'_1 、 T'_2 和 R'_1 所组成的电路和 T_1 、 T_2 、 R_1 组成的电路完全相同。当 A 为高电平时, T_2 和 T_5 同时导通, T_4 截止,输出 Y 为低电平。当 B 为高电平时, T'_2 和 T'_5 同时导通而 T_4 截止, Y 也是低电平。只有 A 、 B 都为低电平时, T_2 和 T'_2 同时截止, T_5 截止而 T_4 导通,从而使输出成为高电平。因此, Y 和 A 、 B 间为或非关系,即 $Y = (A + B)'$ 。

可见,或非门中的或逻辑关系是通过将 T_2 和 T'_2 两个三极管的输出端并联来实现的。

由于或非门的输入端和输出端电路结构与反相器相同,所以输入特性和输出特性也和反相器一样。在将两个或输入端并联时,无论高电平输入电流还是低电平输入电流,都是单个输入端输入电流的两倍。

3. 与或非门

若将图 3.5.29 所示的或非门电路中的每个输入端改用多发射极三极管,就得到了图 3.5.30 所示的与或非门电路。

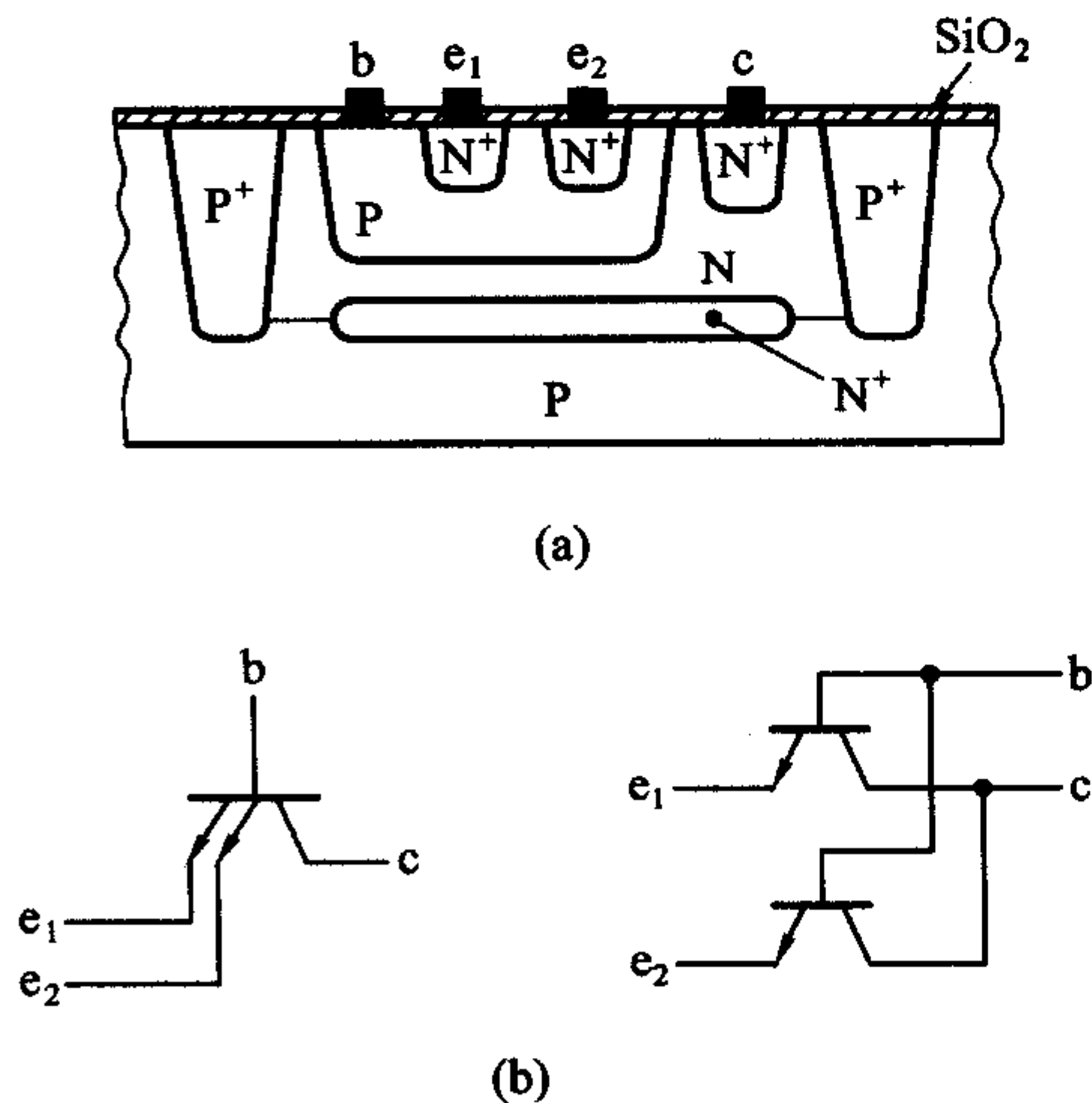


图 3.5.28 多发射极三极管

(a) 结构示意图 (b) 符号及等效电路

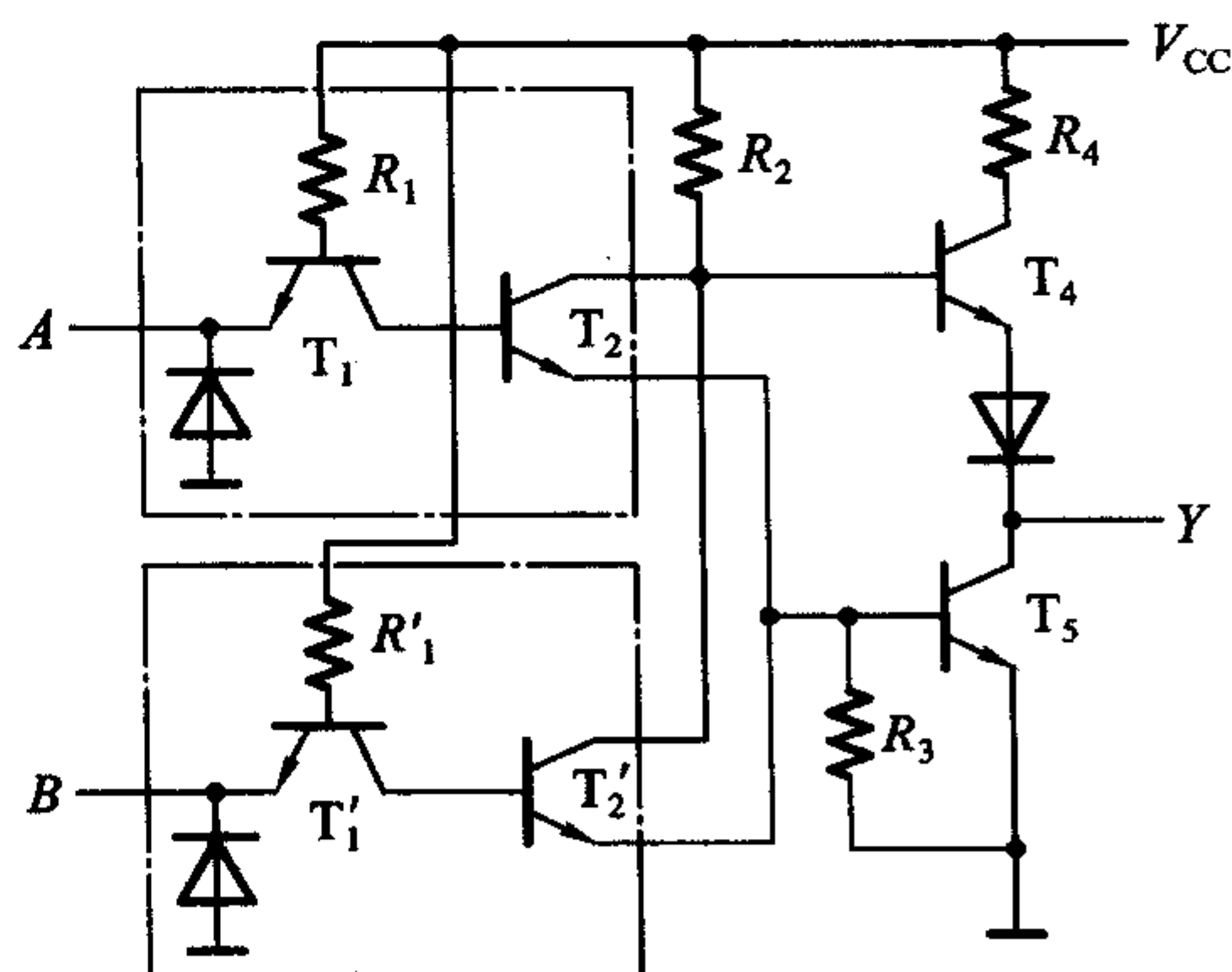


图 3.5.29 TTL 或非门电路

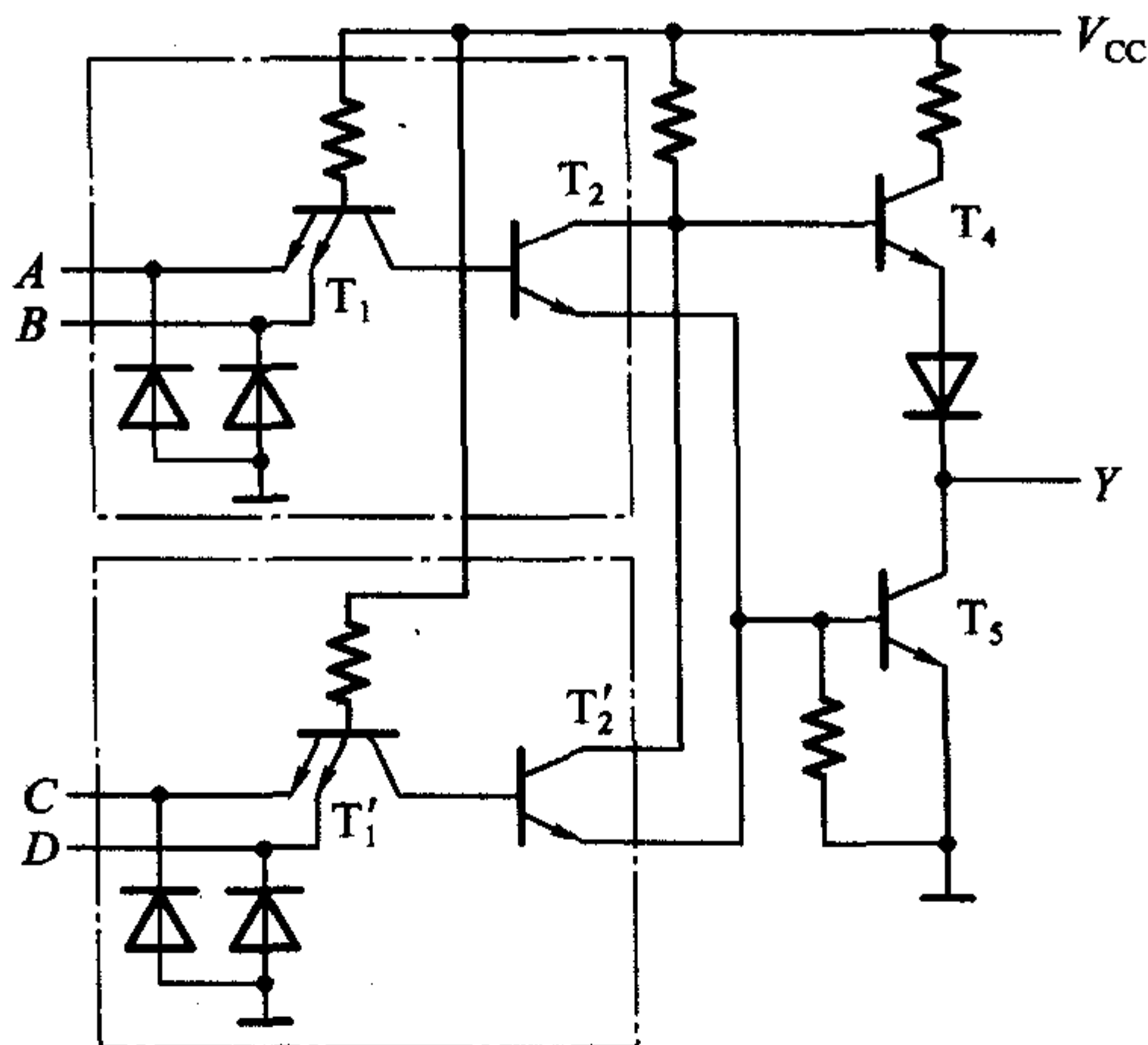


图 3.5.30 TTL 与非门

由图 3.5.30 可见,当 A 、 B 同时为高电平时, T_2 、 T_5 导通而 T_4 截止,输出 Y 为低电平。同理,当 C 、 D 同时为高电平时, T_2' 、 T_5 导通而 T_4 截止,也使 Y 为低电平。只有 A 、 B 和 C 、 D 每一组输入都不同时为高电平时, T_2 和 T_2' 同时截止,使 T_5 截止而 T_4 导通,输出 Y 为高电平。因此, Y 和 A 、 B 及 C 、 D 间是与或非关系,即 $Y = (AB + CD)'$ 。

4. 异或门

异或门典型的电路结构如图 3.5.31 所示。图中虚线以右部分和或非门的倒相级、输出级相同,只要 T_6 和 T_7 当中有一个基极为高电平,都能使 T_8 截止、 T_9 导通,输出为低电平。

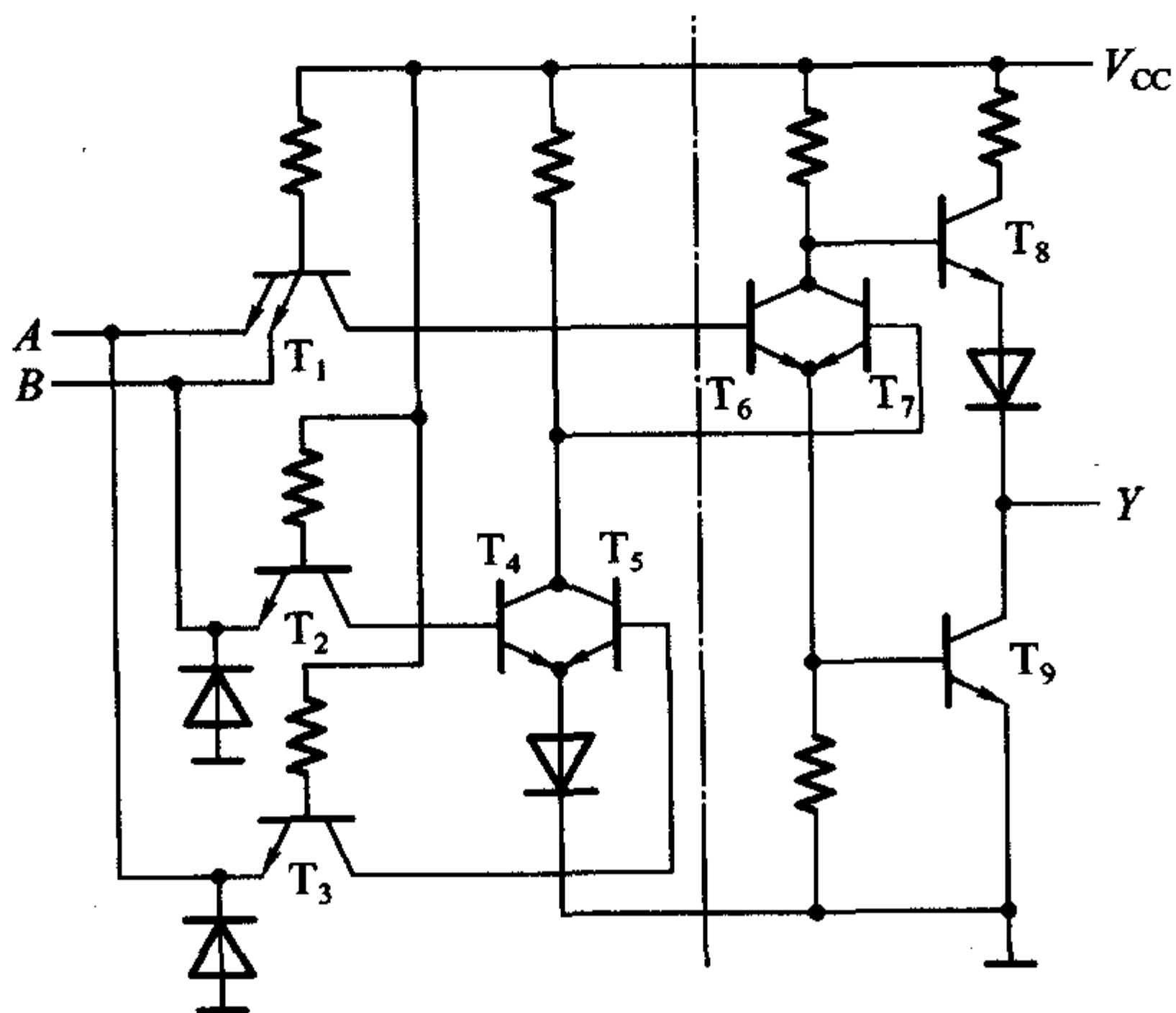


图 3.5.31 TTL 异或门

若 A 、 B 同时为高电平,则 T_6 、 T_9 导通而 T_8 截止,输出为低电平。反之,若 A 、 B 同时为低电平,则 T_4 和 T_5 同时截止,使 T_7 和 T_9 导通而 T_8 截止,输出也为低电平。

当 A 、 B 不同时(即一个是高电平而另一个是低电平), T_1 正向饱和导通、 T_6 截止。同时,由于 A 、 B 中必有一个是高电平,使 T_4 、 T_5 中有一个导通,从而使 T_7 截止。 T_6 、 T_7 同时截止以后, T_8 导通、 T_9 截止,故输出为高电平。因此, Y 和 A 、 B 间为异或关系,即 $Y = A \oplus B$ 。

与门、或门电路是在与非门、或非门电路的基础上于电路内部增加一级反相级所构成的。因此,与门、或门的输入电路及输出电路和与非门、或非门的相同。这两种门电路的具体电路和工作原理就不一一介绍了。

二、集电极开路输出的门电路(OC 门)

和 CMOS 电路中的 OD 输出结构门电路类似,在 TTL 电路中也有有一种集电极开路(Open Collector)输出结构的门电路。

虽然推拉式输出电路结构具有输出电阻很低的优点,但使用时有一定的局限性。首先,我们不能把它们的输出端并联接成线与结构。由图 3.5.32 可见,倘若一个门的输出是高电平而另一个门的输出是低电平,则输出端并联以后必然有很大的负载电流同时流过这两个门的输出级。这个电流的数值将远远超过正常工作电流,可能使门电路损坏。

其次,在采用推拉式输出级的门电路中,电源一经确定(通常规定工作在 $+5\text{ V}$),输出的高电平也就固定了,因而无法满足对不同输出高电平的需要。此外,推拉式电路结构也不能满足驱动较大电流及较高电压负载的要求。

克服上述局限性的方法就是将输出级改为集电极开路的三极管结构,做成集电极开路输出的门电路,简称 OC 门。

图 3.5.33 给出了 OC 门的电路结构和图形符号。它的图形符号与 OD 门所用的符号相同。OC 门在工作时同样需要外接负载电阻和电源。只要电阻的阻值和电源电压的数值选择得当,就能够做到既保证输出的高、低电平符合要求,输出端三极管的负载电流又不过大。

OC 门的使用方法和前面讲过的 OD 门的使用方法类似。利用 OC 门同样能接成线与结构以及实现输出与输入之间的电平变换。

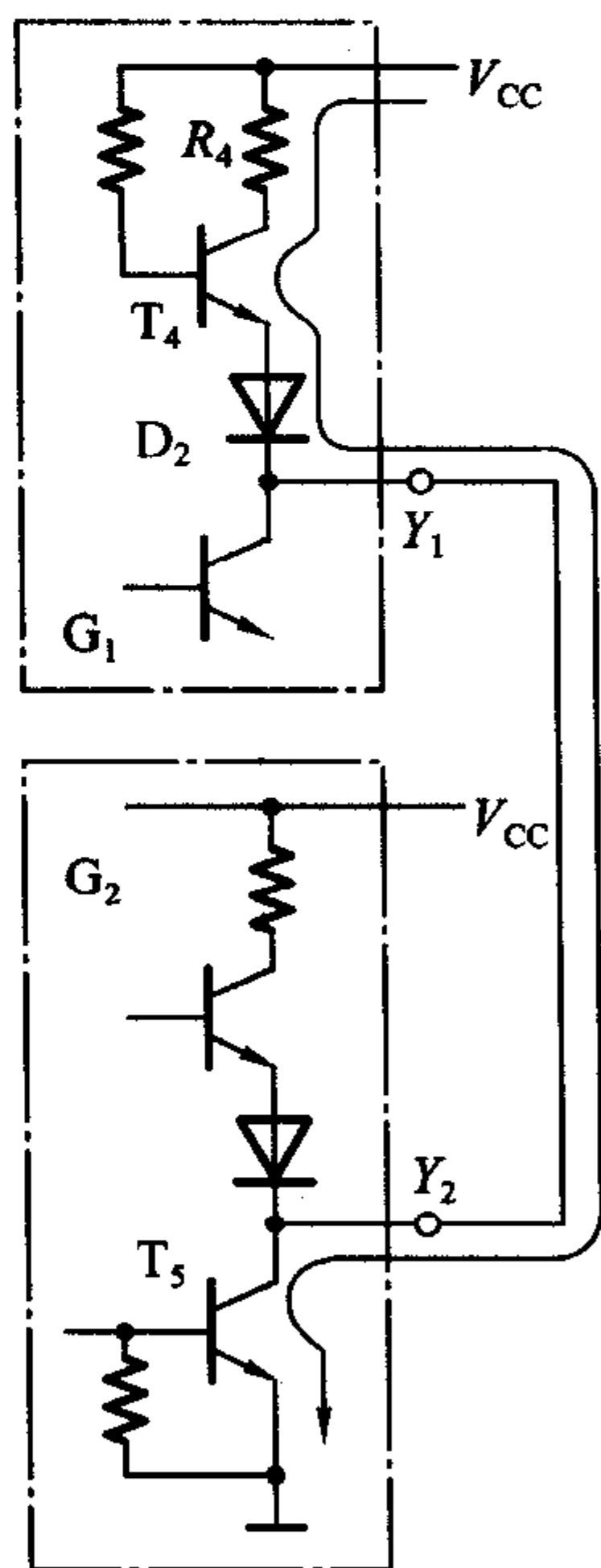


图 3.5.32 推拉式输出级并联的情况

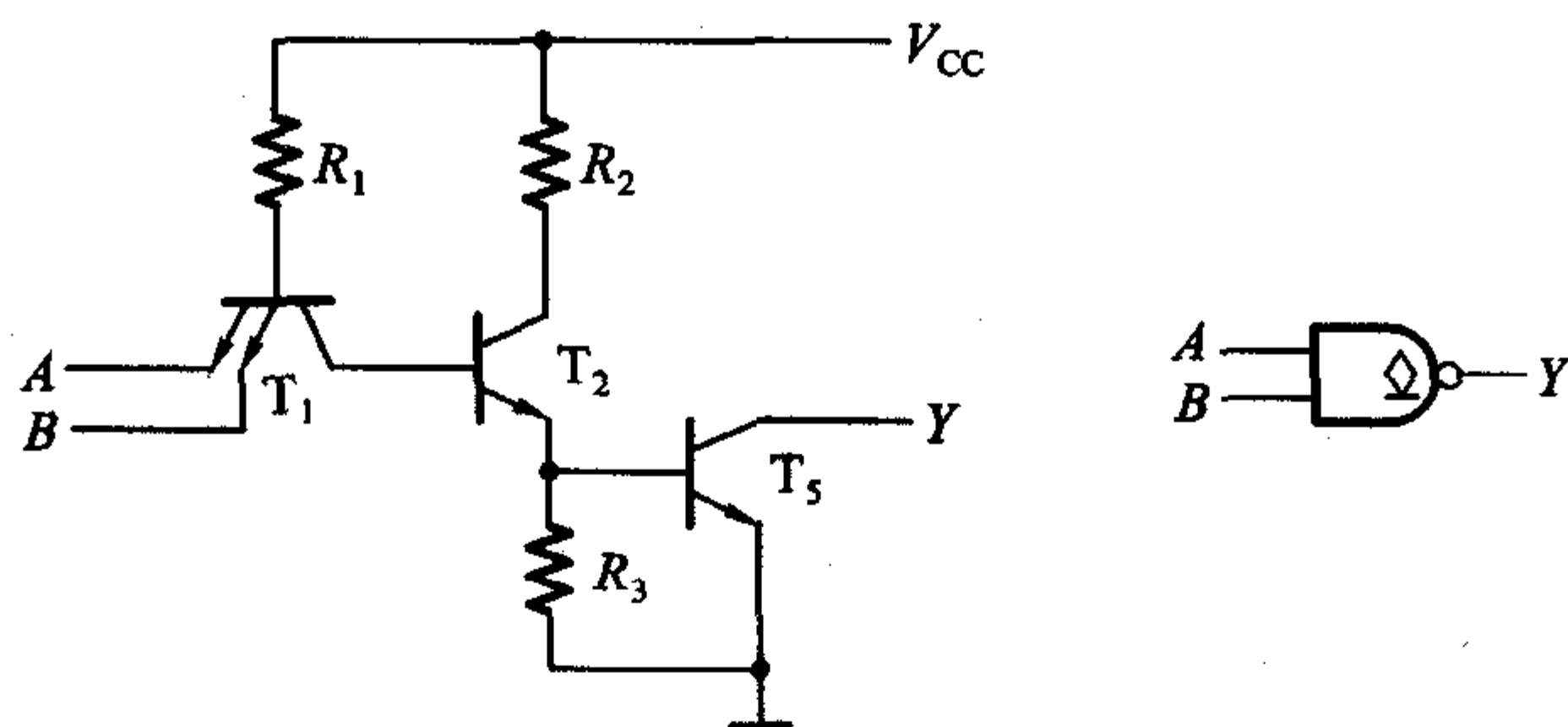


图 3.5.33 集电极开路输出 TTL 与非门的电路和图形符号

图 3.5.34 是将两个 OC 结构与非门输出并联的例子。由图可知,只有 A 、 B 同时为高电平时 T_5 才导通, Y_1 输出低电平,故 $Y_1 = (A \cdot B)'$ 。同理, $Y_2 = (C \cdot D)'$ 。若将 Y_1 、 Y_2 两条输出线直接接在一起组成线与结构,则只要 Y_1 、 Y_2 有一个是低电平, Y 就是低电平,只有 Y_1 、 Y_2 同时为高电平时, Y 才是高电平,于是得到

$$Y = Y_1 \cdot Y_2 = (AB)' \cdot (CD)' = (AB + CD)'$$

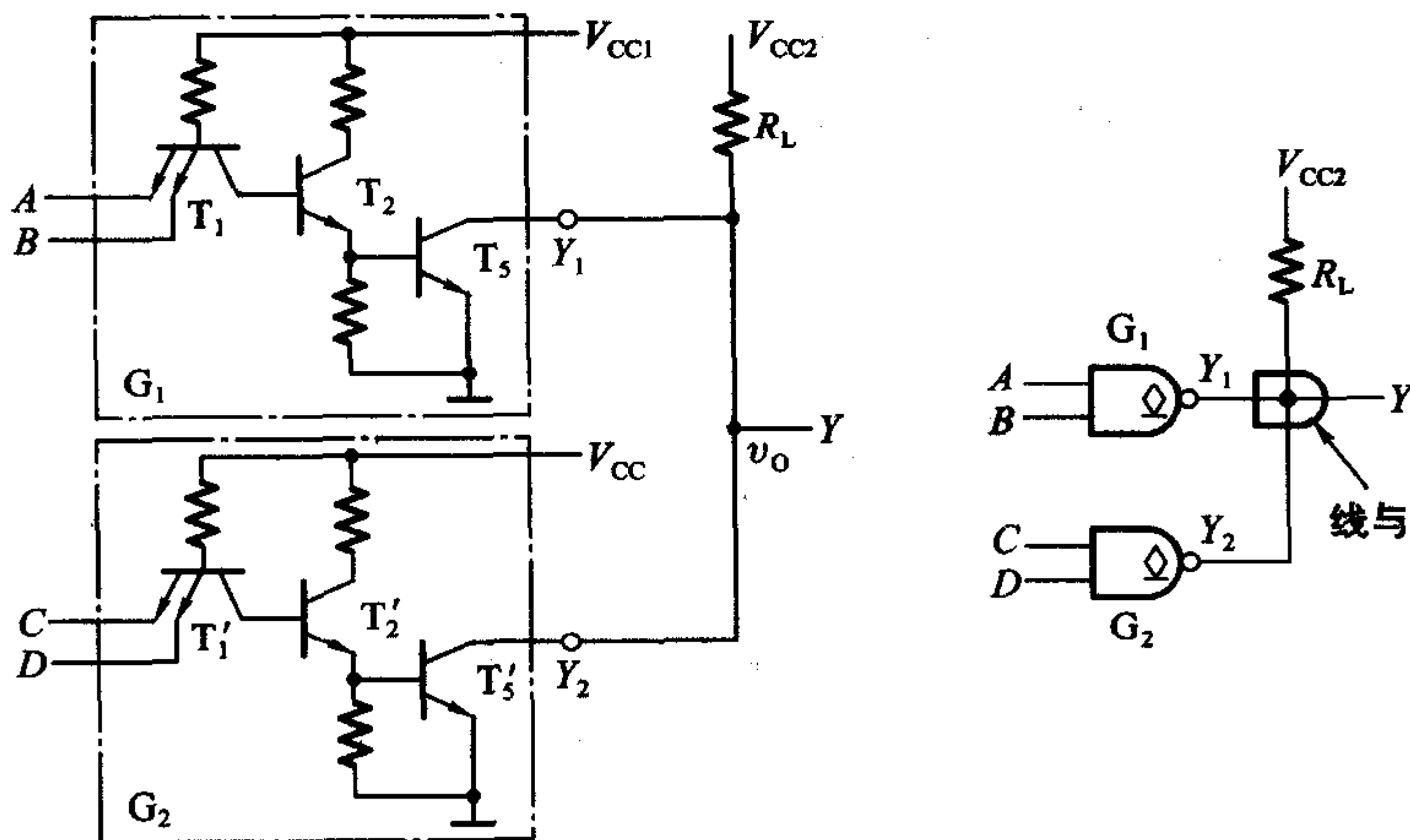


图 3.5.34 OC 门输出并联的接法及逻辑图

由于 T_5 和 T_5' 同时截止时输出的高电平为 $V_{OH} = V_{CC2}$, 而 V_{CC2} 的电压数值可以不同于门电路本身的电源 V_{CC1} , 所以只要根据要求选择 V_{CC2} 的大小, 就可以得到所需的 V_{OH} 值。

另外, 有些 OC 门的输出管设计得尺寸较大, 足以承受较大电流和较高电

压。例如, SN7407 输出管允许的最大负载电流为 40 mA, 截止时耐压 30 V, 足以直接驱动小型继电器。

OC 门外接电阻的计算方法和 OD 门外接电阻的计算方法基本相同。唯一不同的一点是在多个负载门输入端并联的情况下, 低电平输入电流的数目不一定与输入端的数目相等。

由图 3.5.27 所示与非门的电路结构图中可知, 将输入端并联后总的低电平输入电流和每个输入端单独接低电平时的输入电流是一样的。因此, 在用式 (3.3.9) 计算 $R_{L(\min)}$ 时, 式中的 m' 等于负载门的个数, 而不是输入端的数目, 如图 3.5.35 所示。

而对于图 3.5.29 所示的或非门, 将输入端并联以后, 总的低电平输入电流等于每个输入端单独接低电平时的输入电流乘以并联输入端的数目, 而不是乘以门的数目。因此, 在用式 (3.3.9) 计算 $R_{L(\min)}$ 时, 式中的 m' 等于输入端的个数, 而不是负载门的数目, 如图 3.5.36 所示。

当输入为高电平时, 无论负载是 m 个与输入端并联还是 m 个或输入端并联, 总的高电平输入电流都等于单个输入端高电平输入电流的 m 倍。所以在用式 (3.3.8) 计算 $R_{L(\max)}$ 时, 式中的 m 都等于并联的输入端数目。

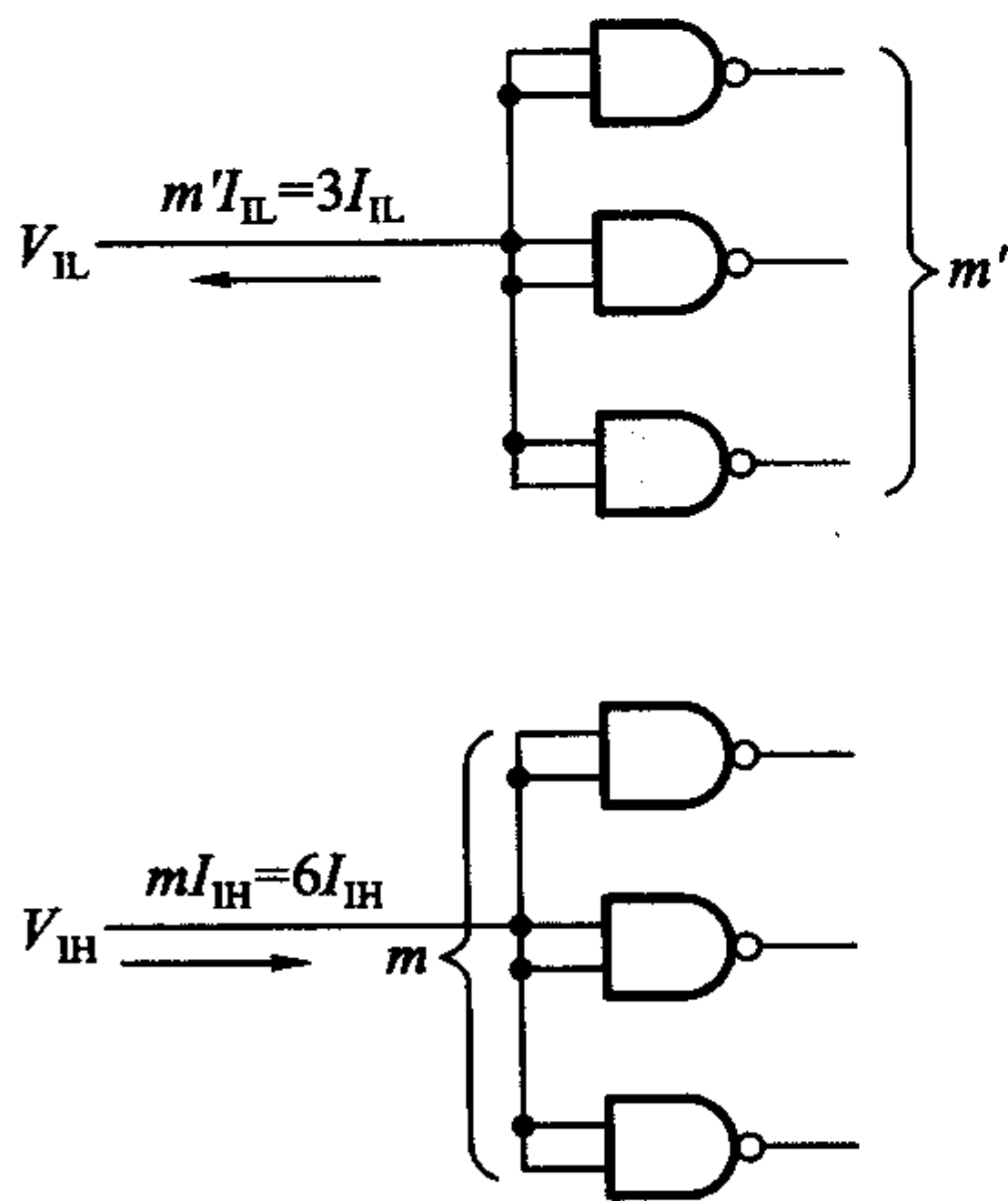


图 3.5.35 与输入端并联时的总输入电流

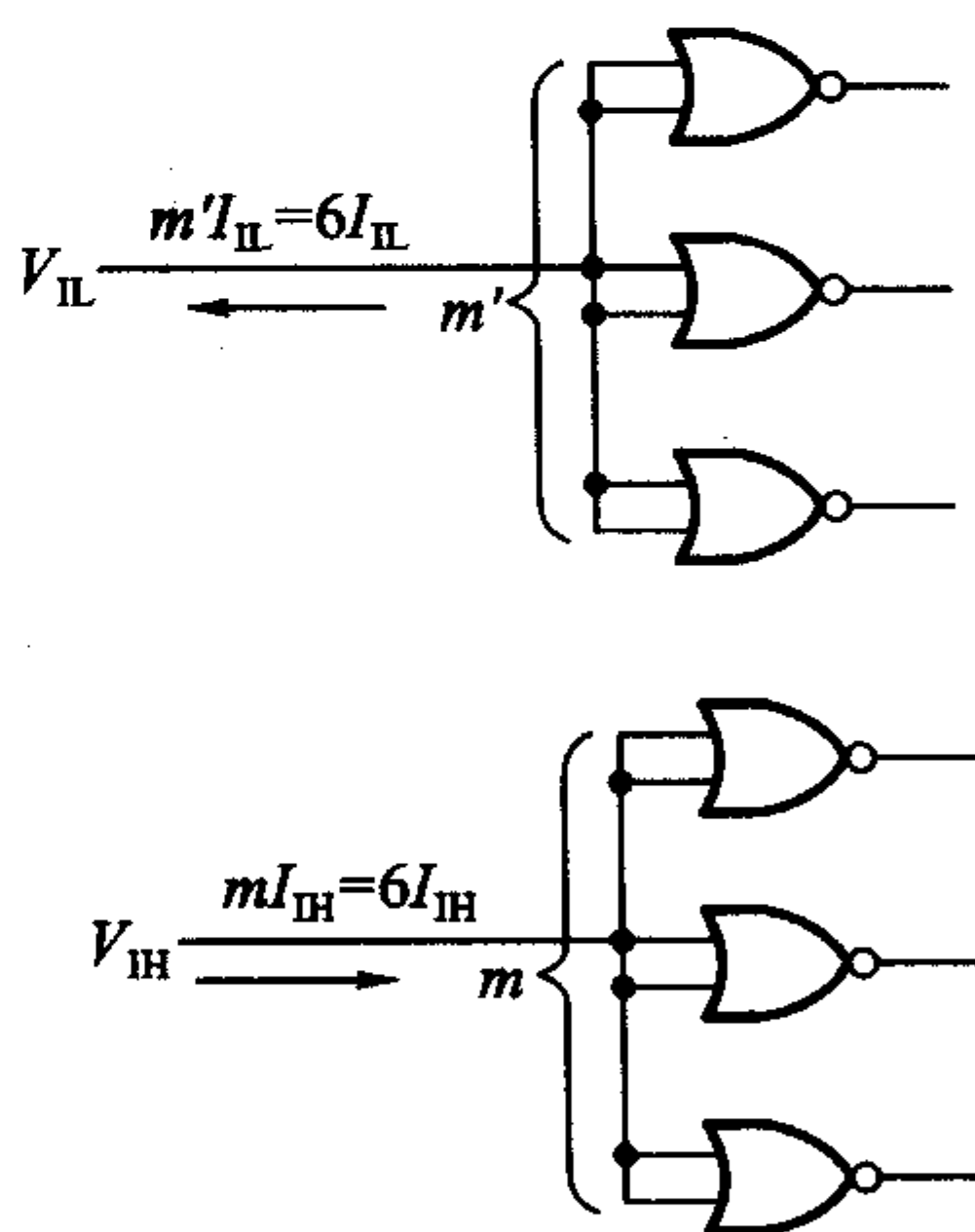


图 3.5.36 或输入端并联时的总输入电流

【例 3.5.5】 试为图 3.5.37 电路中的外接负载电阻 R_L 选定合适的阻值。已知 G_1 、 G_2 为 OC 门, 输出管截止时的漏电流为 $I_{OH} = 200 \mu A$, 输出管导通时允许的最大负载电流为 $I_{OL(\max)} = 16 mA$ 。 G_3 、 G_4 和 G_5 均为 74 系列与非门, 它们的低电平输入电流为 $I_{IL} = -1 mA$, 高电平输入电流为 $I_{IH} = 40 \mu A$ 。给定 $V_{CC} = 5 V$, 要求 OC 门输出的高电平 $V_{OH} \geq 3.0 V$, 低电平 $V_{OL} \leq 0.4 V$ 。