

解：根据式(3.3.8),得

$$R_{L(\max)} = \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}}$$

$$= \frac{5 - 3}{2 \times 0.2 + 9 \times 0.04} \text{ k}\Omega = 2.63 \text{ k}\Omega$$

又由式(3.3.9)可得到

$$R_{L(\min)} = \frac{V_{CC} - V_{OL}}{I_{OL(\max)} - m'|I_{IL}|}$$

$$= \frac{5 - 0.4}{16 - 3 \times 1} \text{ k}\Omega$$

$$= 0.35 \text{ k}\Omega$$

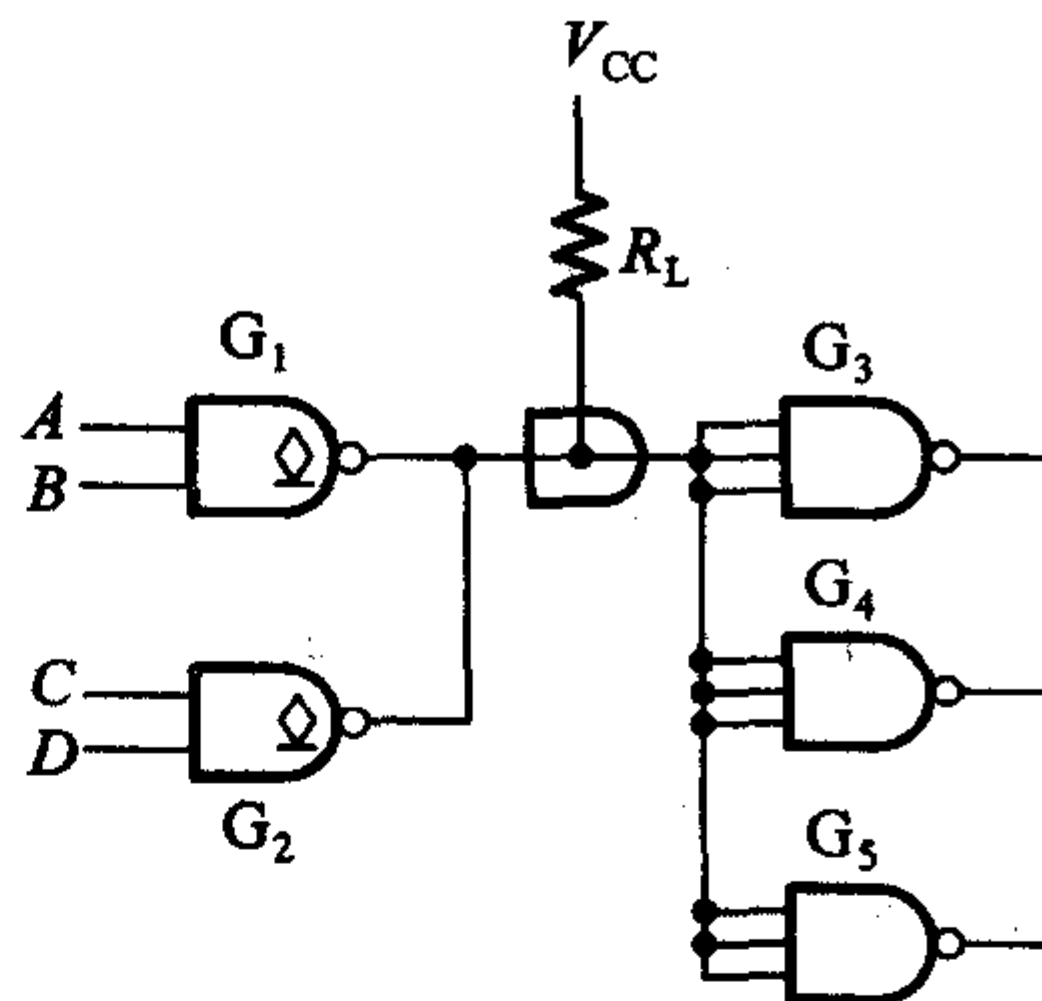


图 3.5.37 例 3.5.5 的电路

选定的 R_L 值应在 $2.63 \text{ k}\Omega$ 与 $0.35 \text{ k}\Omega$ 之间,故取

$$R_L = 1 \text{ k}\Omega$$

三、三态输出门电路(TS 门)

在 TTL 电路中同样也有一种三态输出结构的门电路。TTL 电路中的三态输出是在普通门电路的基础上附加控制电路而构成的。

图 3.5.38 是 TTL 三态输出门的电路结构图及图形符号,其中图(a)电路的

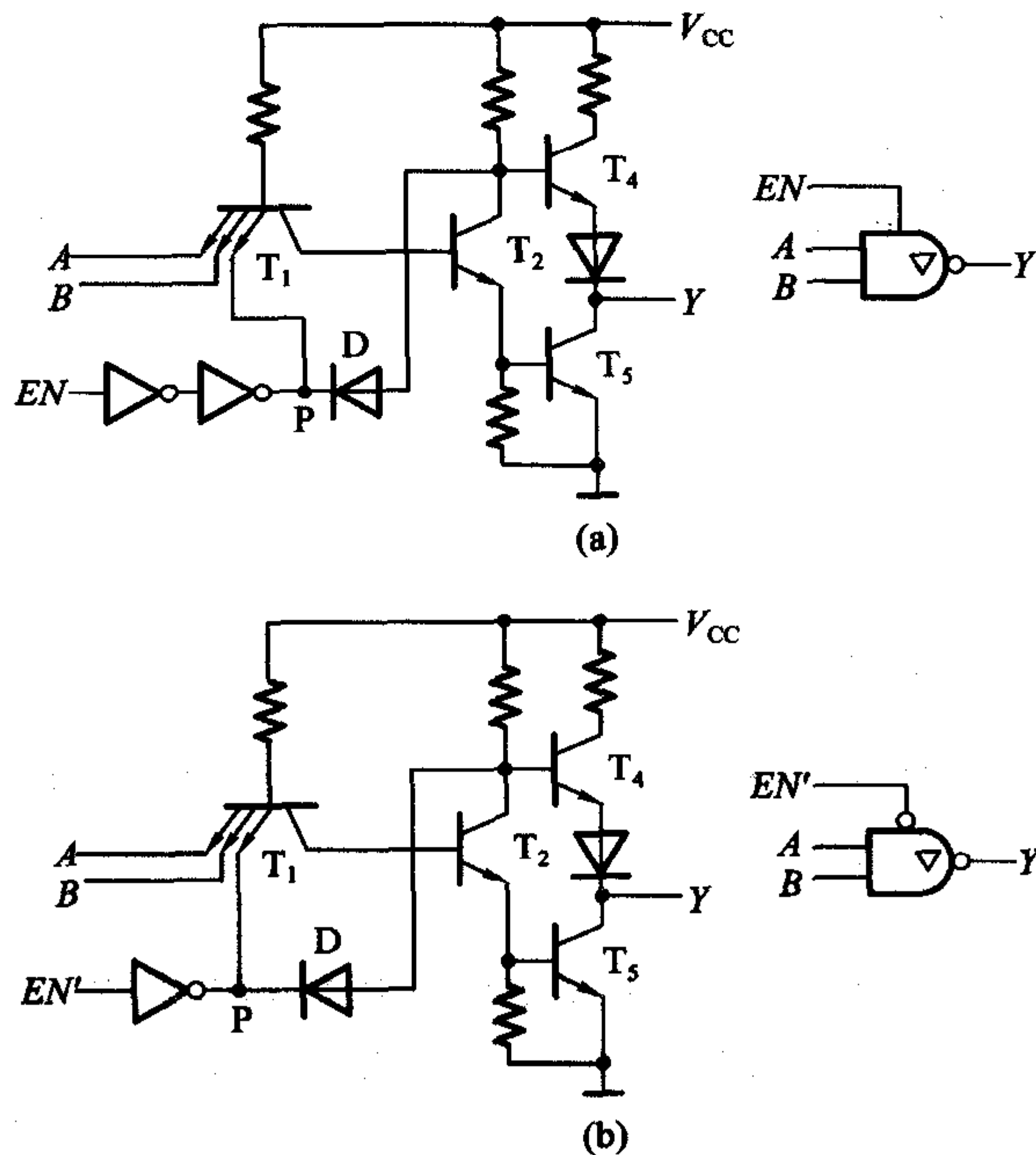


图 3.5.38 三态输出门的电路图和图形符号

(a) 控制端高电平有效 (b) 控制端低电平有效

控制端 EN 为高电平时 ($EN = 1$), P 点为高电平, 二极管 D 截止, 电路的工作状态和普通的与非门没有区别。这时 $Y = (A \cdot B)'$, 可能是高电平也可能是低电平, 视 A 、 B 的状态而定。而当控制端 EN 为低电平时 ($EN = 0$), P 点为低电平, T_5 截止。同时, 二极管 D 导通, T_4 的基极电位被钳在 0.7 V , 使 T_4 截止。由于 T_4 、 T_5 同时截止, 所以输出端呈高阻状态。

因为图 3.5.38(a) 电路在 $EN = 1$ 时为正常的与非工作状态, 所以称为控制端高电平有效。而在图 3.5.38(b) 电路中, $EN' = 0$ 时为工作状态, 故称这个电路为控制端低电平有效。

三态输出门的应用已经在 CMOS 三态输出门的应用中介绍过, 这里不再重复。

复习思考题

R3.5.7 TTL 与非门输入端并联时总的输入电流的计算方法和或非门输入端并联时总的输入电流的计算方法有何不同?

R3.5.8 OC 门外接负载电阻允许阻值的计算和 OD 门外接负载电阻允许阻值的计算有何区别?

3.5.6 TTL 数字集成电路的各种系列

TI 公司最初生产的 TTL 电路取名为 SN54/74 系列, 我们称它为 TTL 基本系列。(54 系列和 74 系列的区别主要在于工作环境温度范围和电源允许的变化范围不同。后来在高速 CMOS 集成电路中沿用了这种命名方法。) 为了满足提高工作速度和降低功耗的需要, 继 54/74 系列之后又相继生产了 74H、74L、74S、74LS、74AS、74ALS、74F 等改进系列。

74H(High-speed TTL) 系列和 74L(Low-power TTL) 系列是早期曾经采用过的两种改进系列。74H 系列通过减小电路中各个电阻的阻值缩短了传输延迟时间, 但同时也增加了功耗。74L 系列则通过加大电路中各个电阻的阻值降低了功耗, 可是又增加了传输延迟时间。可见, 这两种改进系列都不能满足既降低功耗又减少传输延迟时间的要求。如果用传输延迟时间和功耗的乘积(delay-power product, 简称 dp 积) 表示门电路的综合性能, 那么 74H 和 74L 系列的 dp 积并未减小, 说明它们的综合性能并未获得改善。因此, 这两种改进系列不久即被淘汰。

74S(Schottky TTL) 系列又称肖特基系列。通过对 74 系列门电路动态过程

的分析看到,三极管导通时工作在深度饱和状态是产生传输延迟时间的一个主要原因。如果能使三极管导通时避免进入深度饱和状态,那么传输延迟时间将大幅度减小。为此,在 74S 系列的门电路中,采用了抗饱和三极管(或称为肖特基钳位三极管——Schottky-clamped Transistor)。

抗饱和三极管是由普通的双极型三极管和肖特基势垒二极管(Schottky Barrier Diode,简称 SBD)组合而成的,如图 3.5.39 所示。

由于 SBD 的开启电压很低,只有 $0.3 \sim 0.4 \text{ V}$,所以当三极管的 $b-c$ 结进入正向偏置以后,SBD 首先导通,并将 $b-c$ 结的正向电压钳位在 $0.3 \sim 0.4 \text{ V}$ 。使 v_{CE} 保持在 0.4 V 左右,从而有效地制止了三极管进入深度饱和状态。

图 3.5.40 是 74S 系列与非门(74S00)的电路结构图,其中 T_1 、 T_2 、 T_3 、 T_5 和 T_6 都是抗饱和三极管。因为 T_4 的 $b-c$ 结不会出现正向偏置,亦即不会进入饱和状态,所以不必改用抗饱和三极管。电路中仍采用了较小的电阻阻值。

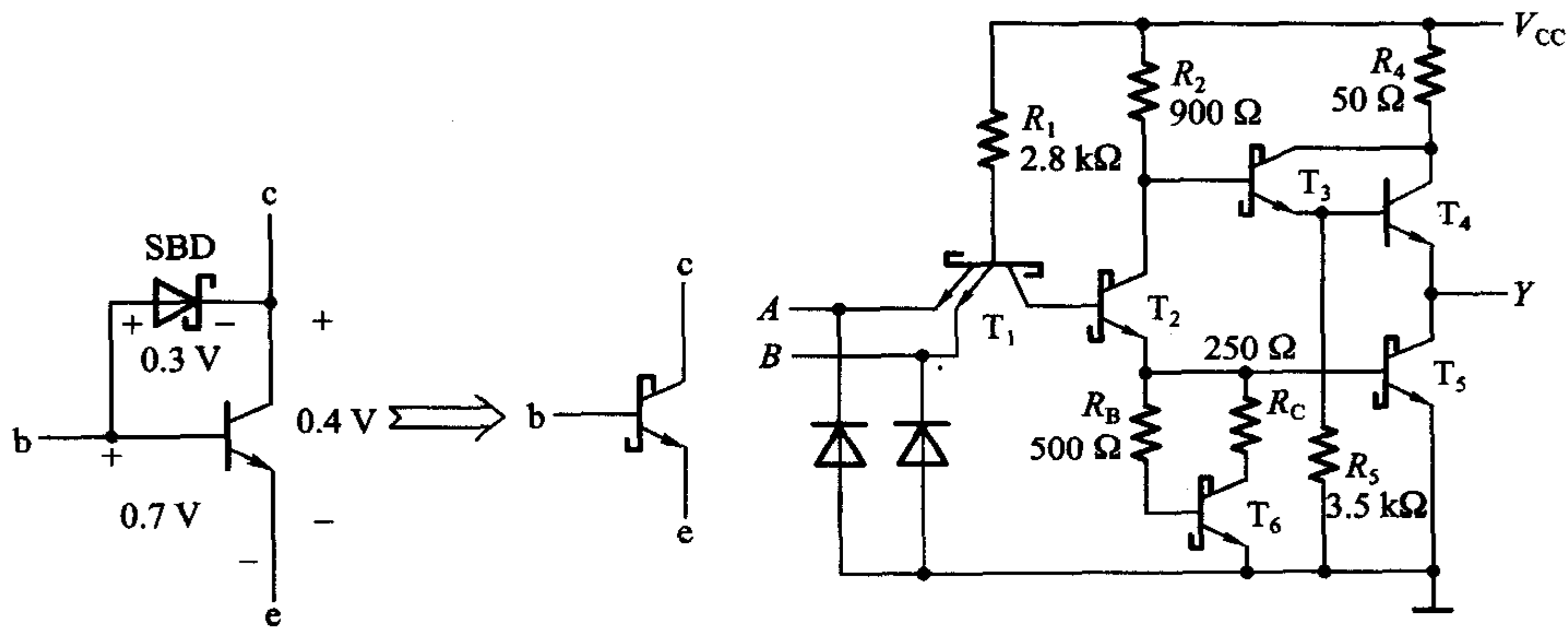


图 3.5.39 抗饱和三极管

图 3.5.40 74S 系列与非门(74S00)的电路结构

电路结构的另一个特点是用 T_6 、 R_B 和 R_C 组成的有源电路代替了 74 系列中的电阻 R_3 ,为 T_5 管的发射结提供了一个有源泄放回路。当 T_2 由截止变为导通的瞬间,由于 T_6 的基极回路中串接了电阻 R_B ,所以 T_5 的基极必然先于 T_6 的基极导通,使 T_2 发射极的电流全部流入 T_5 的基极,从而加速了 T_5 的导通过程。而在稳态下,由于 T_6 导通后产生的分流作用,减少了 T_5 的基极电流,也就减轻了 T_5 的饱和程度,这又有利于加快 T_5 从导通变为截止的过程。

当 T_2 从导通变为截止以后,因为 T_6 仍处于导通状态,为 T_5 的基极提供了一个瞬间的低内阻泄放回路,使 T_5 得以迅速截止。因此,有源泄放回路的存在缩短了门电路的传输延迟时间。

此外,引进有源泄放电路还改善了门电路的电压传输特性。因为 T_2 的发射

过程,又接入了 D_3 、 D_4 这两个 SBD。当输出端由高电平跳变为低电平时, D_4 经 T_2 的集电极和 T_5 的基极为输出端的负载电容提供了另一条放电回路,既加快了负载电容的放电速度,又为 T_5 管增加了基极驱动电流,加速了 T_5 的导通过程。同时, D_3 也通过 T_2 为 T_4 的基极提供一个附加的低内阻放电通路,使 T_4 更快地截止,这也有利于缩短传输延迟时间。由于采用了这一系列的措施,虽然电阻阻值增大了很多,但传输延迟时间仍可达到 74 系列的水平。74LS 系列的延迟-功耗积仅为 74 系列的五分之一,74S 系列的三分之一。

74LS 系列门电路的电压传输特性也没有线性区,而且阈值电压要比 74 系列低,约为 1 V 左右。

74AS(Advanced Schottky TTL)系列是为了进一步缩短传输延迟时间而设计的改进系列。它的电路结构与 74LS 系列相似,但是电路中采用了很低的电阻阻值,从而提高了工作速度。它的缺点是功耗较大,比 74S 系列的功耗还略大一些。

74ALS(Advanced Low-power Schottky TTL)系列是为了获得更小的延迟-功耗积而设计的改进系列,它的延迟-功耗积是 TTL 电路所有系列中最小的一种。为了降低功耗,电路中采用了较高的电阻阻值。同时,通过改进生产工艺缩小了内部各个器件的尺寸,获得了减小功耗、缩短延迟时间的双重收效。此外,在电路结构上也做了局部的改进。

74F(Fast TTL)系列在速度和功耗两方面都介于 74AS 和 74ALS 系列之间。因此,它为设计人员提供了一种在速度与功耗之间折中的选择。

在过去相当长的一段时间里 74LS 系列曾经是 TTL 的主流系列。有人预测在不远的将来 74ALS 系列将取代 74LS 系列而成为 TTL 电路的主流产品。

表 3.5.1 中列出了 TTL 电路不同系列的四 2 输入与非门($74 \times \times 00$)的主要性能参数。对于不同系列的 TTL 电路和高速 CMOS 电路产品,只要型号最后的数字相同,它们的逻辑功能就是一样的,但是电气性能参数就大不相同了。因此,它们之间不是任何情况下都可以互相替换的。

表 3.5.1 各种系列 TTL 电路($74 \times \times 00$)特性参数比较

参数名称与符号	系 列					
	74	74S	74LS	74AS	74ALS	74F
输入低电平最大值 $V_{IL(max)}/V$	0.8	0.8	0.8	0.8	0.8	0.8
输出低电平最大值 $V_{OL(max)}/V$	0.4	0.5	0.5	0.5	0.5	0.5
输入高电平最小值 $V_{IH(min)}/V$	2.0	2.0	2.0	2.0	2.0	2.0

续表

参数名称与符号	系 列					
	74	74S	74LS	74AS	74ALS	74F
输出高电平最小值 $V_{OH(min)}/V$	2.4	2.7	2.7	2.7	2.7	2.7
低电平输入电流最大值 $I_{IL(max)}/mA$	-1.0	-2.0	-0.4	-0.5	-0.2	-0.6
低电平输出电流最大 $I_{OL(max)}/mA$	16	20	8	20	8	20
高电平输入电流最大值 $I_{IH(max)}/\mu A$	40	50	20	20	20	20
高电平输出电流最大值 $I_{OH(max)}/mA$	-0.4	-1.0	-0.4	-2.0	-0.4	-1.0
传输延迟时间 t_{pd}/ns	9	3	9.5	1.7	4	3
每个门的功耗/mW	10	19	2	8	1.2	4
延迟 - 功耗积 pd/pJ	90	57	19	13.6	4.8	12

* 3.6 其他类型的双极型数字集成电路

在双极型的数字集成电路中,除了 TTL 电路以外,还有二极管 - 三极管逻辑(Diode-Transistor Logic,简称 DTL)、高阈值逻辑(High Threshold Logic,简称 HTL)、发射极耦合逻辑(Emitter Coupled Logic,简称 ECL)和集成注入逻辑(Integrated Injection Logic,简称 I^2L)等几种逻辑电路。

DTL 是早期采用的一种电路结构形式,它的输入端是二极管结构而输出端是三极管结构。因为它的工作速度比较低,所以不久便被 TTL 电路取代了。

HTL 电路的特点是阈值电压比较高。当电源电压为 15V 时,阈值电压达 7~8V。因此,它的噪声容限比较大,有较强的抗干扰能力。HTL 电路的主要缺点是工作速度比较低,曾经用在对工作速度要求不高而对抗干扰性能要求较高的一些工业控制设备中。目前它已经完全为 CMOS 电路所取代。

下面仅对 ECL 和 I^2L 两种电路的工作原理和主要特点做简略介绍。

3.6.1 ECL 电路

一、ECL 电路的结构与工作原理

ECL 是一种非饱和型的高速逻辑电路。图 3.6.1 为 ECL 或/或非门的典型电路和逻辑符号。因为图中 T_5 管的输入信号是通过发射极电阻 R_E 耦合过来的, 所以将这种电路称为发射极耦合逻辑电路。

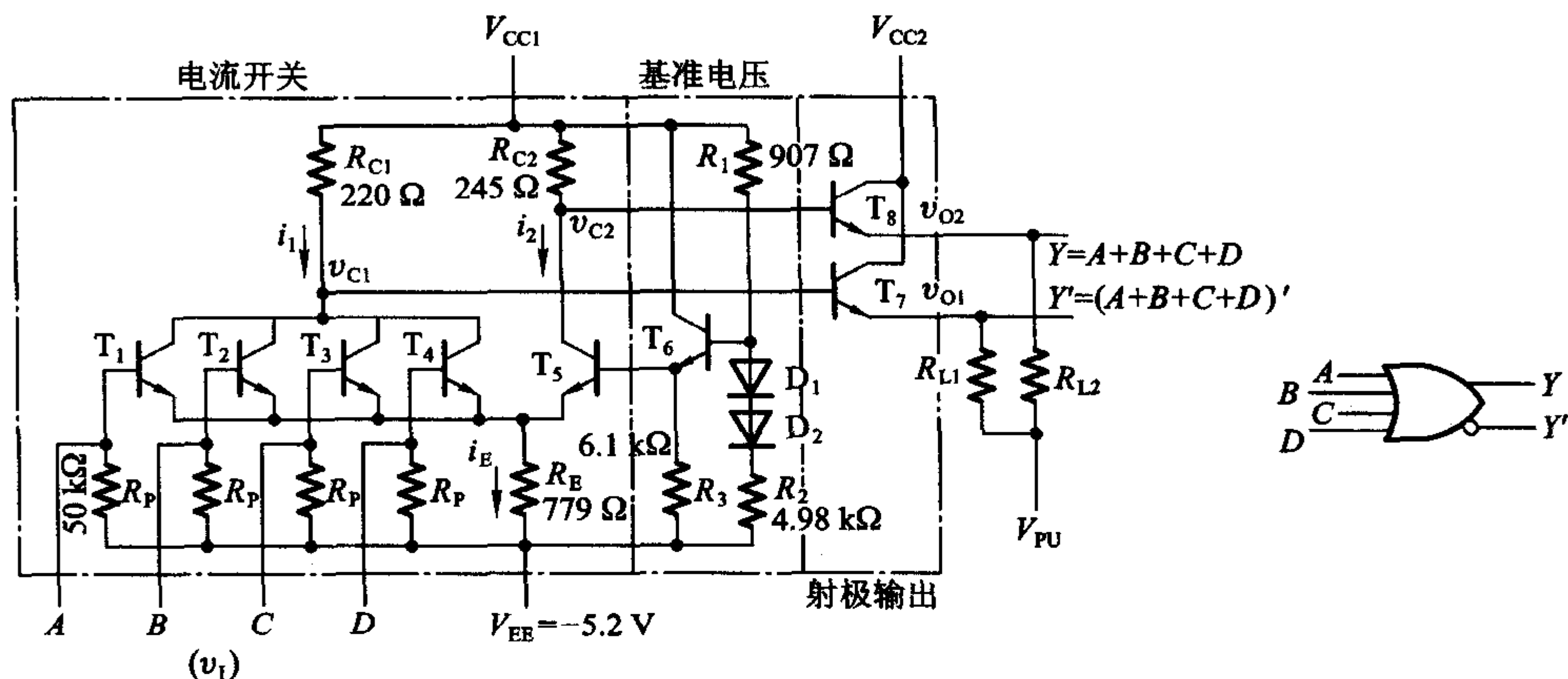


图 3.6.1 ECL 或/或非门的电路及逻辑符号

这个电路可以按图中的虚线所示划分成三个组成部分：电流开关、基准电压源和射极输出电路。

正常工作时取 $V_{EE} = -5.2\text{ V}$, $V_{CC1} = V_{CC2} = 0\text{ V}$, T_6 管发射极给出的基准电压 $V_{BB} = -1.3\text{ V}$, 输入信号的高、低电平各为 $V_{IH} = -0.92\text{ V}$ 、 $V_{IL} = -1.75\text{ V}$ 。

当全部输入端同时接低电平时, $T_1 \sim T_4$ 的基极都是 -1.75 V , 而此时 T_5 的基极电平更高些 (-1.3 V), 故 T_5 导通并将发射极电平钳位在 $v_E = V_{BB} - V_{BE} = -2.07\text{ V}$ (假定发射结的正向导通压降为 0.77 V)。这时 $T_1 \sim T_4$ 的发射结上只有 0.32 V , 故 $T_1 \sim T_4$ 同时截止, v_{C1} 为高电平而 v_{C2} 为低电平。

当输入端有一个 (假定为 A) 接至高电平时, T_1 的基极为 -0.92 V , 高于 V_{BB} , 所以 T_1 一定导通, 并将发射极电平钳位在 $v_E = v_1 - V_{BE} = -1.69\text{ V}$ 。此时加到 T_5 发射结上的电压只有 0.4 V , 故 T_5 截止, v_{C1} 为低电平而 v_{C2} 为高电平。

由于 $T_1 \sim T_4$ 的输出回路是并联在一起的, 所以只要其中有一个输入端接高电平, 就能使 v_{C1} 为低电平而 v_{C2} 为高电平。因此, v_{C1} 与各输入端之间的逻辑关系是或非, v_{C2} 与各输入端之间的逻辑关系是或。

然而在图 3.6.1 给定的参数下, v_{C1} 和 v_{C2} 的高、低电平不等于输入信号的高、

低电平,因而无法直接作为下一级门电路的输入信号。为此,又在电路的输出端增设了由 T_7 和 T_8 组成的两个射极输出电路,以便把 v_{c1} 和 v_{c2} 的高、低电平转换成 -0.92V 和 -1.75V 。

基准电压源是由 T_6 组成的射极输出电路,它为 T_5 的基极提供固定的基准电平。为了补偿 V_{BE6} 的温度飘移,还在 T_6 的基极回路里接入了两个二极管 D_1 和 D_2 。

图中的 R_L 为外接的负载电阻, V_{PU} 为牵引电源。 V_{PU} 可以取成 V_{EE} , 也可以取不同于 V_{EE} 的数值。

图 3.6.2 是图 3.6.1 所示 ECL 或/或非门的电压传输特性,曲线的转折区发生在 $v_i = -1.2 \sim -1.4\text{V}$ 的地方。转折区的中点在 $v_i = V_{BB}$ 处,这时 v_{c1} 与 v_{c2} 基本相等,因而 v_{o1} 与 v_{o2} 也相差无几。

二、ECL 电路的主要特点

与 TTL 电路相比,ECL 电路有如下几个优点:

第一,ECL 电路是目前各种数字集成电路中工作速度最快的一种。根据图 3.6.1 中的电路参数不难算出, $T_1 \sim T_4$ 导通时集电结电压 $V_{CB} \approx 0\text{V}$, T_5 导通时集电结电压 $V_{CB} \approx 0.3\text{V}$,即导通时均未进入饱和状态,这就从根本上消除了由于饱和导通而产生的电荷存储效应。同时,由于电路中电阻阻值取得很小,逻辑摆幅(高、低电平之差)又低,从而有效地缩短了电路各节点电位的上升时间和下降时间。目前 ECL 门电路的传输延迟时间已能缩短至 0.1ns 以内。

第二,因为输出端采用了射极输出结构,所以输出内阻很低,带负载能力很强。国产 CE10K 系列门电路的扇出系数(能驱动同类门电路的数目)达 90 以上。

第三,由于 $i_{c1 \sim c4}$ 和 i_{c5} 的大小设计得近乎相等,所以在电路开关过程中电源电流变化不大,电路内部的开关噪声很低。

第四,ECL 电路多设有互补的输出端,同时还可以直接将输出端并联以实现线或逻辑功能,因而使用时十分方便、灵活。

然而,ECL 电路的缺点也是很突出的,这主要表现在:

第一,功耗大。由于电路里的电阻阻值都很小,而且三极管导通时又工作在非饱和状态,所以功耗很大。每个门的平均功耗可达 100mW 以上。从一定的意义上说,可以认为 ECL 电路的高速度是用多消耗功率的代价换取的。而且,功耗过大也严重地限制了集成度的提高。

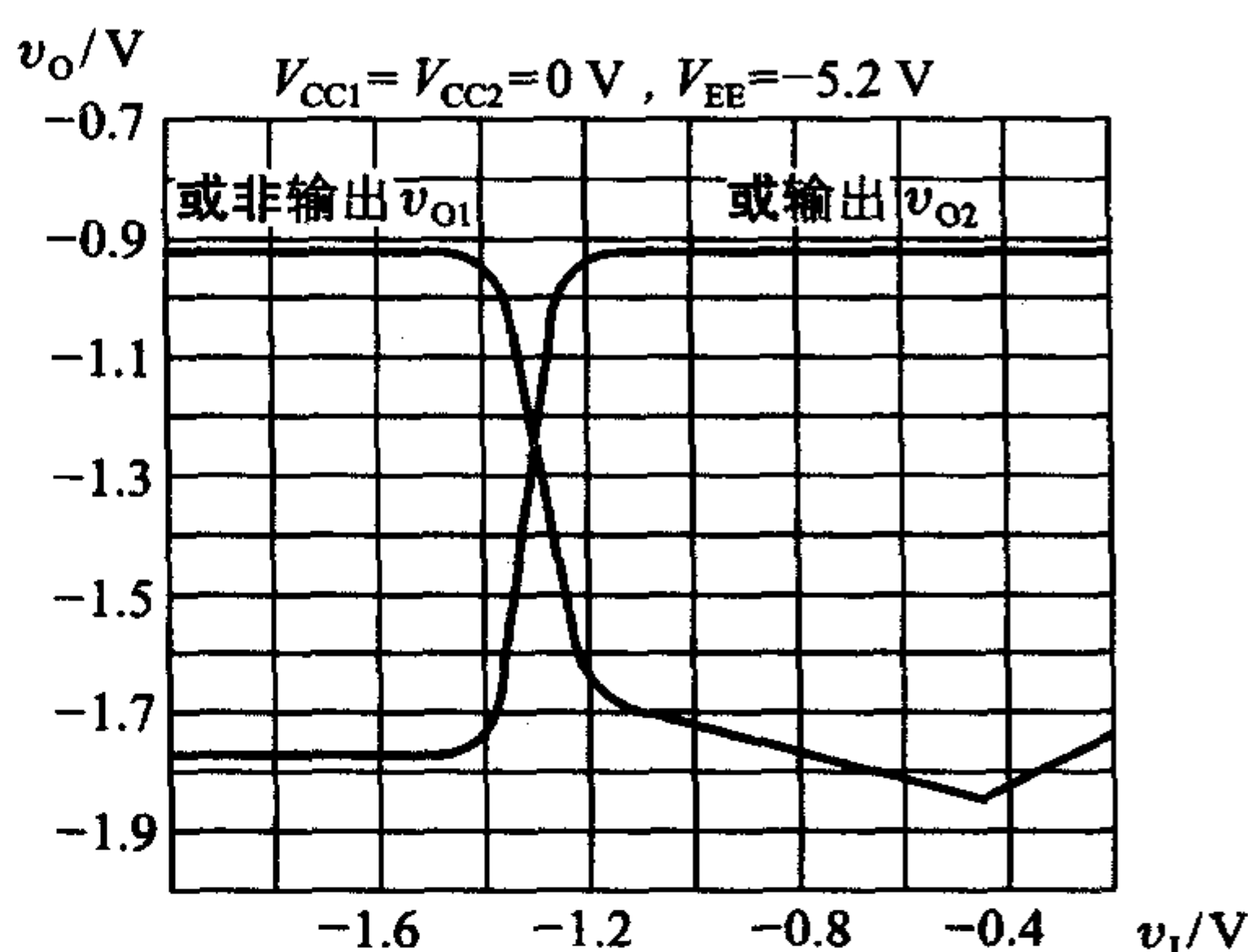


图 3.6.2 ECL 或/或非门的电压传输特性

第二,输出电平的稳定性较差。因为电路中的三极管导通时处于非饱和状态,而且输出电平又直接与 T_7 、 T_8 的发射结压降有关,所以输出电平对电路参数的变化以及环境温度的改变都比较敏感。

第三,噪声容限比较低。ECL 电路的逻辑摆幅只有 0.8V,直流噪声容限仅 200 mV 左右,因此抗干扰能力较差。

目前 ECL 电路的产品只有中、小规模集成电路,主要用在高速、超高速的数字系统和设备当中。

3.6.2 I^2L 电路

为了提高集成度以满足制造大规模集成电路的需要,不仅要求每个逻辑单元的结构非常简单,而且要求降低单元电路的功耗。显然,无论 TTL 电路还是 ECL 电路都不具备这两个条件。而 20 世纪 70 年代初研制成功的 I^2L 电路则具备了电路结构简单、功耗低的特点,因而特别适于制成大规模集成电路。

一、 I^2L 电路的结构与工作原理

I^2L 电路的基本单元是由一只多集电极三极管构成的反相器,反相器的偏流由另一只三极管提供。图 3.6.3 给出了 I^2L 基本逻辑单元的结构示意图和电路的表示方法。图(a)中虚线右边部分是作为反相器用的多集电极纵向 NPN 型三极管 T,左边部分的横向 PNP 型三极管 T' 用于为反相器提供基极偏流 I_0 。

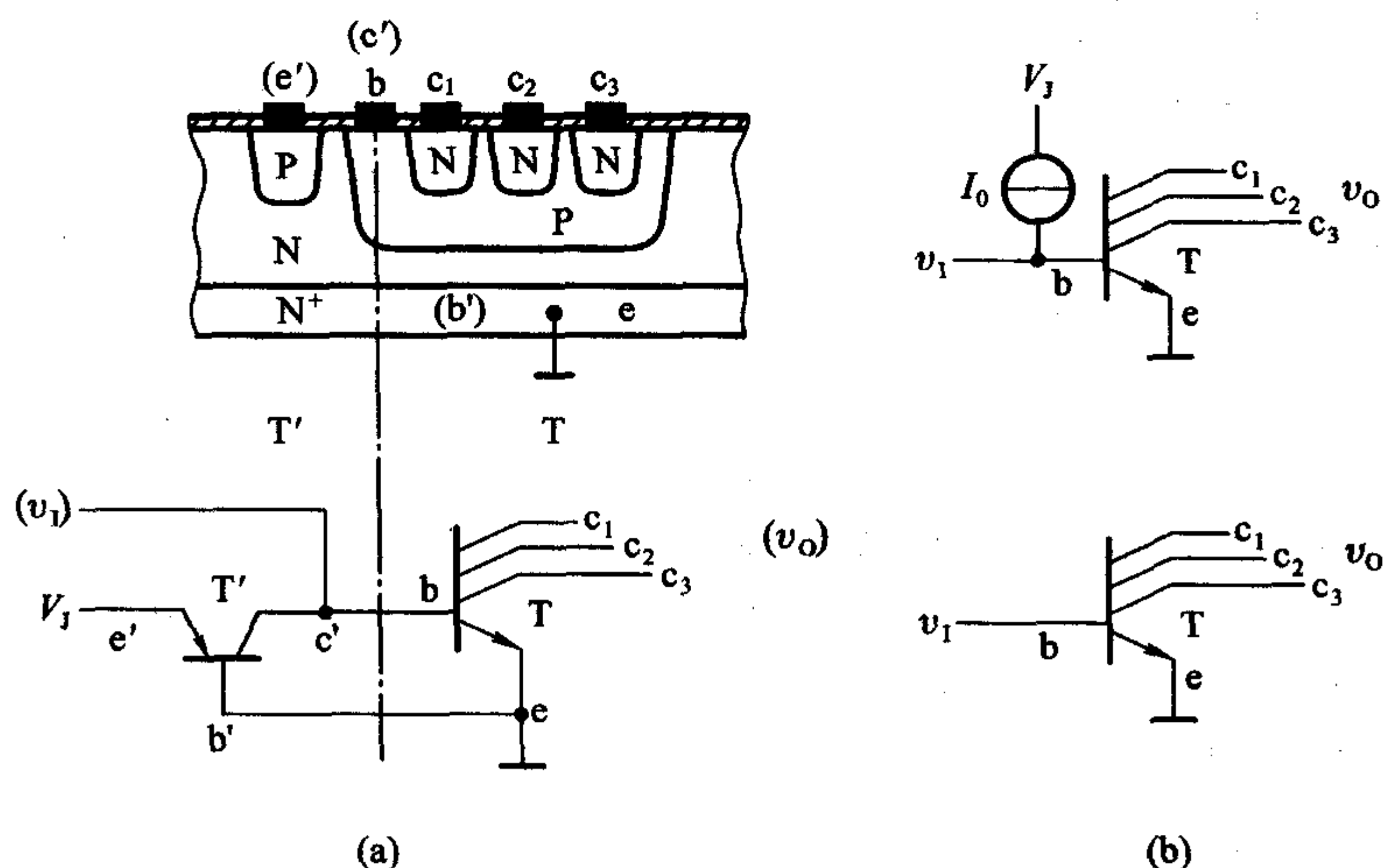


图 3.6.3 I^2L 电路的基本逻辑单元

(a) 结构和电路图 (b) 简化的电路图

由于 T' 的基极接地而发射极接到固定的电源 V_j 上,所以它工作在恒流状

态。电源 V_j 向 T' 的发射极注入电流, 然后经 T' 的集电极送到三极管 T 的基极去。因此, 将 e' 称为注入端, 将这种电路称为集成注入逻辑电路。为了画图的方便, 常常使用图 3.6.3(b) 所示的简化画法, 即用恒流源 I_0 代替 T' , 有时连这个恒流源也省略不画。在实际的电路中, PNP 管也做成多集电极形式, 以使用同一只多集电极的 PNP 管驱动多只 NPN 三极管。

NPN 管的基极作为信号输入端, 当输入电压 $v_i = 0$ 时, I_0 从输入端流出, T 截止, c_1 、 c_2 、 c_3 输出高电平(这里假定 c_1 、 c_2 、 c_3 分别经过负载电阻接至正电源)。反之, 当输入端悬空或经过大电阻接地时, T 饱和导通, c_1 、 c_2 、 c_3 输出低电平。可见, 任何一个输出端与输入端之间都是反相的逻辑关系。

I^2L 电路的这种多集电极输出结构在构成复杂的逻辑电路时十分方便。我们可以通过线与方式把几个门的输出端并联, 以获得所需要的逻辑功能。图 3.6.4 中给出了 I^2L 电路或/或非门的电路图。

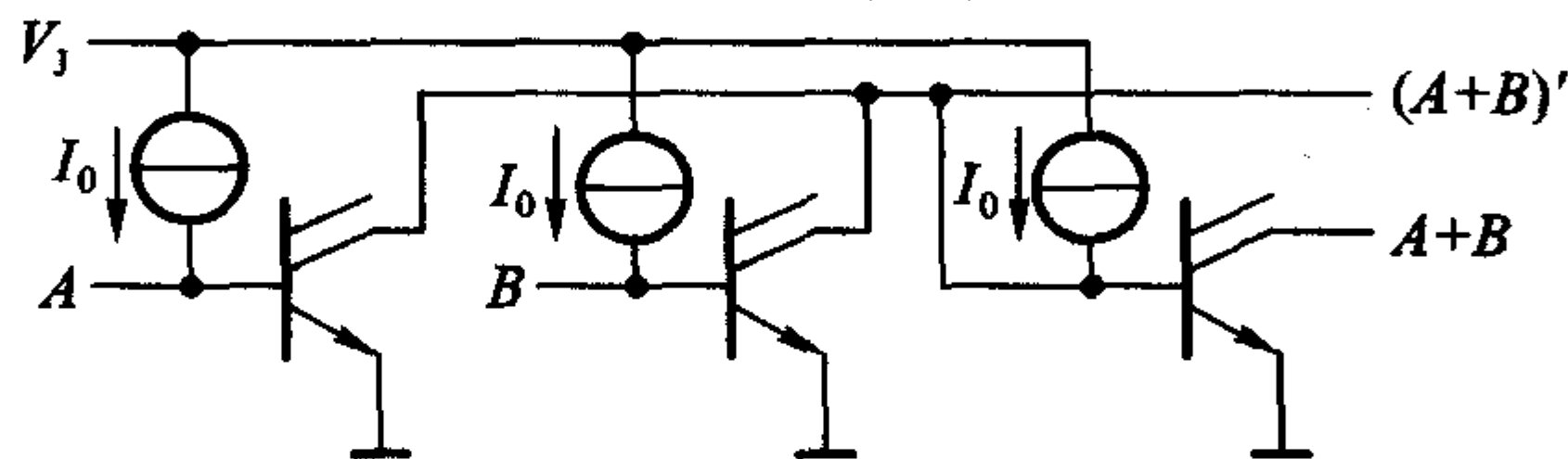


图 3.6.4 I^2L 或/或非门电路

二、 I^2L 电路的主要特点

I^2L 电路的优点突出地表现在以下几个方面:

第一, 它的电路结构简单。从上面的讨论中可以看到, I^2L 的基本逻辑单元仅包含一个 NPN 管和一个 PNP 管, 而 PNP 管又能作成多集电极形式为许多单元电路所共用。同时, 电路中没有电阻元件, 这样既节省了所占的硅片面积又降低了电路的功耗。

此外, 由于采用了图 3.6.3(a) 所示的并合三极管结构(即在半导体硅片的同一区域里同时制作 NPN 和 PNP 三极管而互相间不需要任何隔离和连线), 进一步缩小了每个单元电路所占的面积。因此, 也将 I^2L 电路称为并合三极管逻辑(Merged Transistor Logic, 简称 MTL)电路。

第二, 各逻辑单元之间不需要隔离。从图 3.6.4 可以看到, I^2L 电路中所有单元的 NPN 管的发射极是接在一起的。在制作这些单元电路时, 只需在公共的 N 型衬底上分别制作一个个的 P 型区, 再于每个 P 型区上制作几个 N 型区就行了。这样不仅简化了工艺, 又节省了在单元之间设置隔离槽所占用的硅片面积。

第三, I^2L 电路能够在低电压、微电流下工作。由图 3.6.3(a) 可知, 只要电压 V_j 大于 T' 的饱和导通压降 $V'_{CE(sat)}$ 和 T 的发射结导通压降 V_{BE} 之和, 电路就可