

以工作。因此, I^2L 电路的最低工作电压为

$$V_{J(\min)} = V'_{CE(sat)} + V_{BE} \approx 0.7 \sim 0.8 \text{ V}$$

即可以在 1 V 以下的电源电压下工作。

I^2L 反相器的工作电流可小于 1 nA, 是目前双极型数字集成电路中功耗最低的一种。它的集成度可达到 500 门/ mm^2 以上。

I^2L 电路也有两个严重的缺点:

第一, 抗干扰能力较差。 I^2L 电路的输出信号幅度比较小, 通常在 0.6V 左右, 所以噪声容限低, 抗干扰能力也就很差了。

第二, 开关速度较慢。因为 I^2L 电路属于饱和型逻辑电路, 这就限制了它的工作速度。 I^2L 反相器的传输延迟时间可达 20 ~ 30 ns。

为了弥补在速度方面的缺陷, 对 I^2L 电路不断地进行了改进。通过改进电路和制造工艺已成功地把每级反相器的传输延迟时间缩短到了几纳秒。另外, 利用 I^2L 与 TTL 电路在工艺上的兼容性, 可以直接在 I^2L 大规模集成电路芯片上制作与 TTL 电平相兼容的接口电路, 这就有效地提高了电路的抗干扰能力。

目前 I^2L 电路主要用于制作大规模集成电路的内部逻辑电路, 很少用来制作中、小规模集成电路产品。

* 3.7 Bi-CMOS 电路

Bi-CMOS 是双极型 - CMOS (Bipolar-CMOS) 电路的简称。

这种门电路的特点是逻辑部分采用 CMOS 结构, 输出级采用双极型三极管。因此, 它兼有 CMOS 电路的低功耗和双极型电路低输出内阻的优点。

图 3.7.1 是 Bi-CMOS 反相器的两种电路结构形式。图(a)是结构最简单的一种, 其中两个双极型输出管的基极接有下拉电阻。当 $v_i = V_{IH}$ 时, T_2 和 T_4 导通, T_1 和 T_3 截止, 输出为低电平 V_{OL} 。当 $v_i = V_{IL}$ 时, T_1 和 T_3 导通而 T_2 和 T_4 截止, 输出为高电平 V_{OH} 。

为了加快 T_3 和 T_4 的截止过程, 要求 R_1 和 R_2 的阻值尽量小, 而为了降低功耗, 要求 R_1 和 R_2 的阻值应尽量大, 两者显然是矛盾的。为此, 目前的 Bi-CMOS 反相器多半采用图 3.7.1(b) 所示的电路结构, 以 T_2 和 T_4 取代图 3.7.1(a) 中的 R_1 和 R_2 , 形成有源下拉式结构。当 $v_i = V_{IH}$ 时, T_2 、 T_3 和 T_6 导通, T_1 、 T_4 和 T_5 截止, 输出为低电平 V_{OL} 。当 $v_i = V_{IL}$ 时, T_1 、 T_4 和 T_5 导通, T_2 、 T_3 和 T_6 截止, 输出为高电平 V_{OH} 。由于 T_5 和 T_6 的导通内阻很小, 所以负载电容 C_L 的充、放电时间很短, 从而有效地减小了电路的传输延迟时间。

图 3.7.2 是 Bi-CMOS 与非门的电路原理图。由图可知, 只要 A、B 当中有一

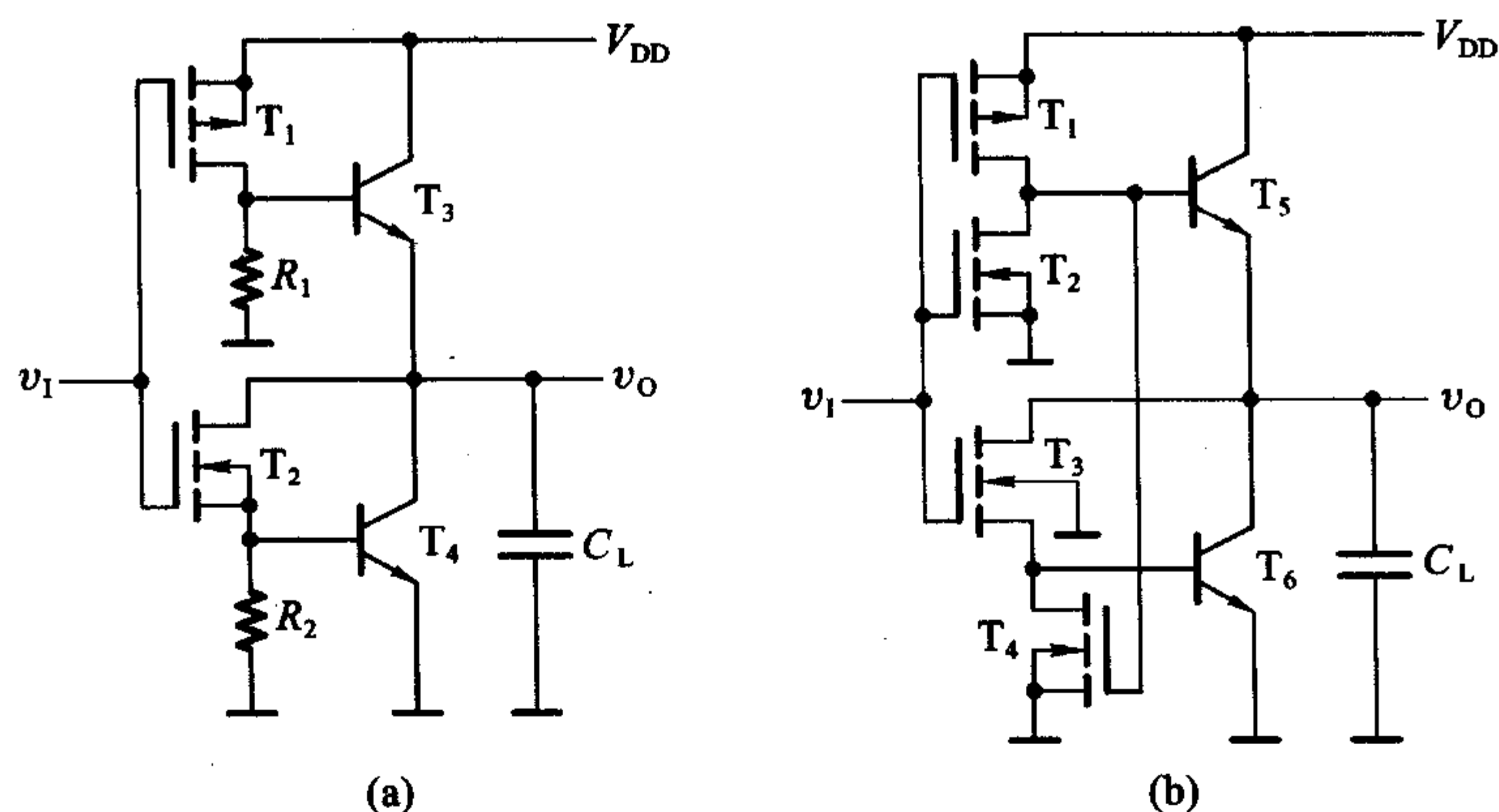


图 3.7.1 Bi-CMOS 反相器

(a) 最简单的电路结构 (b) 常用的电路结构

个为低电平,必然使 T_8 导通、 T_9 截止,输出高电平。只有 A 、 B 同时为高电平,才能使 T_9 导通、 T_8 截止,输出低电平。

Bi-CMOS 或非门的电路结构如图 3.7.3 所示,它的逻辑功能请读者自行分析。

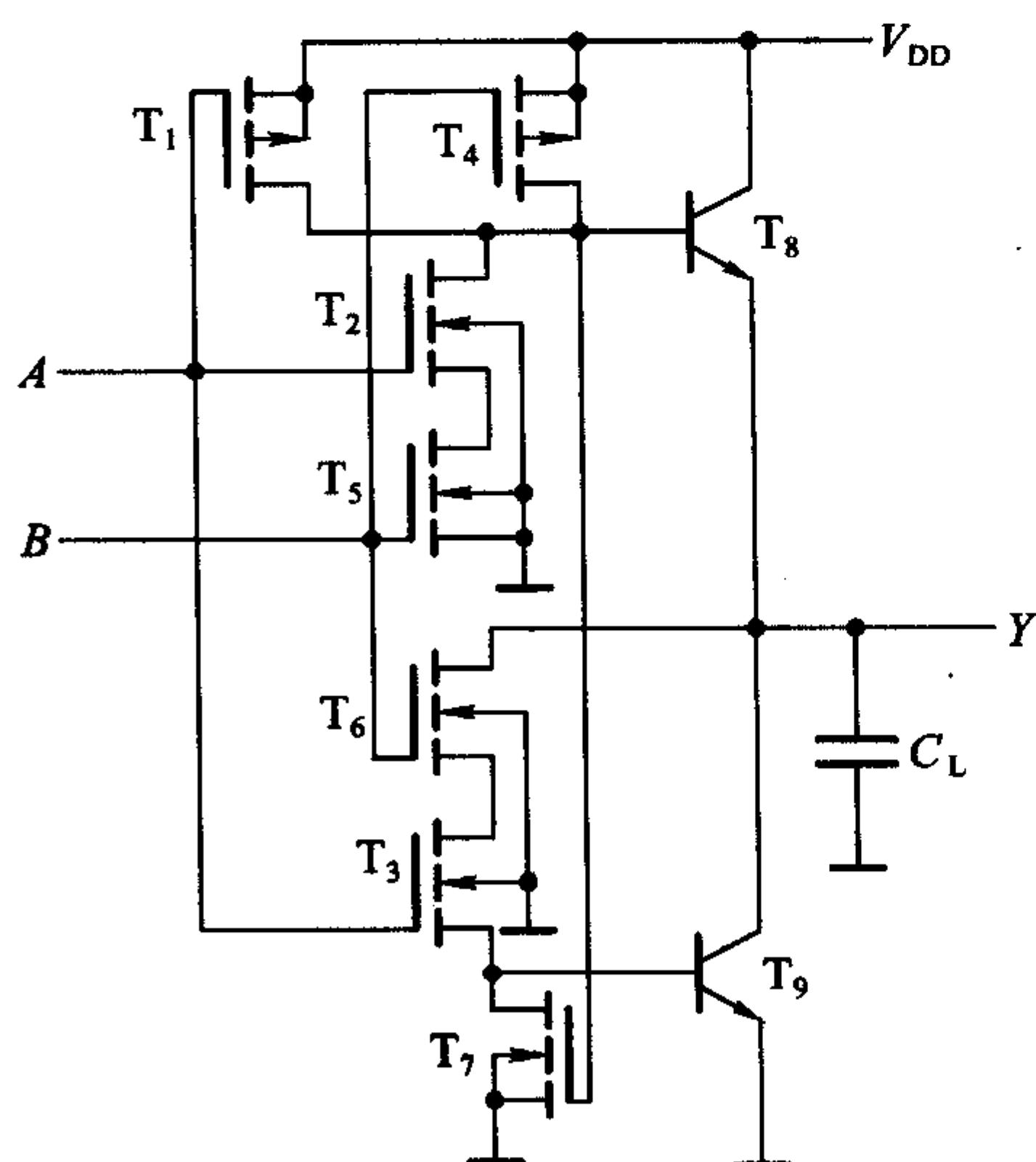


图 3.7.2 Bi-CMOS 与非门电路

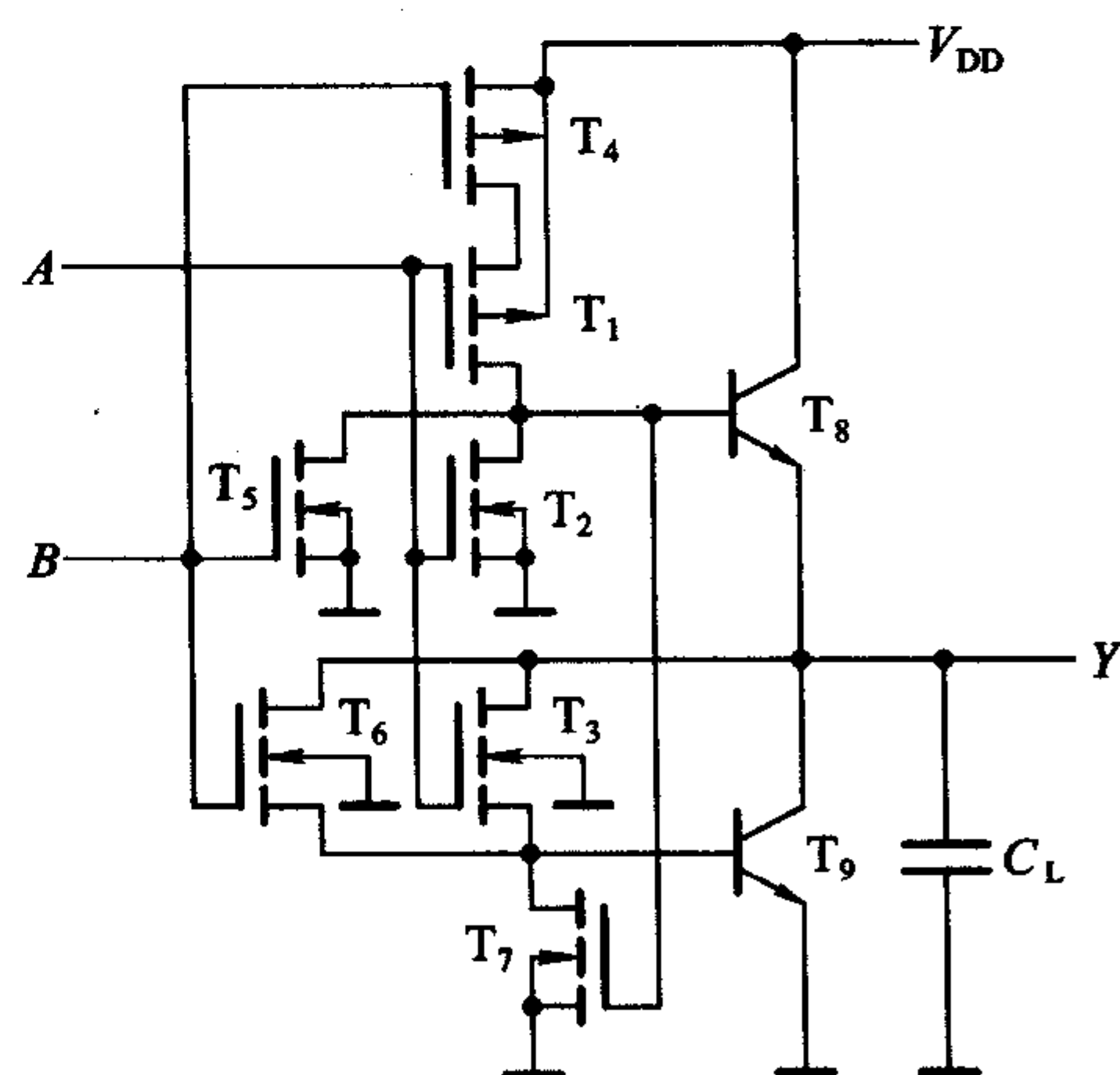


图 3.7.3 Bi-CMOS 或非门电路

从 20 世纪 90 年代起,已经有 Bi-CMOS 系列集成电路产品面市。由 TI 公司

生产的 ABT 逻辑 (Advanced BiCMOS Technology Logic) 系列提供了多种高性能的缓冲/驱动电路, 特别适用于驱动带有重负载的信号线。例如四总线缓冲/驱动门电路 SN74ABT125 中, 每个门的最大驱动电流达 64 mA, 而平均传输延迟时间的典型参数仅为 2.8 ns, 最小值可达 1 ns。

* 3.8 TTL 电路与 CMOS 电路的接口

在目前 TTL 与 CMOS 两种电路并存的情况下, 经常会遇到需将两种器件互相对接的问题。

由图 3.8.1 可知, 无论是用 TTL 电路驱动 CMOS 电路还是用 CMOS 电路驱动 TTL 电路, 驱动门必须能为负载门提供合乎标准的高、低电平和足够的驱动电流, 也就是必须同时满足下列各式

$$\begin{array}{cc} \text{驱动门} & \text{负载门} \\ V_{OH(\min)} \geq V_{IH(\min)} & (3.8.1) \end{array}$$

$$V_{OL(\max)} \leq V_{IL(\max)} \quad (3.8.2)$$

$$|I_{OH(\max)}| \geq n I_{IH(\max)} \quad (3.8.3)$$

$$I_{OL(\max)} \geq m |I_{IL(\max)}| \quad (3.8.4)$$

其中 n 和 m 分别为负载电流中 I_{IH} 、 I_{IL} 的个数。通常将可以驱动负载门的数目称为扇出 (fan-out) 系数。

为便于对照比较, 图 3.8.2 中列出了各种 TTL 和 CMOS 系列门电路在电源电压为 5 V 时的 $V_{OH(\min)}$ 、 $V_{OL(\max)}$ 、 $V_{IH(\min)}$ 和 $V_{IL(\max)}$ 值, 以便于相互比较。

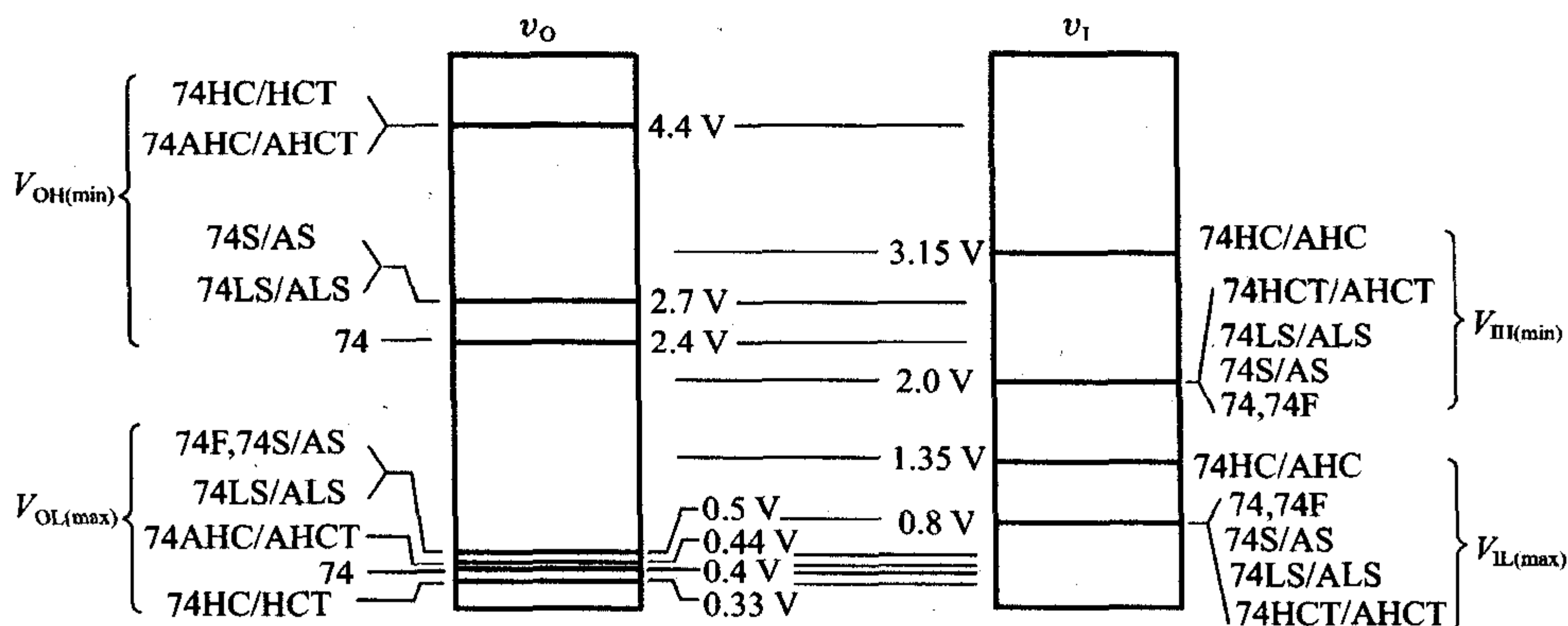


图 3.8.2 各种 CMOS 与 TTL 系列门电路的输出、输入电平

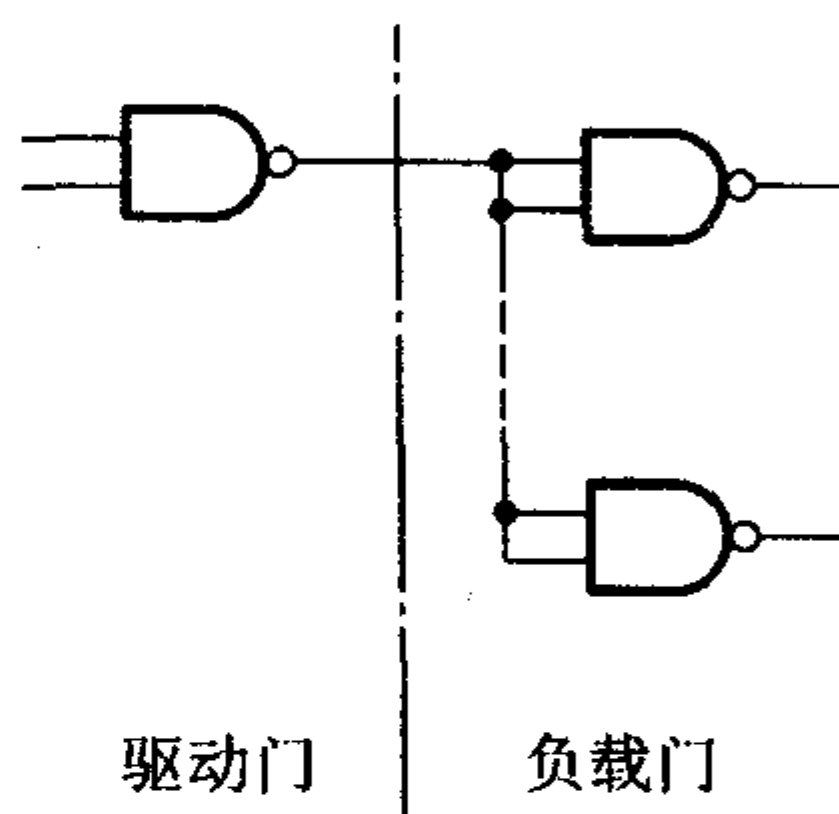


图 3.8.1 驱动门与负载门的连接

一、用 TTL 电路驱动 CMOS 电路

1. 用 TTL 电路驱动 74HC 和 AHC 系列 CMOS 电路

根据表 3.3.2 和表 3.5.1 给出的数据可知,所有 TTL 电路的高电平最大输出电流都在 0.4 mA 以上,低电平最大输出电流都在 8 mA 以上,而 74HC 和 AHC 系列 CMOS 电路的高、低电平输入电流都在 1 μ A 以下。因此,用任何一种系列的 TTL 电路驱动 74HC 和 74AHC 系列 CMOS 电路,都能在 n 、 m 大于 1 的情况下满足式(3.8.3)和式(3.8.4)的要求,并可以由式(3.8.3)和式(3.8.4)求出 n 和 m 的最大允许值。同时,由图 3.8.2 中还可以看到,所有 TTL 系列的 $V_{OL(max)}$ 均低于 74HC 和 74AHC 系列的 $V_{IL(max)} = 1.35$ V,所以也满足式(3.8.2)的要求。然而所有 TTL 系列的 $V_{OH(min)}$ 值都低于 74HC 和 74AHC 系列的 $V_{IH(min)} = 3.15$ V,达不到式(3.8.1)的要求。为此,必须设法将 TTL 电路输出高电平的下限值提高到 3.15 V 以上。

最简单的解决方法是在 TTL 电路的输出端与电源之间接入上拉电阻 R_U ,如图 3.8.3 所示。当 TTL 电路的输出为高电平时,输出级的负载管和驱动管同时截止,故有

$$V_{OH} = V_{DD} - R_U(I_O + nI_{IH}) \quad (3.8.5)$$

式中的 I_O 为 TTL 电路输出级 T_S 管截止时的漏电流。由于 I_O 和 I_{IH} 都很小,所以只要 R_U 的阻值不是特别大,输出高电平将被提升至 $V_{OH} \approx V_{DD}$ 。

在 CMOS 电路的电源电压较高时,它所要求的 $V_{IH(min)}$ 值将超过推拉式输出结构 TTL 电路输出端能够承受的电压。例如,4000 系列 CMOS 电路在 $V_{DD} = 15$ V 时,要求的 $V_{IH(min)} = 11$ V。因此,TTL 电路输出的高电平必须大于 11 V。在这种情况下,应采用集电极开路输出结构的 TTL 门电路(OC 门)作为驱动门。OC 门输出端三极管的耐压较高,可达 30 V 以上。

R_U 取值范围的计算方法与 OC 门外接上拉电阻的计算方法相同,这里不再重复。

2. 用 TTL 电路驱动 74HCT 和 74AHCT 系列 CMOS 门电路

为了能方便地实现直接驱动,通过改进工艺和设计,使 74HCT 和 74AHCT 系列的 $V_{IH(min)}$ 值降至 2V。由图 3.8.2 及表 3.3.2 和表 3.5.1 可知,将 TTL 电路的输出直接接到 74HCT 和 74AHCT 系列电路的输入端时,式(3.8.1)~(3.8.4)全部都能满足。因此,无需外加任何元、器件。

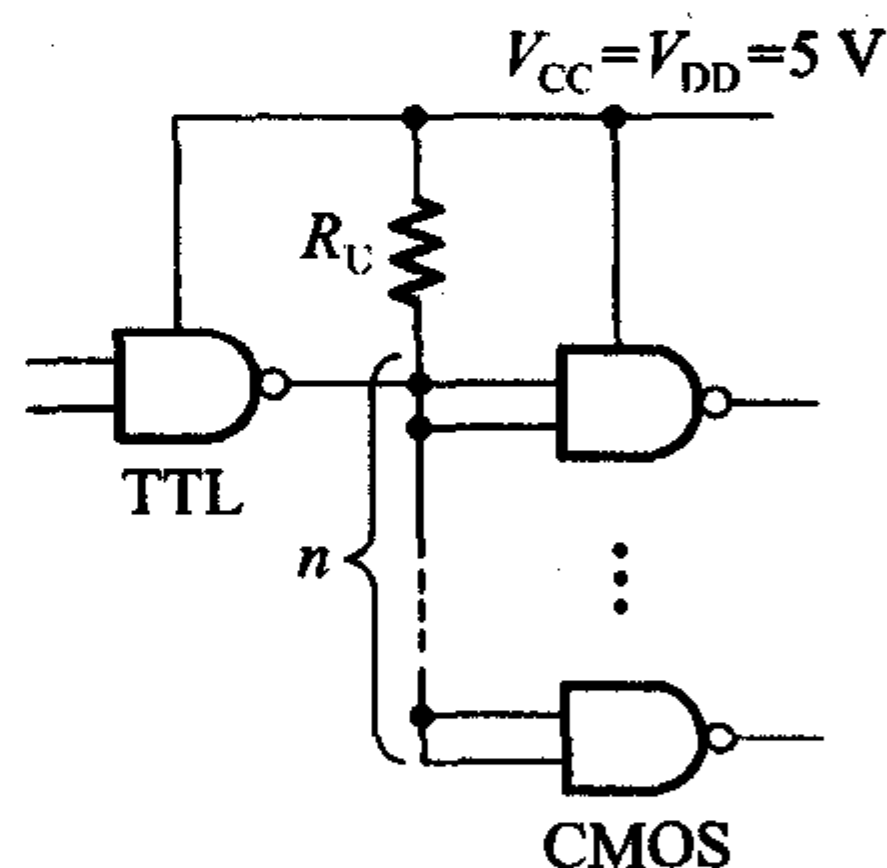


图 3.8.3 用接入上拉电阻提高 TTL 电路输出的高电平

二、用 CMOS 电路驱动 TTL 电路

由表 3.3.2 可知,74HC/74HCT 系列的 $I_{OH(max)}$ 和 $I_{OL(max)}$ 均为 4 mA,74AHC/74AHCT 的 $I_{OH(max)}$ 和 $I_{OL(max)}$ 均为 8 mA。而由表 3.5.1 可知,所有 TTL 电路的 $I_{IH(max)}$ 和 $I_{IL(max)}$ 都在 2 mA 以下,所以无论用 74HC/74HCT 系列还是用 74AHC/74AHCT 系列 CMOS 电路驱动任何系列的 TTL 电路,都能在一定数目的 n 、 m 范围内满足式(3.8.3)和式(3.8.4)的要求。同时,从图 3.8.2 上还可以看到,用 74HC/74HCT 系列或 74AHC/74AHCT 系列 CMOS 电路驱动任何系列的 TTL 电路时,都能满足式(3.8.1)和式(3.8.2)的要求。

因此,无论用 74HC/74HCT 系列还是用 74AHC/74AHCT 系列的 CMOS 电路,都可以直接驱动任何系列的 TTL 电路。可以驱动负载门的个数可以由式(3.8.3)和式(3.8.4)求出。

在找不到合适的驱动门足以满足大负载电流要求的情况下,可以使用分立器件的电流放大器实现电流扩展,如图 3.8.4 所示。只要放大器的电路参数选得合理,定可做到在 CMOS 与非门输出高电平时,既满足 $i_B < |I_{OH(max)}|(\text{CMOS})$,又满足 $I_{OL} > n |I_{IL(max)}|(\text{TTL}) + I_R$ 。同时,放大器输出的高、低电平也符合式(3.8.1)和式(3.8.2)的要求。

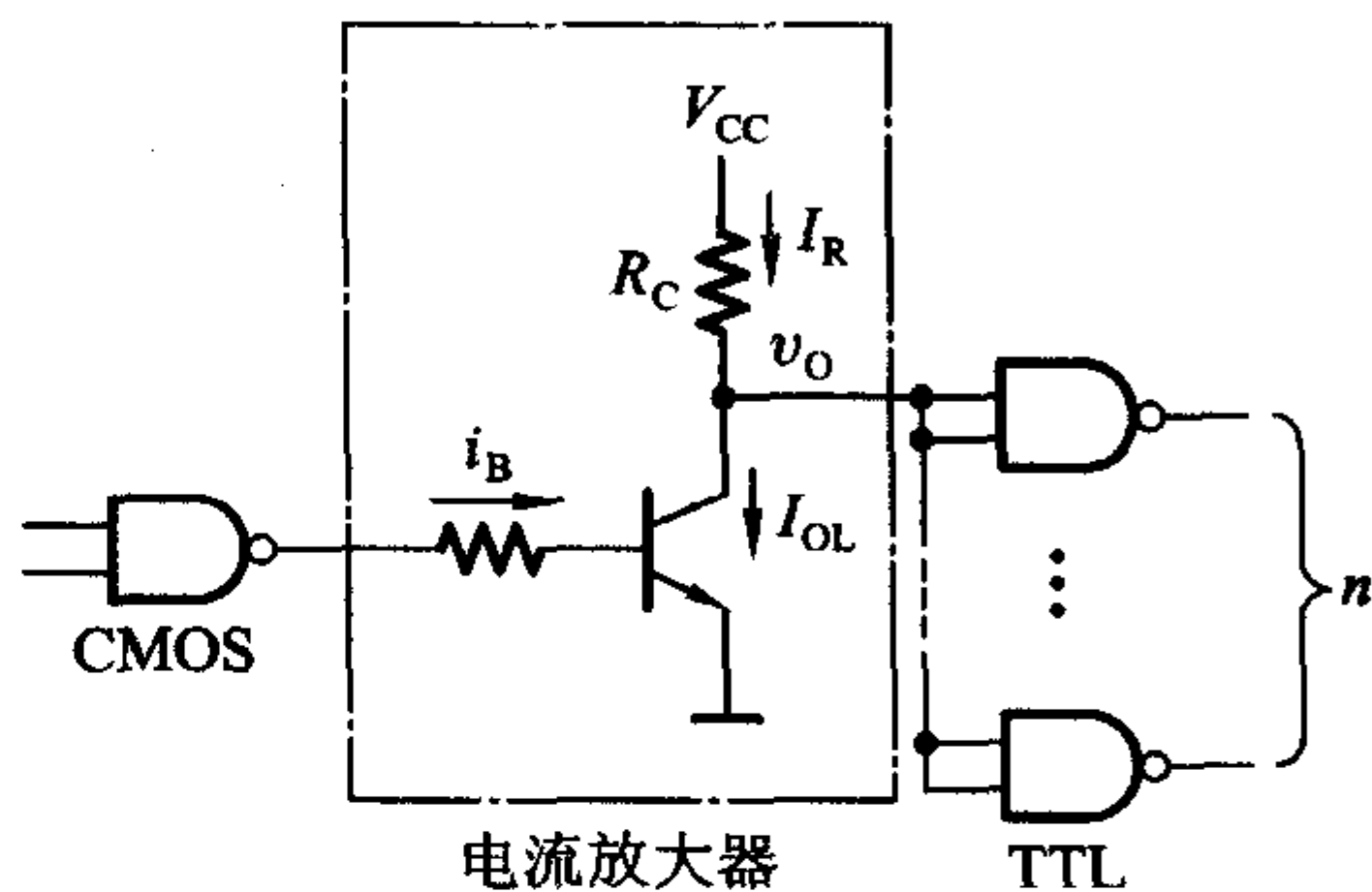


图 3.8.4 通过电流放大器驱动 TTL 电路

本章小结

门电路是构成各种复杂数字电路的基本逻辑单元,掌握各种门电路的逻辑功能和电气特性,对于正确使用数字集成电路是十分必要的。

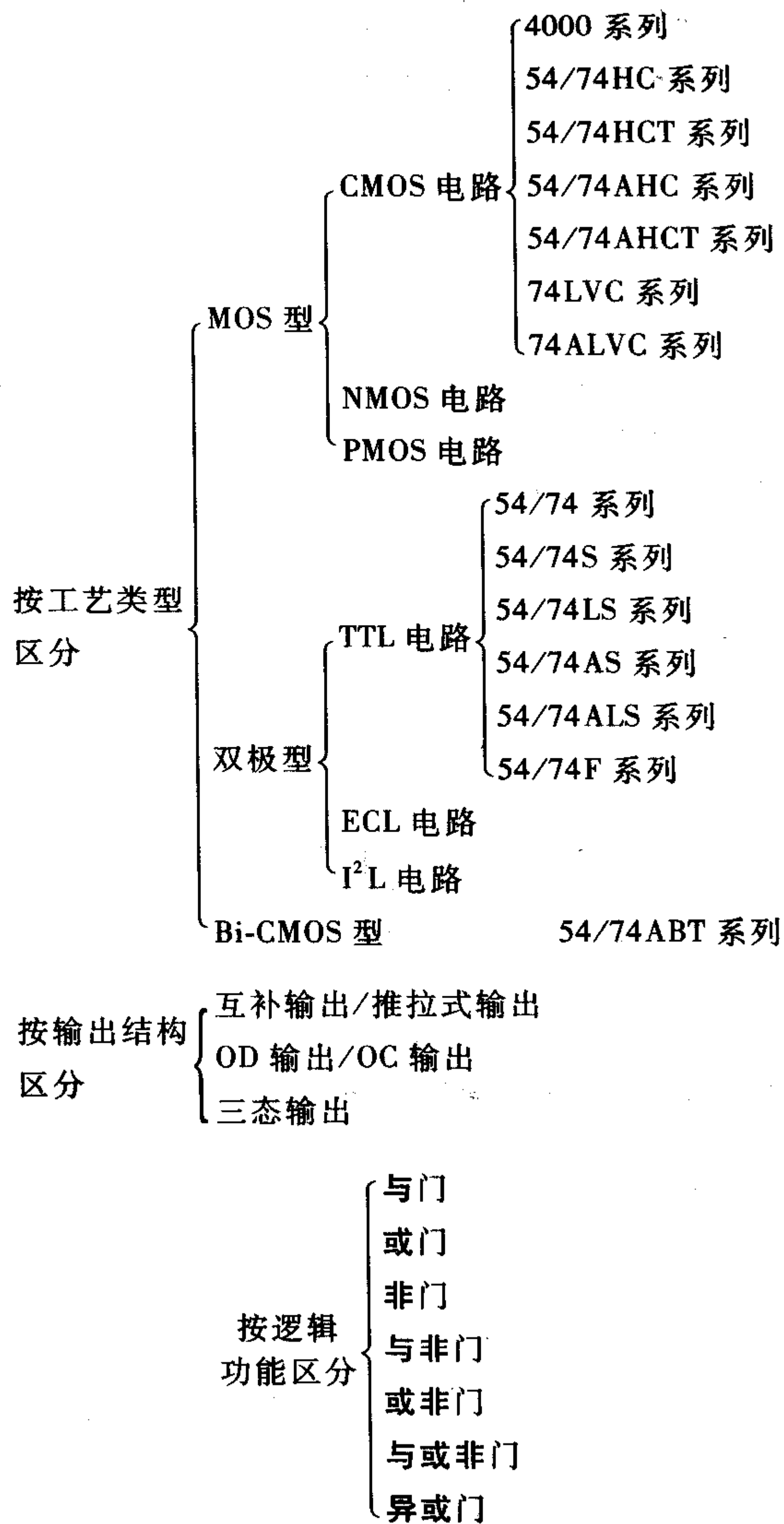
本章重点介绍了目前应用最广的 CMOS 和 TTL 两类集成门电路。在学习这些集成电路时应将重点放在它们的外部特性上。外部特性包含两个内容,一个是输出与输入间的逻辑关系,即所谓逻辑功能;另一个是外部的电气特性,包括电压传输特性、输入特性、输出特性和动态特性等。虽然文中也讲到了一些有关集成电路内部结构和工作原理的内容,但其目的在于帮助读者加深对器件外特性的理解,以便更好地运用这些外特性。

在后面的几章我们将会看到,尽管逻辑电路越来越复杂,但只要是 CMOS 电路,它们的输入端和输出端的电路结构就和这一章里所讲的 CMOS 门电路相同;

只要是 TTL 电路,它们的输入端和输出端电路结构就和这一章里所讲的 TTL 电路相同。本章所讲的外部电气特性对这些电路同样适用。

在使用 CMOS 器件时应特别注意掌握正确的使用方法,否则容易造成损坏。

目前生产和使用的数字集成电路种类很多,我们可以从制造工艺、输出结构和逻辑功能三个方面把它们分别归类如下:



不难想像,按上述三方面属性的不同组合可以得到非常多的集成电路品种。这也正是数字集成电路产品的型号十分浩瀚的原因所在。

目前,在除 4000 系列以外的 CMOS 数字集成电路产品和所有的 TTL 数字集成电路产品中,都采用“54/74‘系列标志’ $\times \times \times$ ”的命名方式。其中的“系列标志”就是表示不同系列的 S、LS、AS、ALS、HC、HCT、AHC、AHCT、LVC、ALVC、ABT 等。只有 74 基本系列的这个标志是空白。在不同系列的产品中,只要型号最后的数字代码 $\times \times \times$ 相同,则无论是哪一种系列的产品,它们的逻辑功能都是一样的。而且,在采用同样的封装形式时,集成电路外部引脚的排列顺序也完全相同。但是不同系列产品的电气特性就大不相同了。因此,不能简单地将它们互相替换使用。

习 题

[题 3.1] 在图 3.2.5 所示的正逻辑与门和图 3.2.6 所示的正逻辑或门电路中,若改用负逻辑,试列出它们的逻辑真值表,并说明 Y 和 A 、 B 之间是什么逻辑关系。

[题 3.2] 试画出图 P3.2 中各个门电路输出端的电压波形。输入端 A 、 B 的电压波形如图中所示。

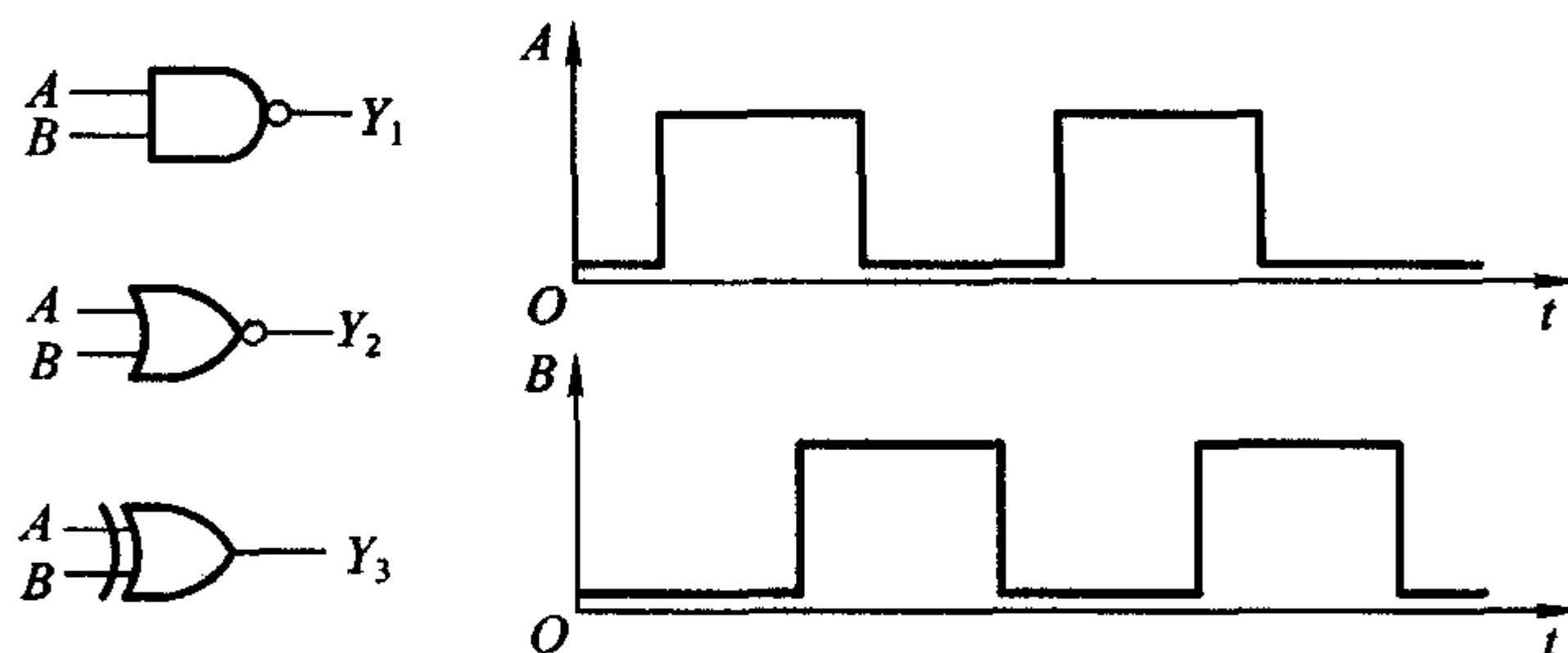


图 P3.2

[题 3.3] 试说明能否将与非门、或非门、异或门当做反相器使用? 如果可以,各输入端应如何连接?

[题 3.4] 画出图 P3.4 所示电路在下列两种情况下的输出电压波形:

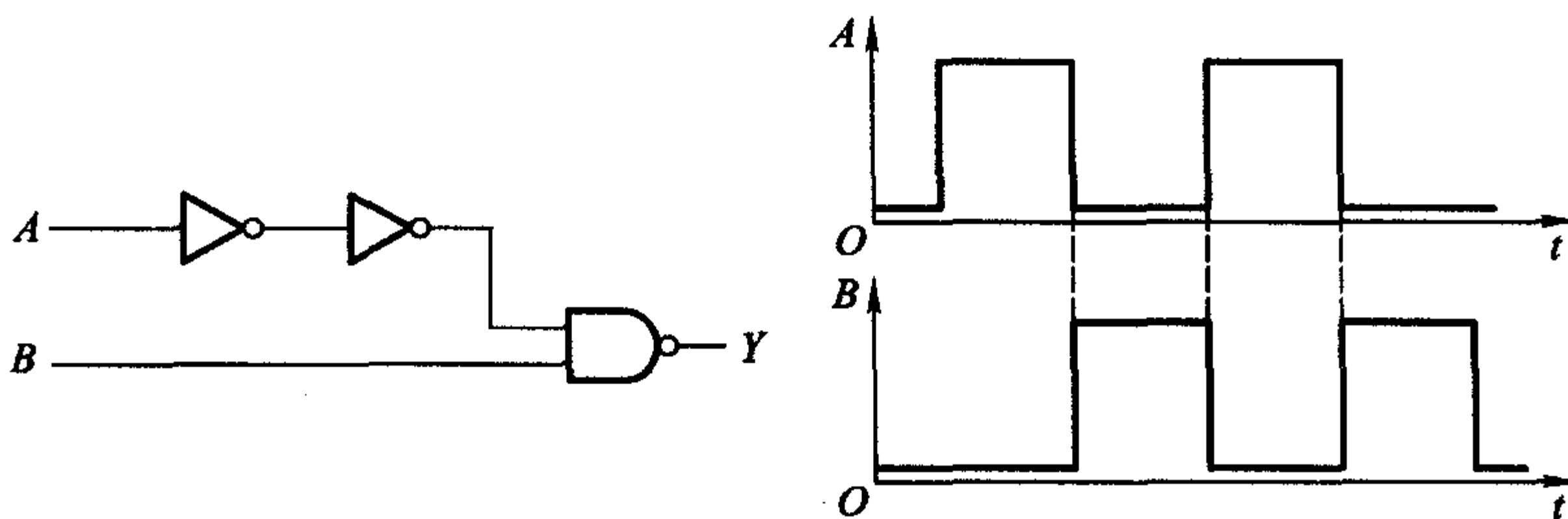


图 P3.4

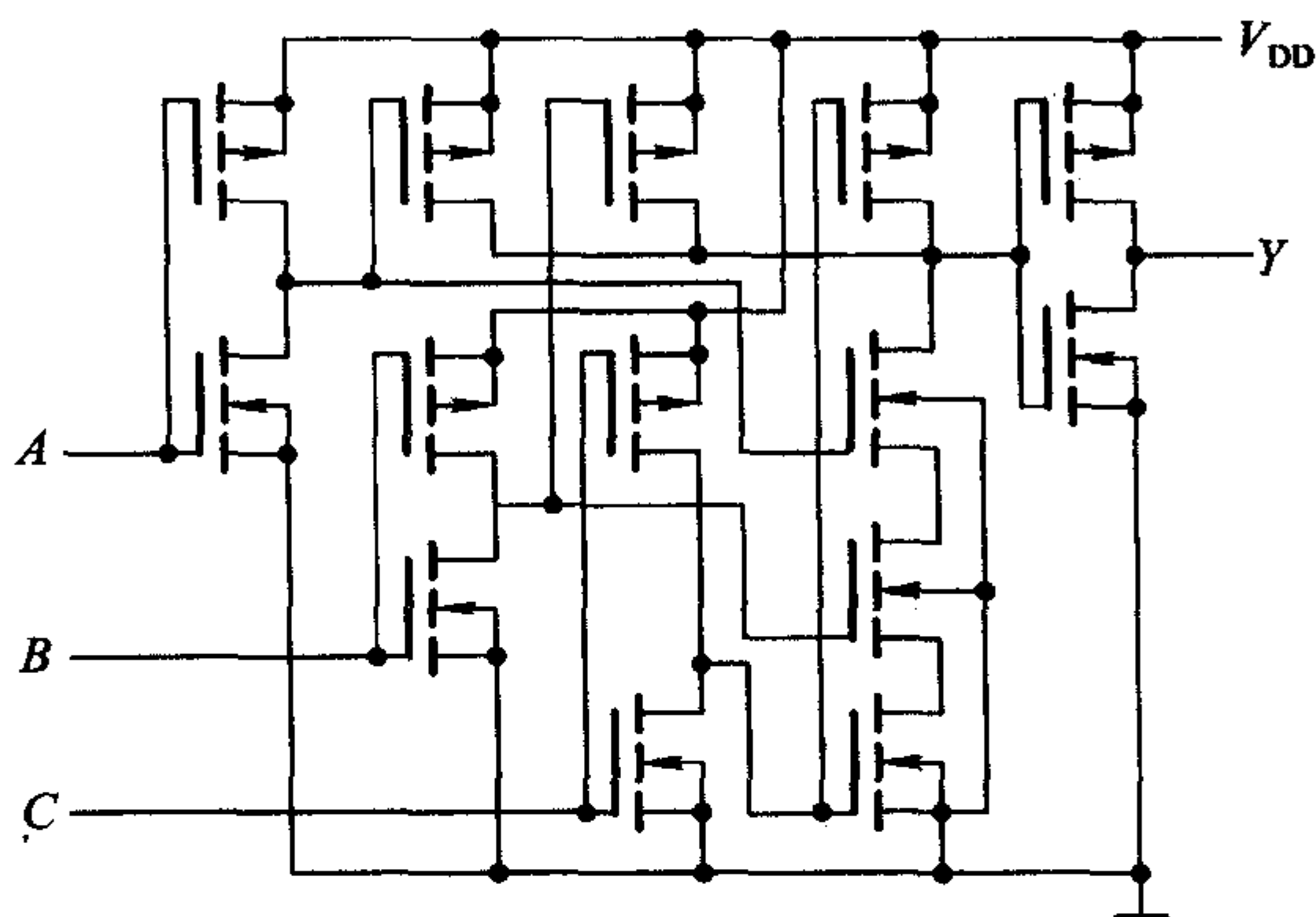
- (1) 忽略所有门电路的传输延迟时间;
 (2) 考虑每个门都有传输延迟时间 t_{pd} 。

输入端 A 、 B 的电压波形如图中所示。

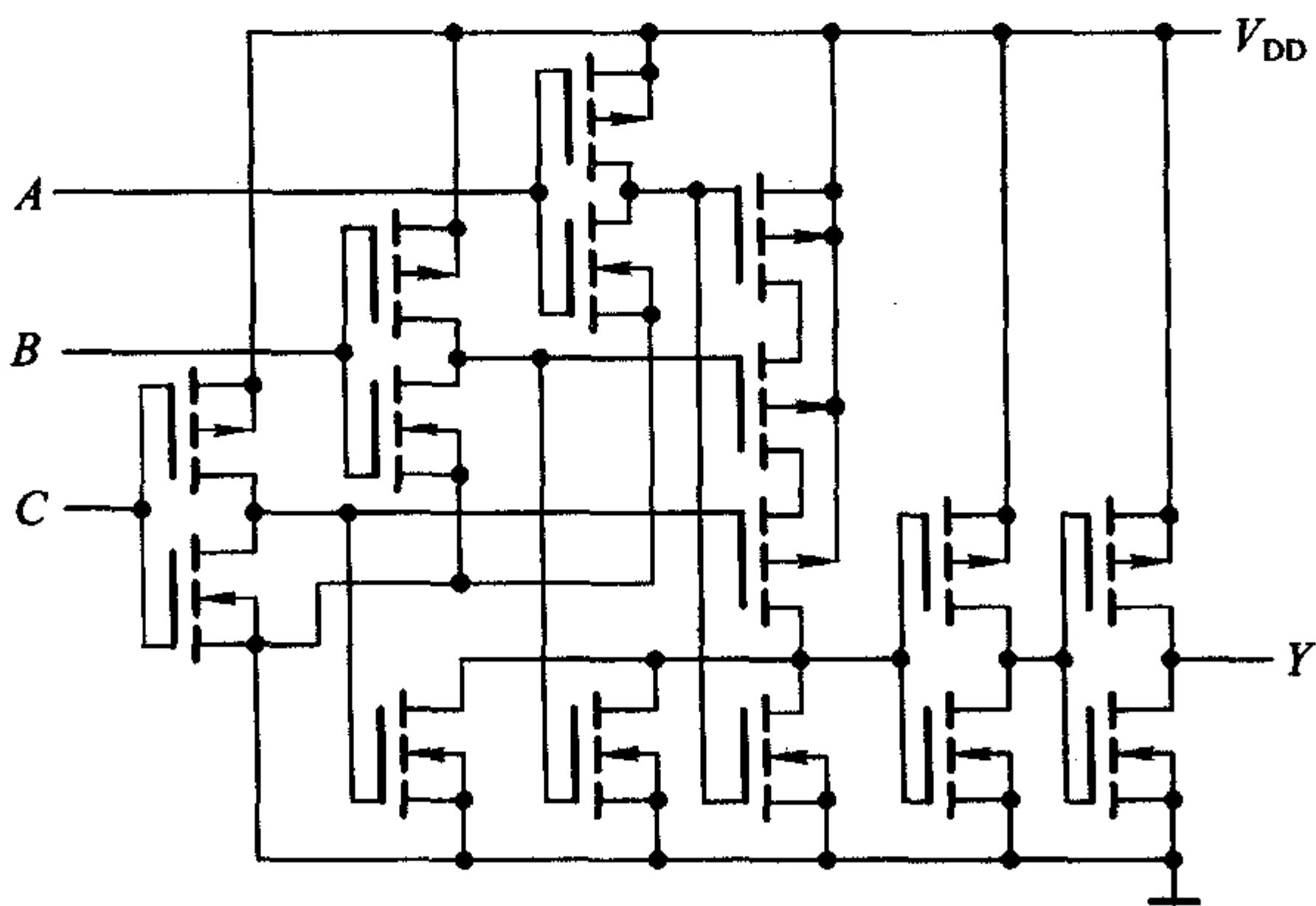
[题 3.5] 已知 CMOS 门电路的电源电压 $V_{DD} = 5\text{ V}$, 静态电源电流 $I_{DD} = 2\text{ }\mu\text{A}$, 输入信号为 200 kHz 的方波(上升时间和下降时间可忽略不计), 负载电容 $C_L = 200\text{ pF}$, 功耗电容 $C_{pi} = 20\text{ pF}$, 试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

[题 3.6] 若 CMOS 门电路工作在 5 V 电源电压下的静态电源电流为 $5\text{ }\mu\text{A}$, 在负载电容 C_L 为 100 pF 、输入信号频率为 500 kHz 时的总功耗为 1.56 mW , 试计算该门电路的功耗电容的数值。

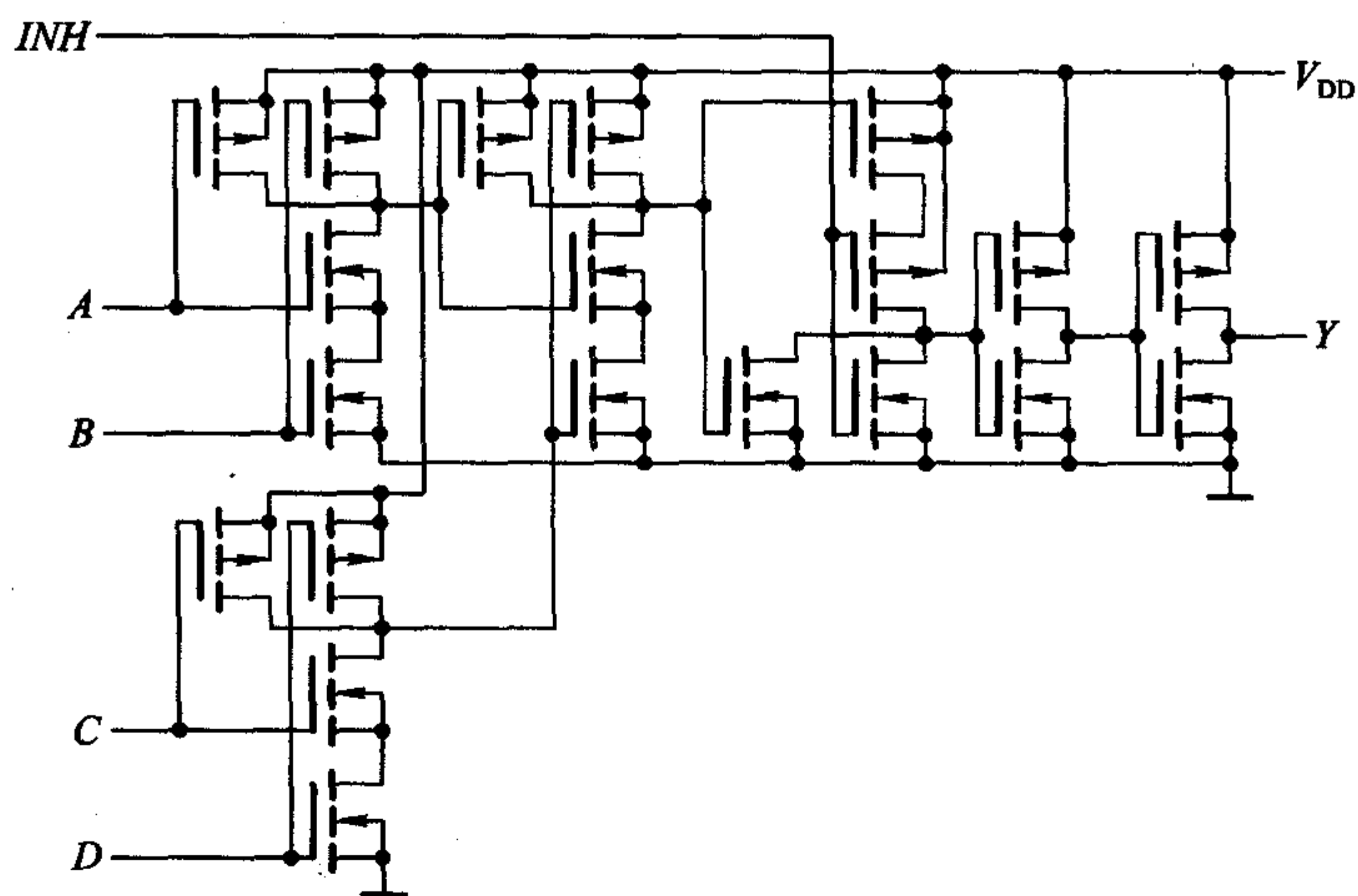
[题 3.7] 试分析图 P3.7 中各电路的逻辑功能, 写出输出的逻辑函数式。



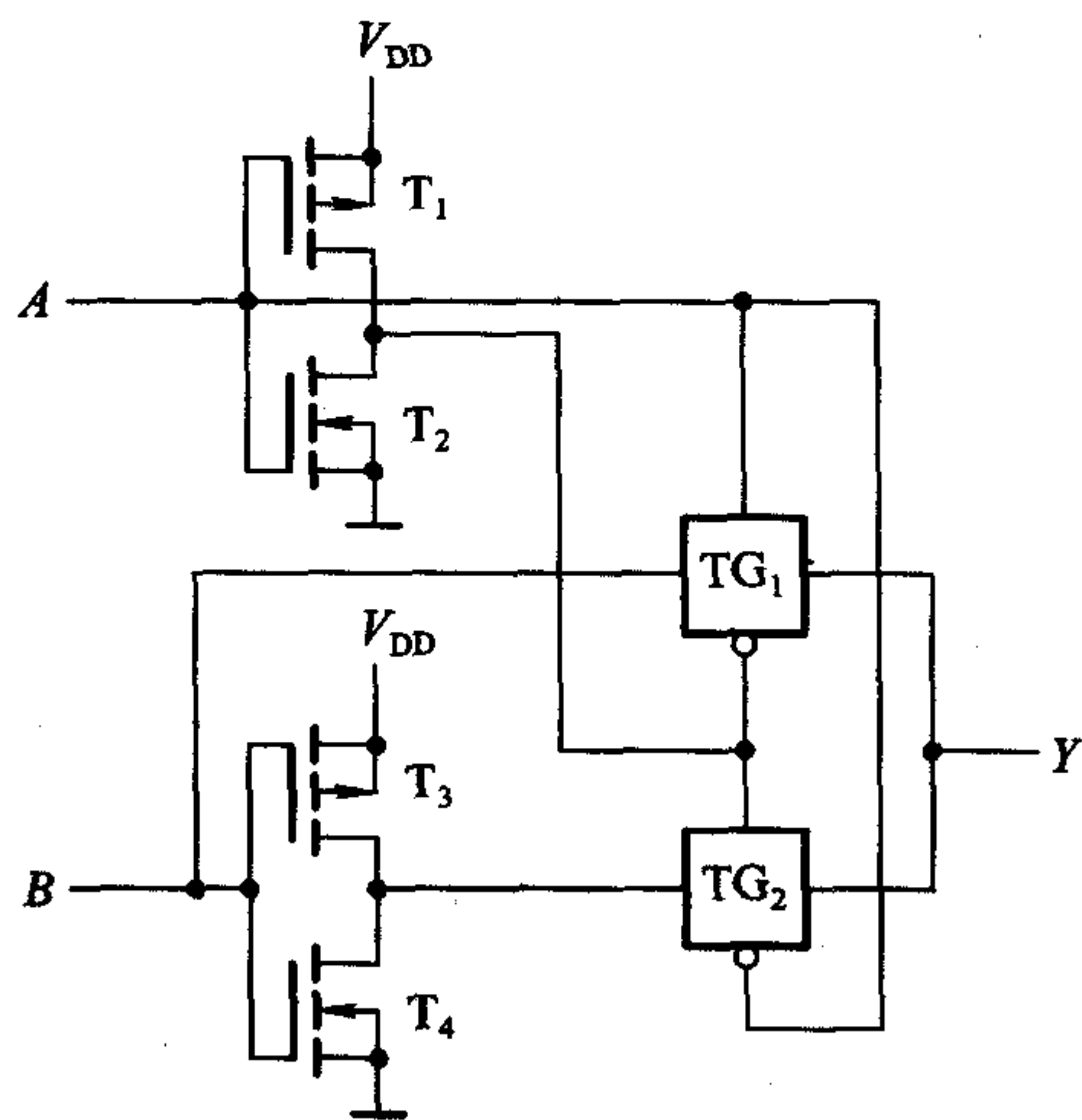
(a)



(b)



(c)



(d)

图 P3.7

[题 3.8] 试画出图 P3.8(a)、(b)两个电路的输出电压波形。输入电压波形如图(c)所示。

[题 3.9] 在图 P3.9 所示电路中, G_1 和 G_2 是两个 OD 输出结构的与非门 74HC03。74HC03 输出端 MOS 管截止时的漏电流为 $I_{OH(max)} = 5 \mu A$; 导通时允许的最大负载电流为 $I_{OL(max)} = 5.2 mA$, 这时对应的输出电压 $V_{OL(max)} = 0.33 V$ 。负载门 $G_3 \sim G_5$ 是 3 输入端或非门 74HC27, 每个输入端的高电平输入电流最大值为 $I_{IH(max)} = 1 \mu A$, 低电平输入电流最大值为 $I_{IL(max)} = -1 \mu A$ 。试求在 $V_{DD} = 5 V$ 、并且满足 $V_{OH} \geq 4.4 V$ 、 $V_{OL} \leq 0.33 V$ 的情况下, R_L 取值的

允许范围。

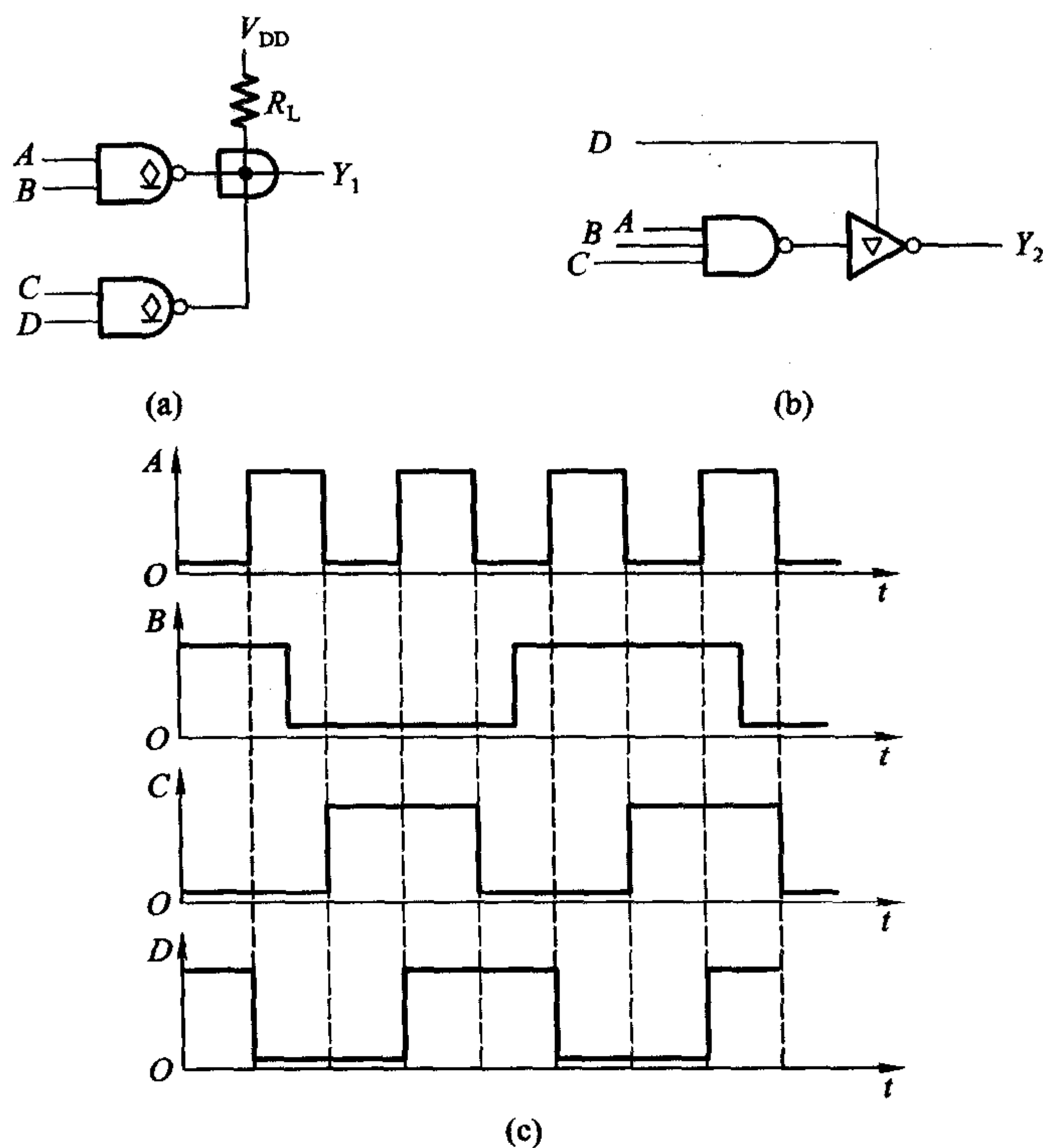


图 P3.8

[题 3.10] 图 P3.10 中的 $G_1 \sim G_4$ 是 OD 输出结构的与非门 74HC03, 它们接成线与结构。试写出线与输出 Y 与输入 $A_1, A_2, B_1, B_2, C_1, C_2, D_1, D_2$ 之间的逻辑关系式, 并计算外接电阻 R_L 取值的允许范围。

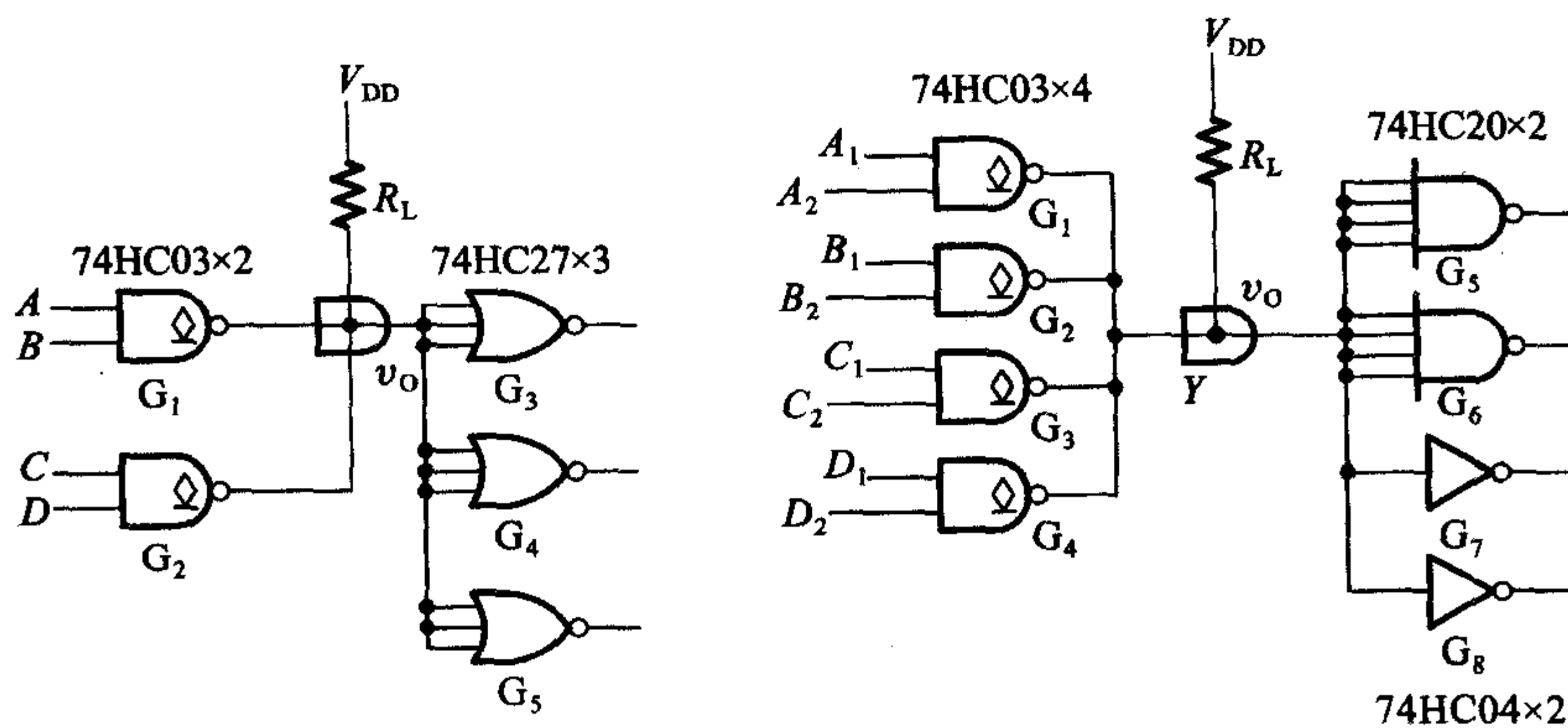


图 P3.9

图 P3.10