

已知  $V_{DD} = 5\text{ V}$ , 74HC03 输出高电平时漏电流的最大值为  $I_{OH(\max)} = 5\text{ }\mu\text{A}$ , 低电平输出电流最大值为  $I_{OL(\max)} = 5.2\text{ mA}$ , 此时的输出低电平为  $V_{OL(\max)} = 0.33\text{ V}$ 。负载门每个输入端的高、低电平输入电流最大值为  $\pm 1\text{ }\mu\text{A}$ 。要求满足  $V_{OH} \geq 4.4\text{ V}$ 、 $V_{OL} \leq 0.33\text{ V}$ 。

[题 3.11] 在图 P3.11 所示的三极管开关电路中, 若输入信号  $v_i$  的高、低电平分别为  $V_{IH} = 5\text{ V}$ 、 $V_{IL} = 0\text{ V}$ , 试计算在图中标注的参数下能否保证  $v_i = V_{IH}$  时三极管饱和导通、 $v_i = V_{IL}$  时三极管可靠地截止? 三极管的饱和导通压降  $V_{CE(\text{sat})} = 0.1\text{ V}$ , 饱和导通内阻  $R_{CE(\text{sat})} = 20\text{ }\Omega$ 。如果参数配合不当, 则在电源电压和  $R_C$  不变的情况下应如何修改电路参数?

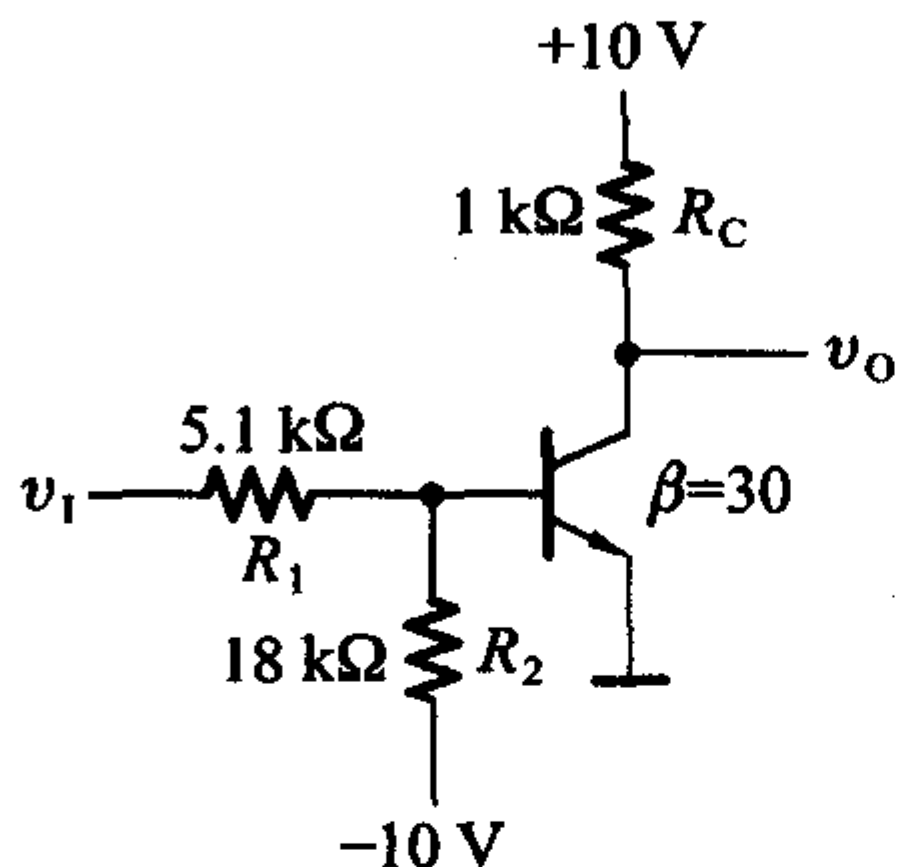


图 P3.11

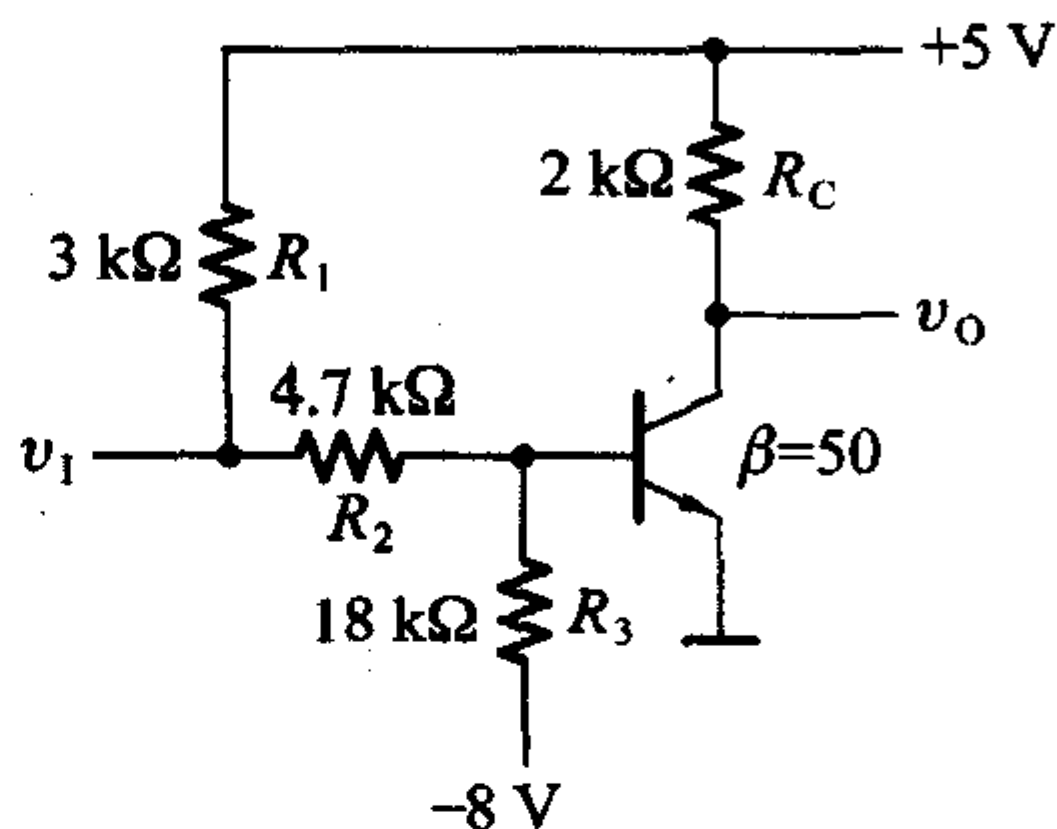


图 P3.12

[题 3.12] 在图 P3.12 所示的电路中, 试计算当输入端分别接  $0\text{ V}$ 、 $5\text{ V}$  和悬空时输出电压  $v_o$  的数值, 并指出三极管工作在什么状态。假定三极管导通以后  $v_{BE} \approx 0.7\text{ V}$ , 电路参数如图中所注。

[题 3.13] 试分析图 P3.13 中各电路的逻辑功能, 写出输出的逻辑函数式。

[题 3.14] 指出图 P3.14 中各门电路的输出是什么状态(高电平、低电平或高阻态)。已知这些门电路都是 74 系列 TTL 电路。

[题 3.15] 说明图 P3.15 中各门电路的输出是高电平还是低电平。已知它们都是 74HC 系列的 CMOS 电路。

[题 3.16] 在图 P3.16 所示的由 74 系列 TTL 与非门组成的电路中, 计算门  $G_M$  能驱动多少同样的与非门。要求  $G_M$  输出的高、低电平满足  $V_{OH} \geq 3.2\text{ V}$ 、 $V_{OL} \leq 0.4\text{ V}$ 。与非门的输入电流为  $I_{IL} \leq -1.6\text{ mA}$ 、 $I_{IH} \leq 40\text{ }\mu\text{A}$ 。 $V_{OL} \leq 0.4\text{ V}$  时输出电流最大值为  $I_{OL(\max)} = 16\text{ mA}$ ,  $V_{OH} \geq 3.2\text{ V}$  时输出电流最大值为  $I_{OH(\max)} = -0.4\text{ mA}$ 。 $G_M$  的输出电阻可忽略不计。

[题 3.17] 在图 P3.17 所示由 74 系列或非门组成的电路中, 试求门  $G_M$  能驱动多少同样的或非门。要求  $G_M$  输出的高、低电平满足  $V_{OH} \geq 3.2\text{ V}$ 、 $V_{OL} \leq 0.4\text{ V}$ 。或非门每个输入端的输入电流为  $I_{IL} \leq -1.6\text{ mA}$ 、 $I_{IH} \leq 40\text{ }\mu\text{A}$ 。 $V_{OL} \leq 0.4\text{ V}$  时输出电流的最大值为  $I_{OL(\max)} = 16\text{ mA}$ ,  $V_{OH} \geq 3.2\text{ V}$  时输出电流的最大值为  $I_{OH(\max)} = -0.4\text{ mA}$ 。 $G_M$  的输出电阻可忽略不计。

[题 3.18] 试说明在下列情况下, 用万用表测量图 P3.18 中的  $v_{i2}$  端得到的电压各为多少:

- (1)  $v_{i1}$  悬空;
- (2)  $v_{i1}$  接低电平 ( $0.2\text{ V}$ );

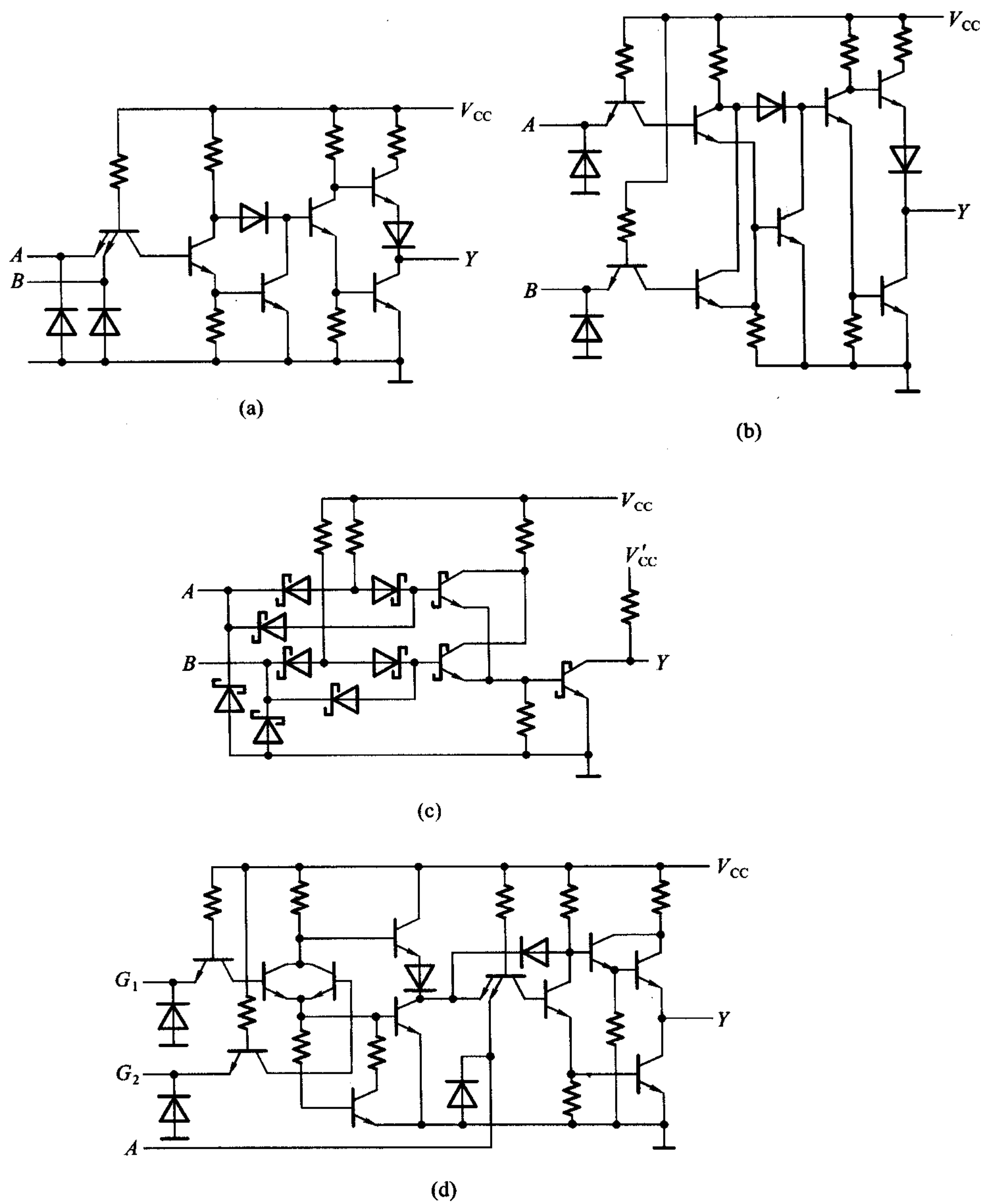


图 P3.13

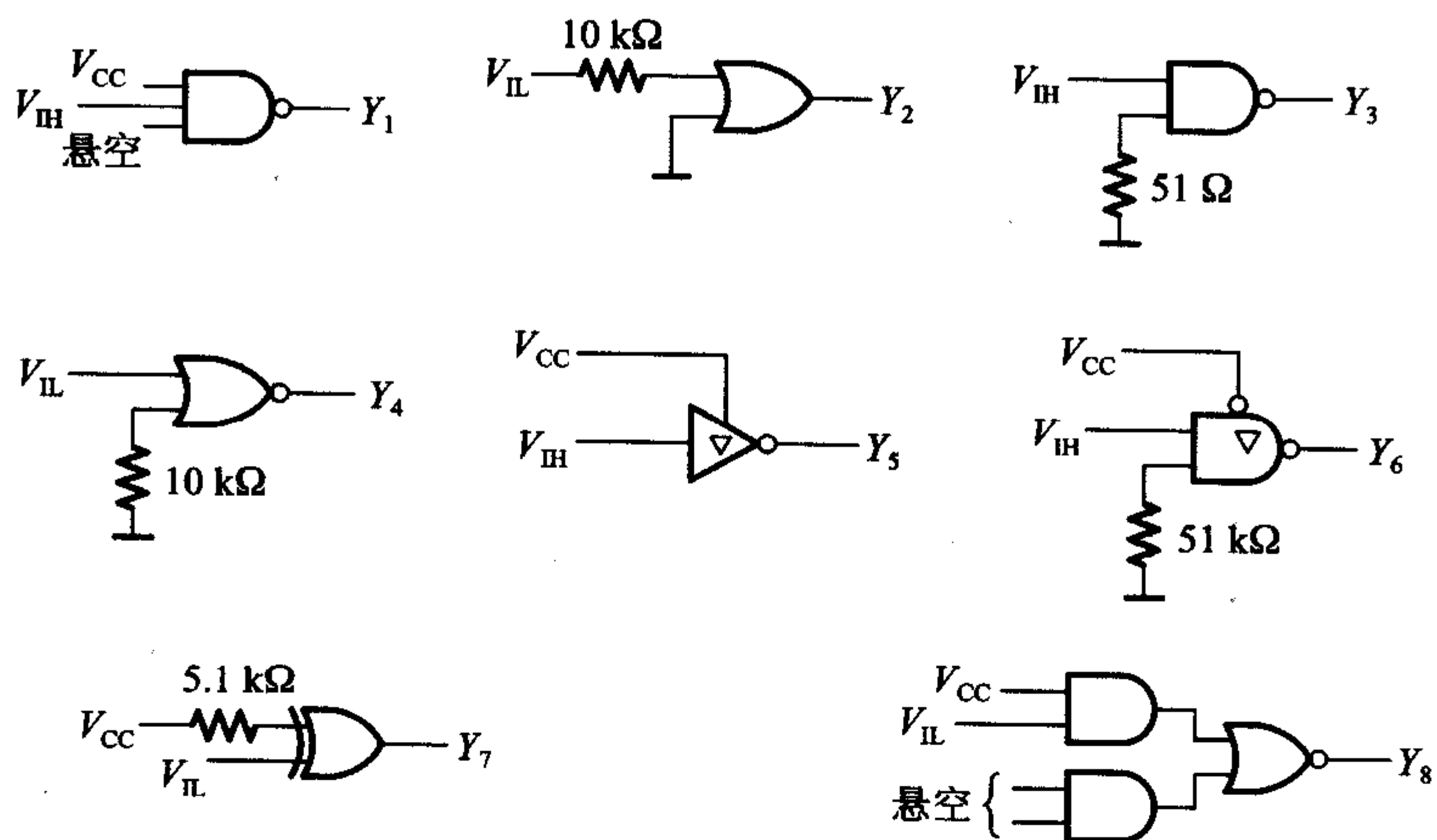


图 P3.14

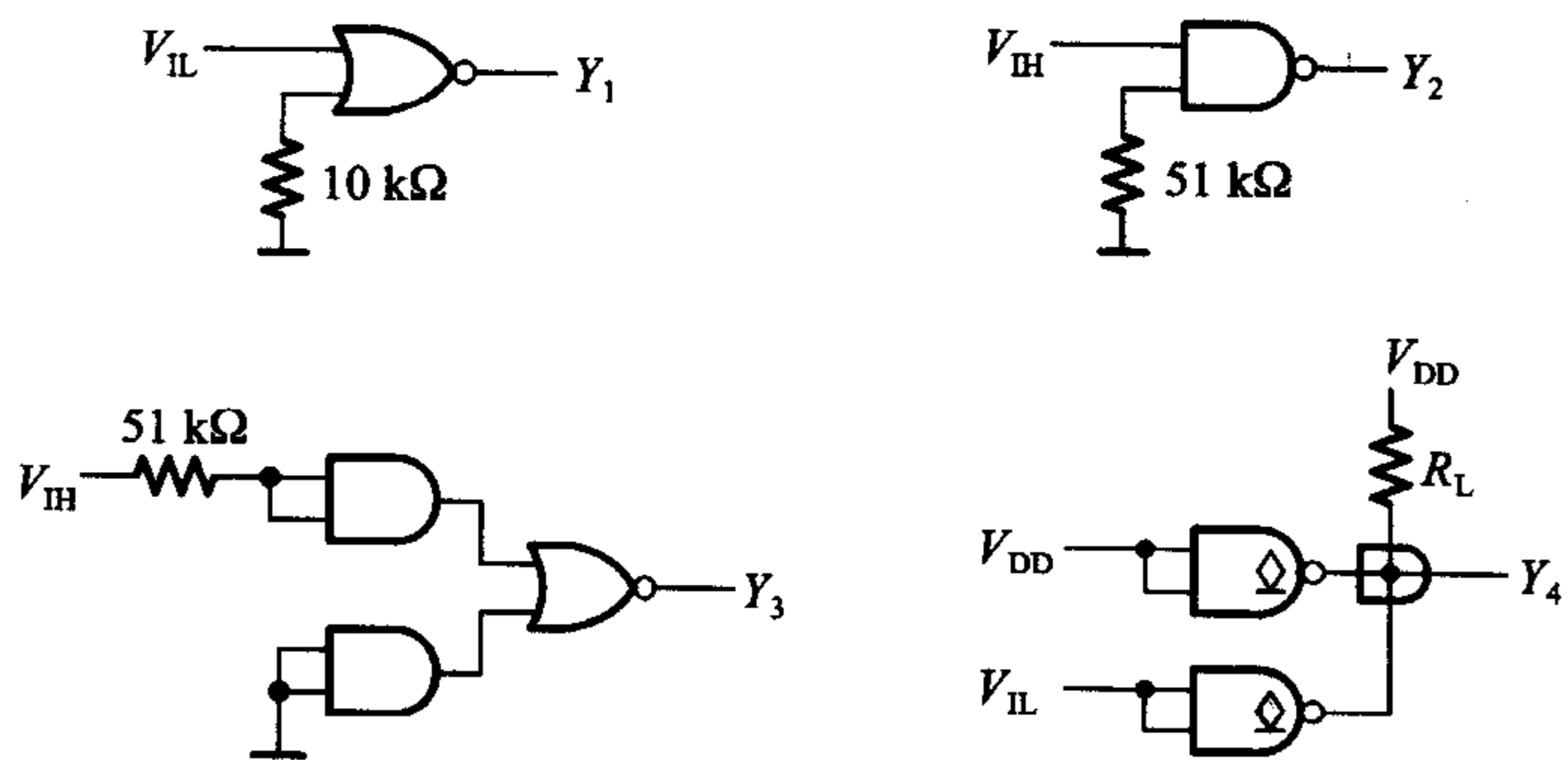


图 P3.15

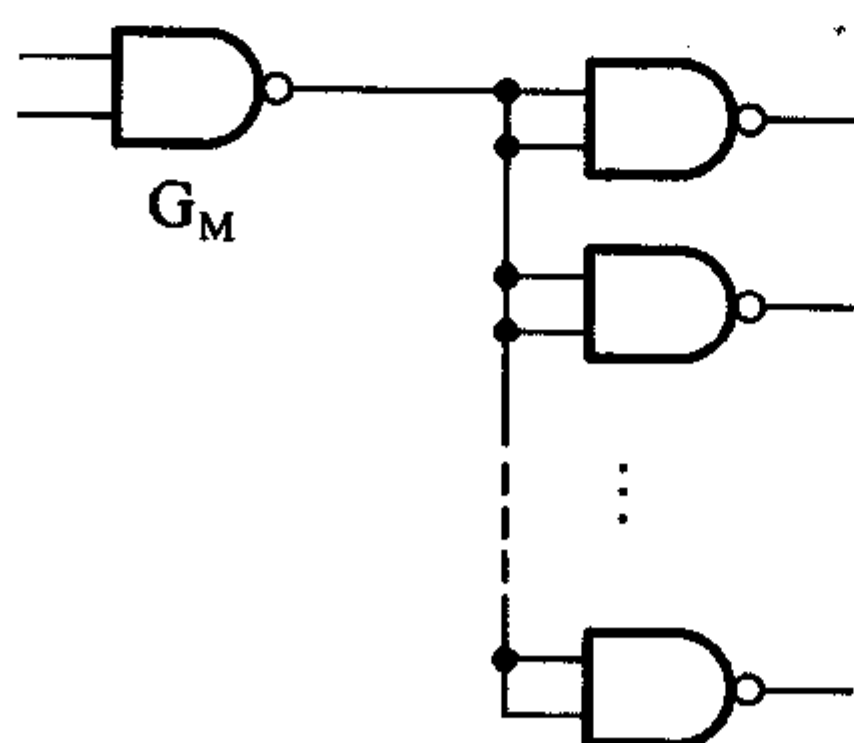


图 P3.16

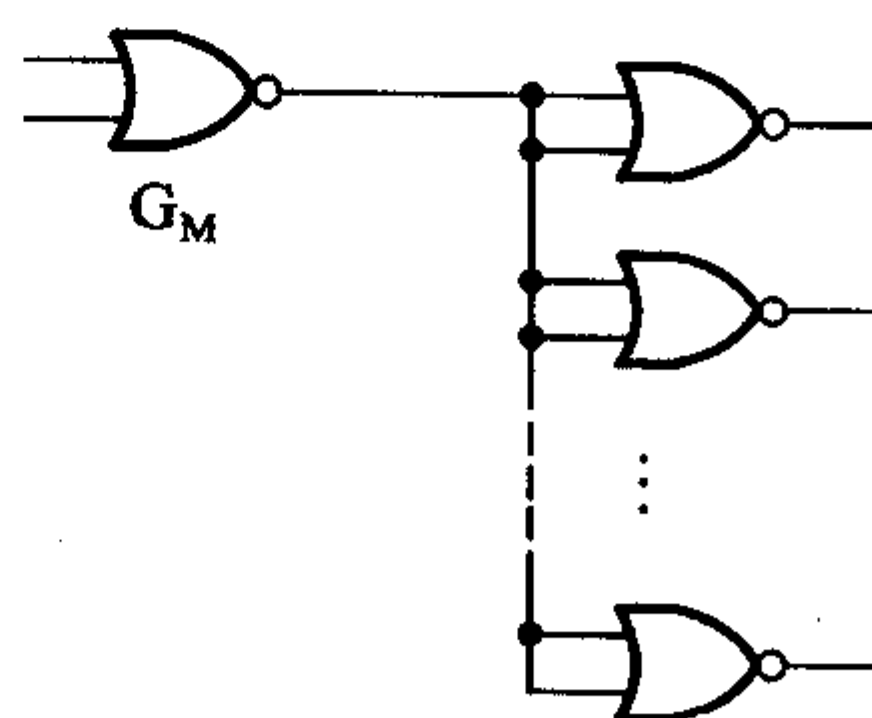


图 P3.17

(3)  $v_{11}$  接高电平 (3.2 V);

(4)  $v_{11}$  经  $51\Omega$  电阻接地;

(5)  $v_{11}$  经  $10k\Omega$  电阻接地。

图中的与非门为 74 系列的 TTL 电路, 万用表使用 5V 量程, 内阻为  $20\text{ k}\Omega/\text{V}$ 。

[题 3.19] 若将上题中的与非门改为 74 系列 TTL 或非门, 试问在上列五种情况下测得的  $v_{12}$  各为多少?

[题 3.20] 若将图 P3.18 中的门电路改为 CMOS 与非门, 试说明当  $v_{11}$  为题 [3.18] 给出的五种状态时测得的  $v_{12}$  各等于多少?

[题 3.21] 在图 P3.21 所示电路中  $R_1$ 、 $R_2$  和  $C$  构成输入滤波电路。当开关 S 闭合时, 要求门电路的输入电压  $V_{1L} \leq 0.4\text{ V}$ ; 当开关 S 断开时, 要求门电路的输入电压  $V_{1H} \geq 4\text{ V}$ , 试求  $R_1$  和  $R_2$  的最大允许阻值。  $G_1 \sim G_5$  为 74LS 系列 TTL 反相器, 它们的高电平输入电流  $I_{1H} \leq 20\mu\text{A}$ , 低电平输入电流  $|I_{1L}| \leq 0.4\text{ mA}$ 。

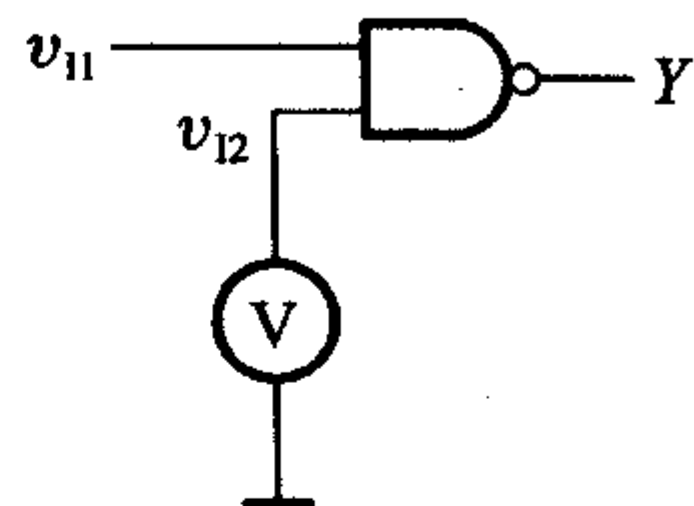


图 P3.18

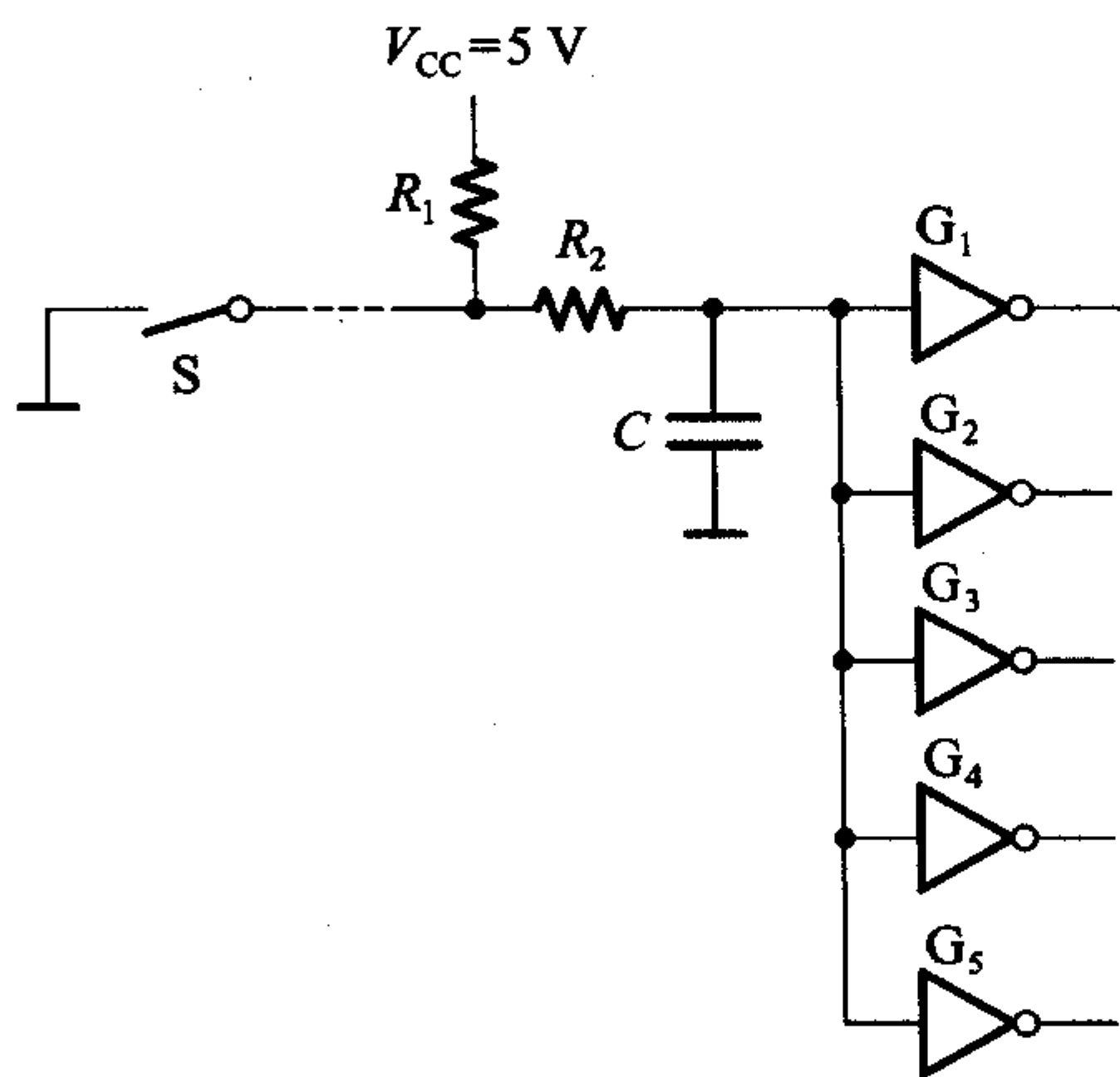


图 P3.21

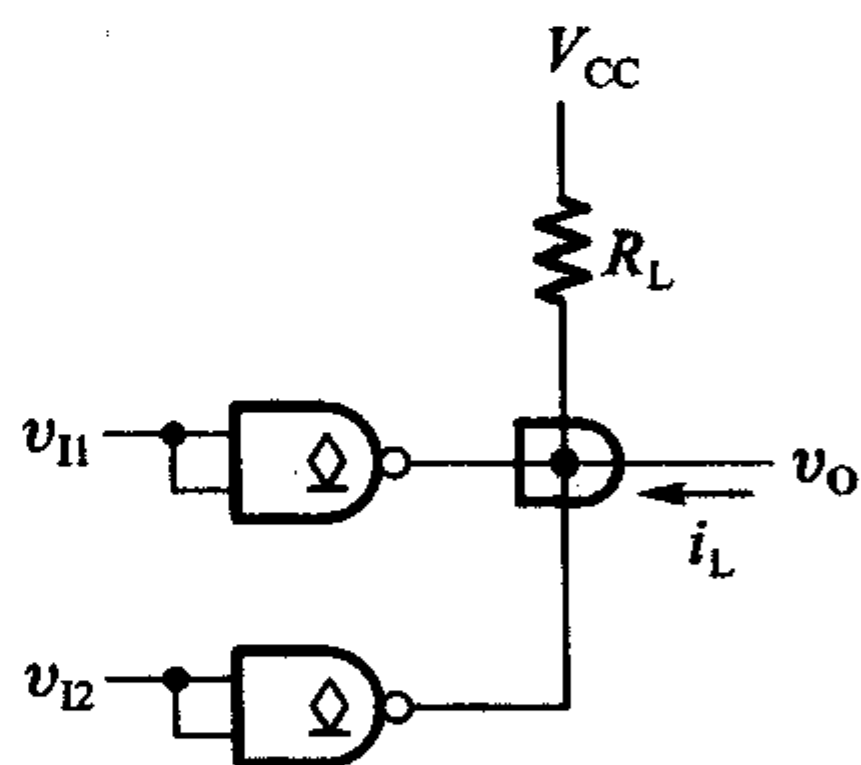


图 P3.22

[题 3.22] 试绘出图 P3.22 所示电路的高电平输出特性和低电平输出特性。已知  $V_{CC} = 5\text{ V}$ ,  $R_L = 1\text{ k}\Omega$ 。OC 门截止时输出管的漏电流  $I_{OH} = 200\mu\text{A}$ 。  $V_I = V_{1H}$  时 OC 门输出管饱和导通, 其饱和压降为  $V_{CE(sat)} = 0.1\text{ V}$ , 饱和导通内阻为  $R_{CE(sat)} = 20\Omega$ 。

[题 3.23] 计算图 P3.23 电路中上拉电阻  $R_L$  的阻值范围。其中  $G_1$ 、 $G_2$ 、 $G_3$  是 74LS 系列 OC 门, 输出管截止时的漏电流  $I_{OH} \leq 100\mu\text{A}$ , 输出低电平  $V_{OL} \leq 0.4\text{ V}$  时允许的最大负载电流  $I_{OL(max)} = 8\text{ mA}$ 。  $G_4$ 、 $G_5$ 、 $G_6$  为 74LS 系列与非门, 它们的输入电流为  $|I_{1L}| \leq 0.4\text{ mA}$ 、 $I_{1H} \leq 20\mu\text{A}$ 。给定  $V_{CC} = 5\text{ V}$ , 要求 OC 门的输出高、低电平应满足  $V_{OH} \geq 3.2\text{ V}$ 、 $V_{OL} \leq 0.4\text{ V}$ 。

[题 3.24] 在图 P3.24 所示电路中, 已知  $G_1$  和  $G_2$  为 74LS 系列 OC 输出结构的与非门, 输出管截止时的漏电流最大值为  $I_{OH(max)} = 100\mu\text{A}$ , 低电平输出电流最大值为  $I_{OL(max)} = 8\text{ mA}$ , 这时输出的低电平为  $V_{OL(max)} = 0.4\text{ V}$ 。  $G_3 \sim G_5$  是 74LS 系列的或非门, 它们高电平输入电流

最大值为  $I_{IH(max)} = 20 \mu A$ , 低电平输入电流最大值为  $I_{IL(max)} = -0.4 mA$ 。给定  $V_{CC} = 5 V$ , 要求满足  $V_{OH} \geq 3.4 V$ 、 $V_{OL} \leq 0.4 V$ , 试求  $R_L$  取值的允许范围。

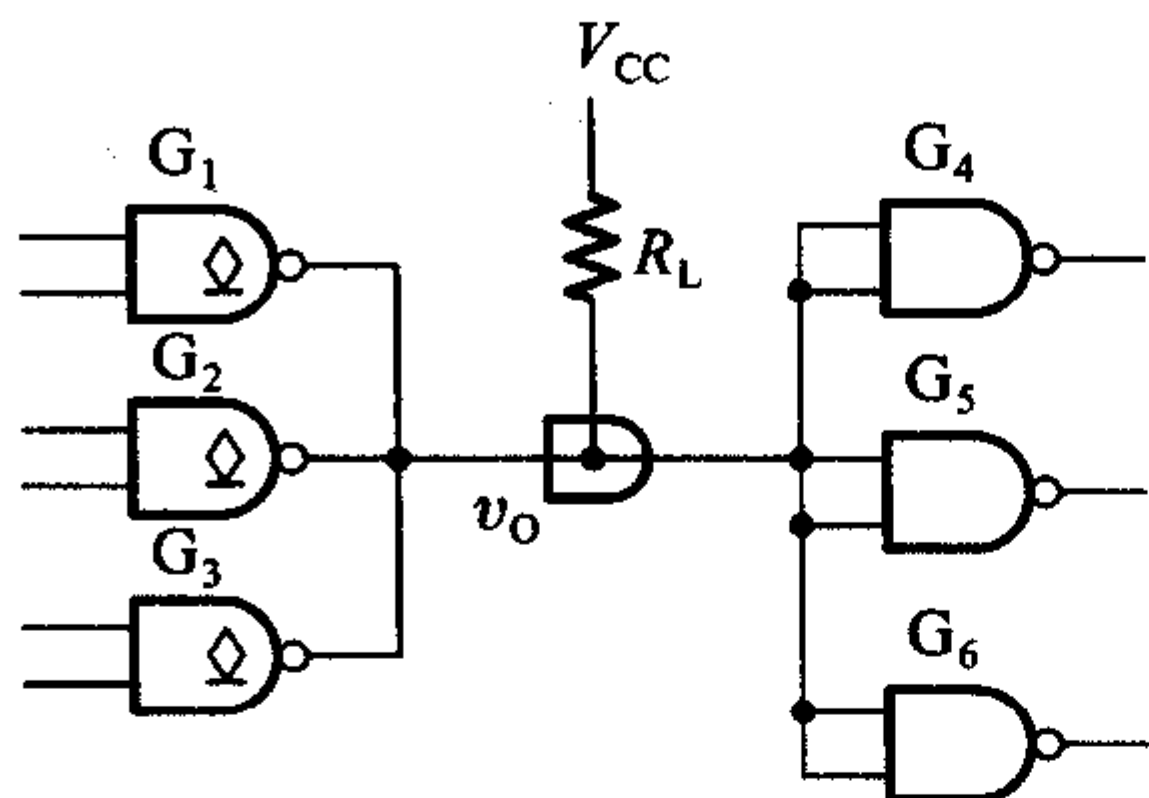


图 P3.23

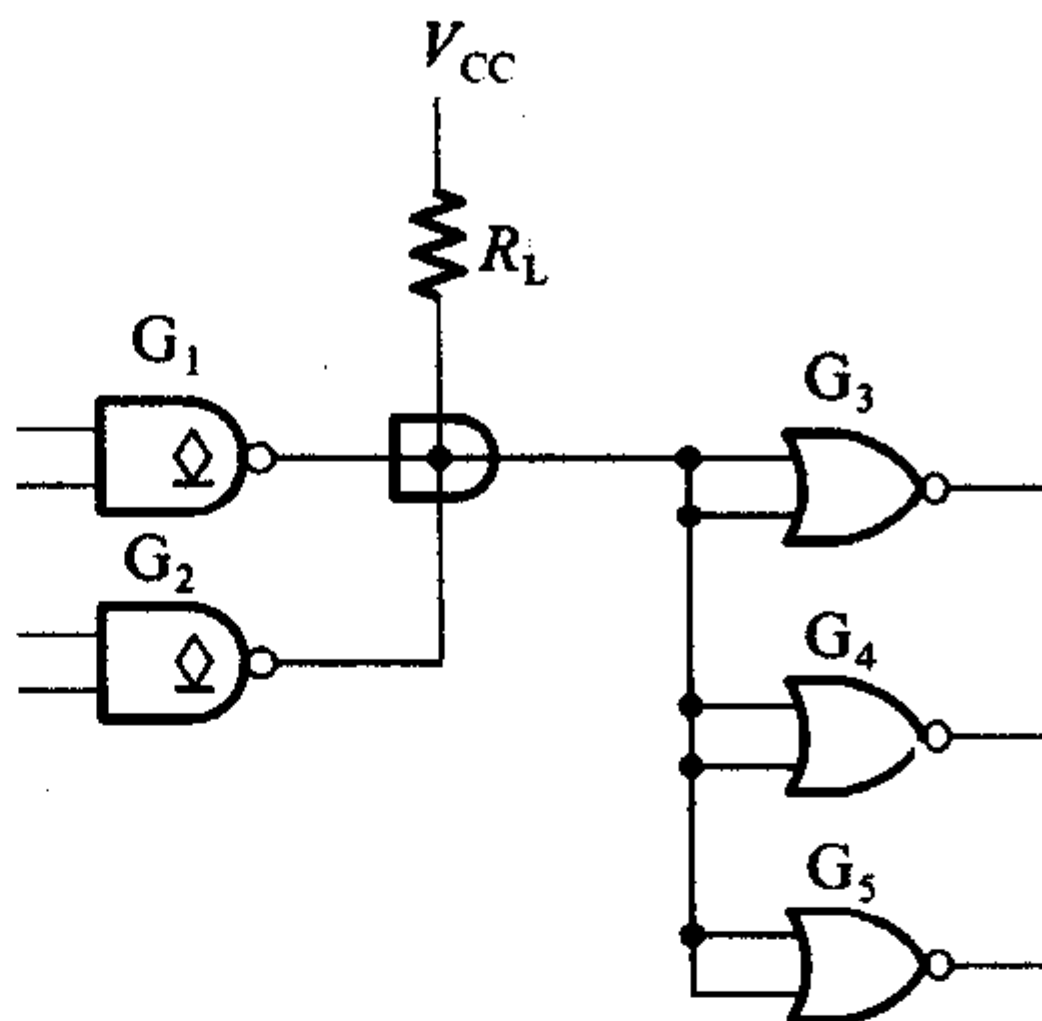


图 P3.24

[题 3.25] 图 P3.25 所示是一个继电器线圈驱动电路。要求在  $v_i = V_{IH}$  时三极管 T 截止, 而  $v_i = 0$  时三极管 T 饱和导通。已知 OC 门输出管截止时的漏电流  $I_{OH} \leq 100 \mu A$ , 导通时允许流过的最大电流  $I_{OL(max)} = 10 mA$ , 管压降小于  $0.1 V$ , 导通内阻小于  $20 \Omega$ 。三极管  $\beta = 50$ , 饱和导通压降  $V_{CE(sat)} = 0.1 V$ , 饱和导通内阻  $R_{CE(sat)} = 20 \Omega$ 。继电器线圈内阻  $240 \Omega$ , 电源电压  $V_{CC} = 12 V$ 、 $V_{EE} = -8 V$ ,  $R_2 = 3.2 k\Omega$ ,  $R_3 = 18 k\Omega$ , 试求  $R_1$  的阻值范围。

[题 3.26] 在图 P3.26(a) 所示电路中已知三极管导通时  $V_{BE} = 0.7 V$ , 饱和压降  $V_{CE(sat)} = 0.3 V$ , 饱和导通内阻为  $R_{CE(sat)} = 20 \Omega$ , 三极管的电流放大系数  $\beta = 100$ 。OC 门  $G_1$  输出管截止时的漏电流约为  $50 \mu A$ , 导通时允许的最大负载电流为  $16 mA$ , 输出低电平  $\leq 0.3 V$ 。  $G_2 \sim G_5$  均为 74 系列 TTL 电路, 其中  $G_2$  为反相器,  $G_3$  和  $G_4$  是与非门,  $G_5$  是或非门, 它们的输入特性如图 P3.26(b) 所示。试问:

(1) 在三极管集电极输出的高、低电压满足  $V_{OH} \geq 3.5 V$ 、 $V_{OL} \leq 0.3 V$  的条件下,  $R_B$  的取值范围有多大?

(2) 若将 OC 门改成推拉式输出的 TTL 门电路, 会发生什么问题?

[题 3.27] 计算图 P3.27 所示电路中接口电路输出端  $v_c$  的高、低电平, 并说明接口电路参数的选择是否合理。三极管的电流放大系数  $\beta = 40$ , 饱和导通压降  $V_{CE(sat)} = 0.1 V$ , 饱和导通内阻  $R_{CE(sat)} = 20 \Omega$ 。CMOS 或非门的电源电压  $V_{DD} = 5 V$ , 空载输出的高、低电平分别为  $V_{OH} = 4.95 V$ 、 $V_{OL} = 0.05 V$ , 门电路的输出电阻小于  $200 \Omega$ , 高电平输出电流的最大值和低电平输出电流的最大值均为  $4 mA$ 。TTL 或非门的高电平输入电流  $I_{IH} = 40 \mu A$ , 低电平输入电流  $I_{IL} = -1.6 mA$ 。

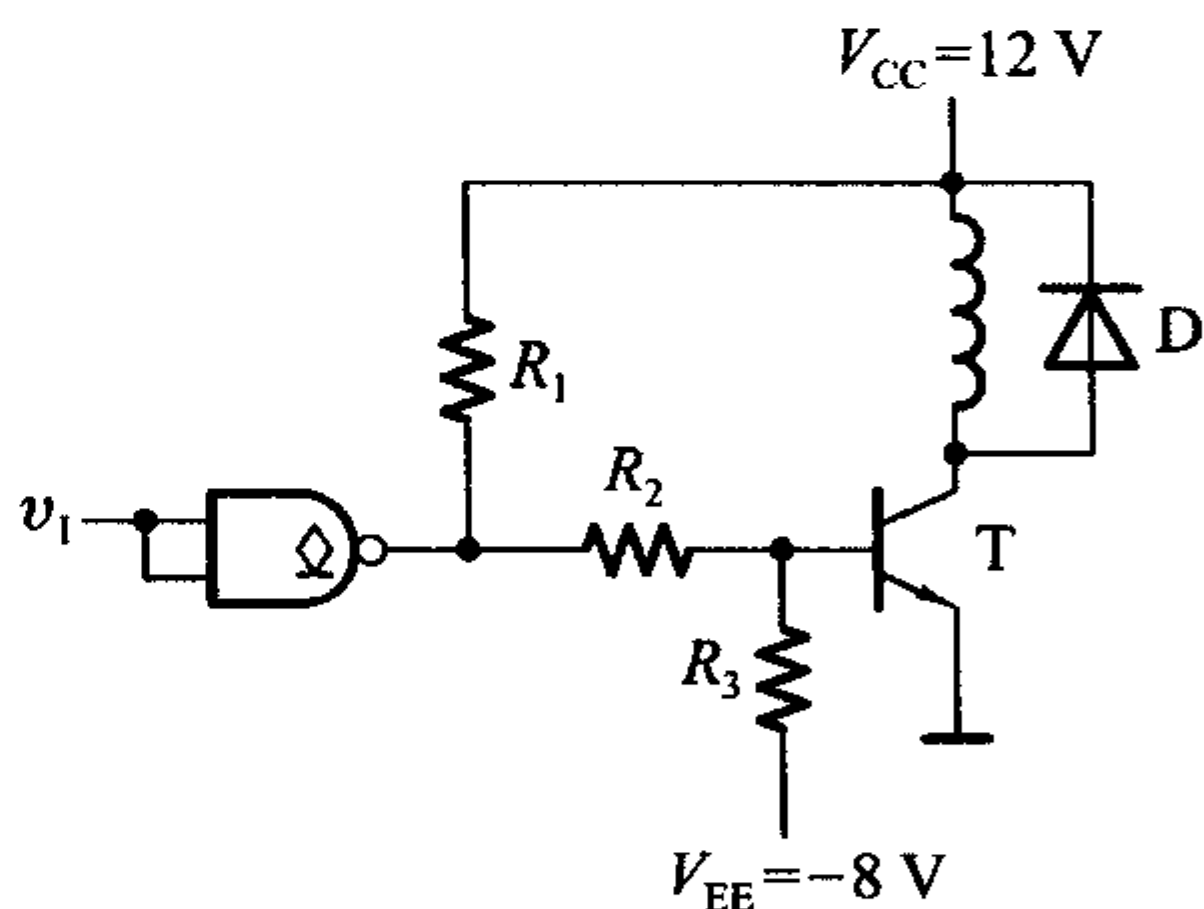


图 P3.25

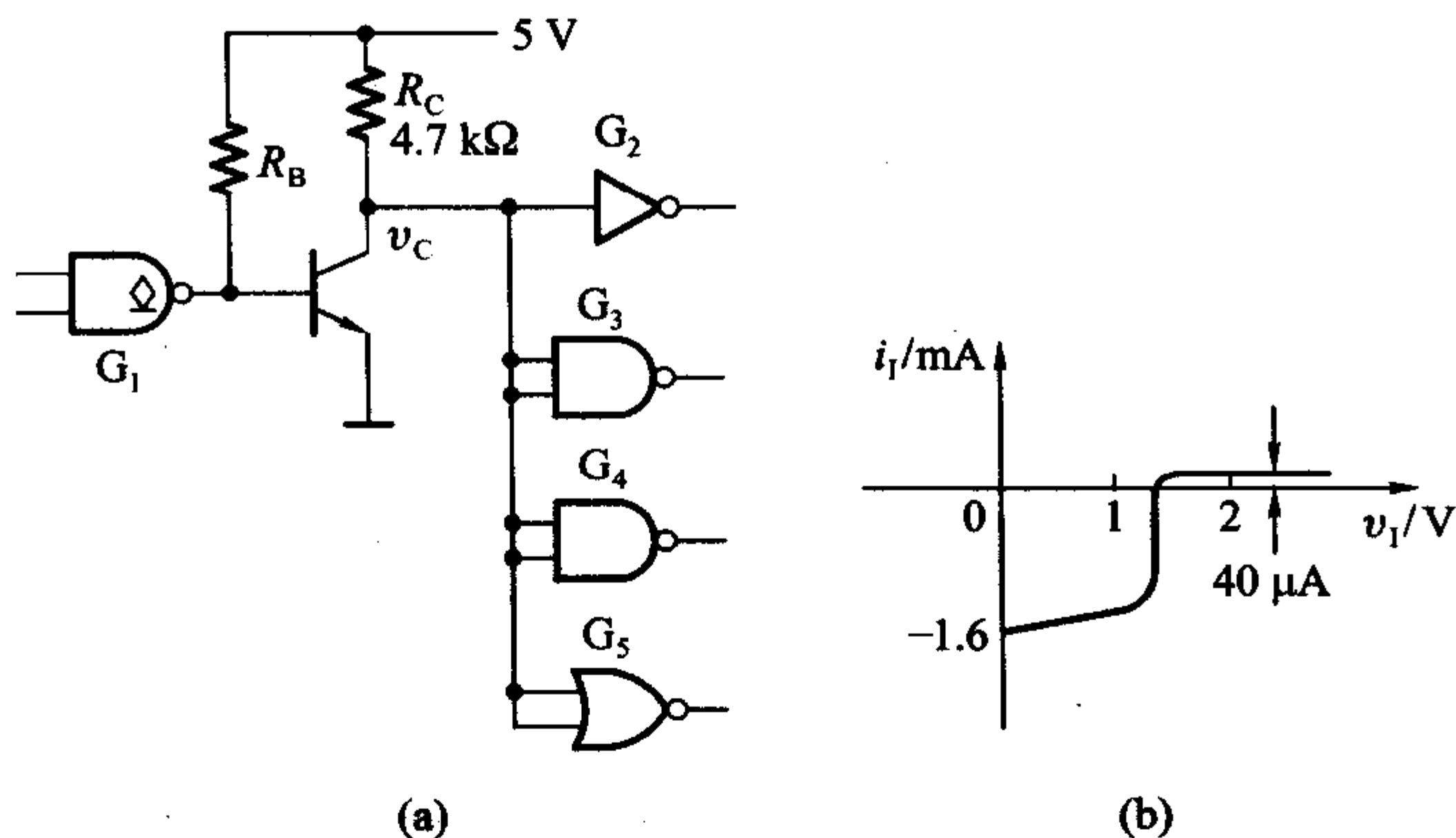


图 P3.26

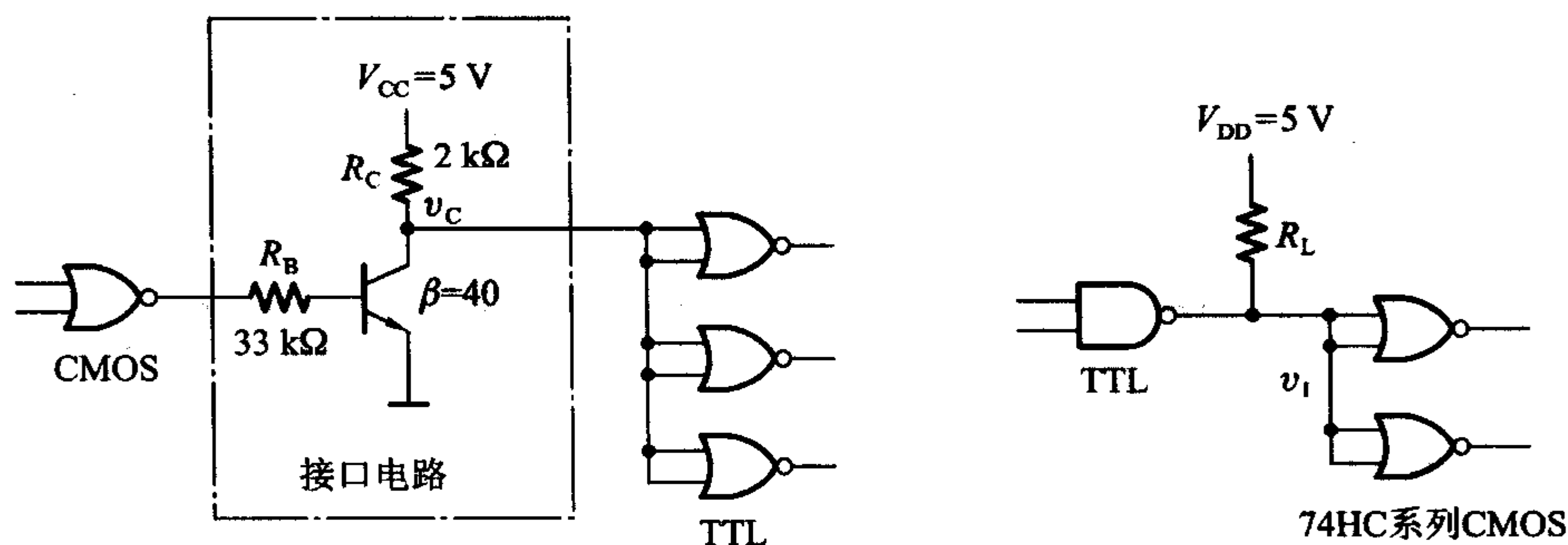


图 P3.27

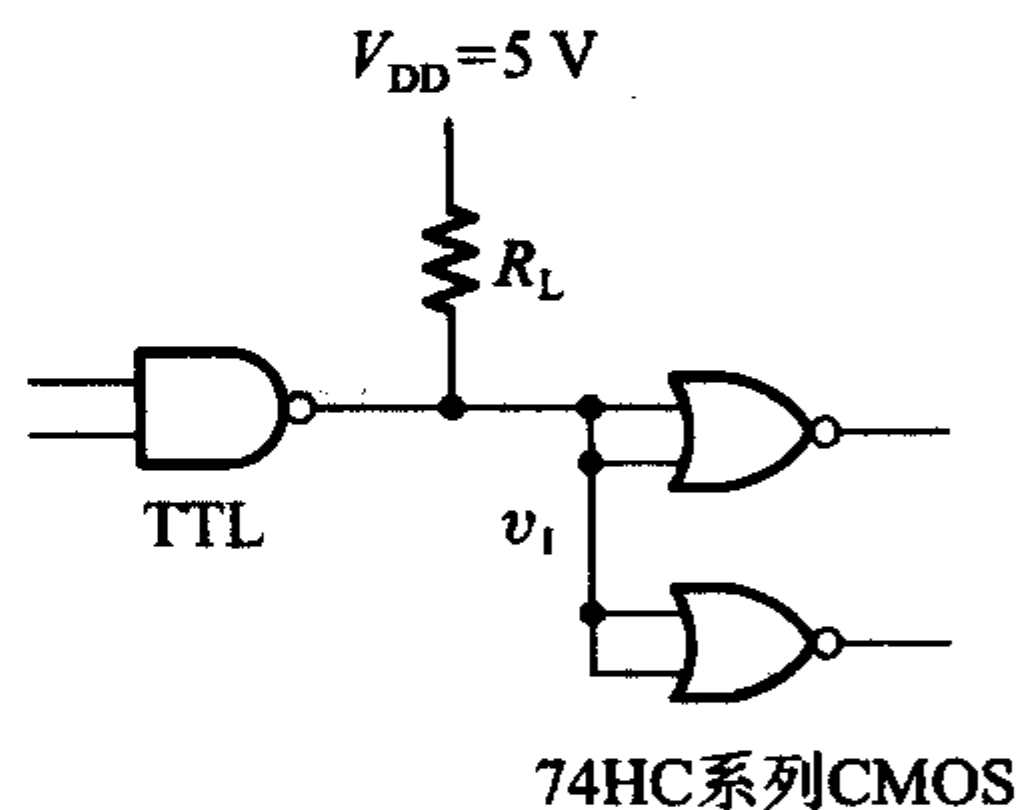


图 P3.28

[题 3.28] 图 P3.28 是用 TTL 电路驱动 CMOS 电路的实例, 试计算上拉电阻  $R_L$  的取值范围。TTL 与非门在  $V_{OL} \leq 0.3 \text{ V}$  时的最大输出电流为  $8 \text{ mA}$ , 输出端的  $T_s$  管截止时有  $50 \mu\text{A}$  的漏电流。CMOS 或非门的高电平输入电流最大值和低电平输入电流最大值均为  $1 \mu\text{A}$ 。要求加到 CMOS 或非门输入端的电压满足  $V_{IH} \geq 4 \text{ V}$ ,  $V_{IL} \leq 0.3 \text{ V}$ 。给定电源电压  $V_{DD} = 5 \text{ V}$ 。

[题 3.29] 试说明下列各种门电路中哪些可以将输出端并联使用(输入端的状态不一定相同):

- (1) 具有推拉式输出级的 TTL 电路;
- (2) TTL 电路的 OC 门;
- (3) TTL 电路的三态输出门;
- (4) 互补输出结构的 CMOS 门;
- (5) CMOS 电路的 OD 门;
- (6) CMOS 电路的三态输出门。

## 第四章

# 组合逻辑电路

### 内容提要

本章将重点介绍组合逻辑电路的特点以及组合逻辑电路的分析方法和设计方法。

首先讲述组合逻辑电路的共同特点和一般的分析方法和设计方法。然后介绍几种常用的组合逻辑电路的工作原理和使用方法。最后着重从物理概念上说明竞争-冒险现象及其成因,并扼要地介绍消除竞争-冒险现象的常用方法。此外,还给出了用Multisim 7分析组合逻辑电路的实例。

## 4.1 概述

### 一、组合逻辑电路的特点

根据逻辑功能的不同特点,可以将数字电路分成两大类,一类称为组合逻辑电路(简称组合电路),另一类称为时序逻辑电路(简称时序电路)。

在组合逻辑电路中,任意时刻的输出仅仅取决于该时刻的输入,与电路原来的状态无关。这就是组合逻辑电路在逻辑功能上的共同特点。

图 4.1.1 就是一个组合逻辑电路的例子。它有三个输入变量  $A$ 、 $B$ 、 $CI$  和两个输出变量  $S$ 、 $CO$ 。由图可知,无论任何时刻,只要  $A$ 、 $B$  和  $CI$  的取值确定了,则  $S$  和  $CO$  的取值也随之确定,与电路过去的工作状态无关。

### 二、逻辑功能的描述

从理论上讲,逻辑图本身就是逻辑功能的一种表达方式。然而在许多情况下,用逻辑图所表示的逻辑功能不够直观,往往还需要把它转换为逻辑函数式或逻辑真值表的形式,以使电路的逻辑功能更加直观、明显。

例如,将图 4.1.1 的逻辑功能写成逻辑函数式的形式即可得到

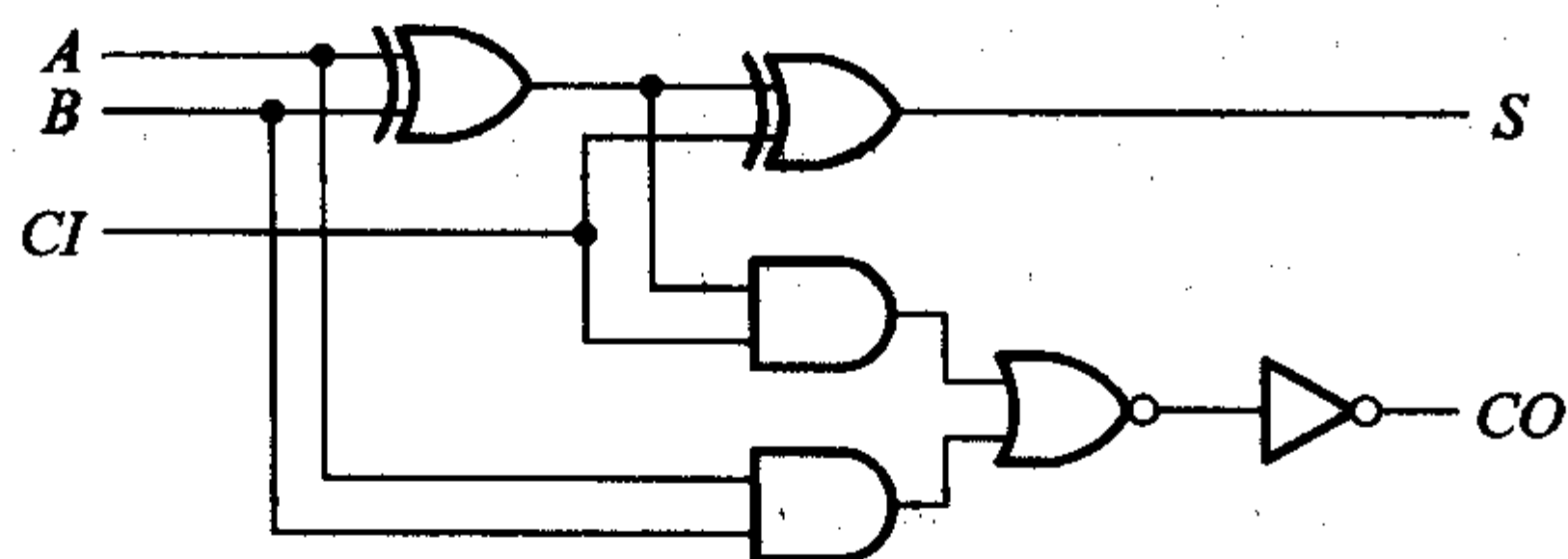


图 4.1.1 组合逻辑电路实例

$$\begin{cases} S = (A \oplus B) \oplus CI \\ CO = (A \oplus B) CI + AB \end{cases} \quad (4.1.1)$$

对于任何一个多输入、多输出的组合逻辑电路,都可以用图 4.1.2 所示的框图表示。图中  $a_1, a_2, \dots, a_n$  表示输入变量,  $y_1, y_2, \dots, y_m$  表示输出变量。输出与输入间的逻辑关系可以用一组逻辑函数表示



图 4.1.2 组合逻辑电路的框图

$$\begin{cases} y_1 = f_1(a_1, a_2, \dots, a_n) \\ y_2 = f_2(a_1, a_2, \dots, a_n) \\ \vdots \\ y_m = f_m(a_1, a_2, \dots, a_n) \end{cases} \quad (4.1.2)$$

或者写成向量函数的形式

$$Y = F(A) \quad (4.1.3)$$

从组合电路逻辑功能的特点不难想到,既然它的输出与电路的历史状况无关,那么电路中就不能包含有存储单元。这就是组合逻辑电路在电路结构上的共同特点。

## 4.2 组合逻辑电路的分析方法和设计方法

### 4.2.1 组合逻辑电路的分析方法

所谓分析一个给定的逻辑电路,就是要通过分析找出电路的逻辑功能来。

通常采用的分析方法是从电路的输入到输出逐级写出逻辑函数式,最后得

到表示输出与输入关系的逻辑函数式。然后用公式化简法或卡诺图化简法将得到的函数式化简或变换,以使逻辑关系简单明了。为了使电路的逻辑功能更加直观,有时还可以将逻辑函数式转换为真值表的形式。

【例 4.2.1】 试分析图 4.2.1 所示电路的逻辑功能,指出该电路的用途。

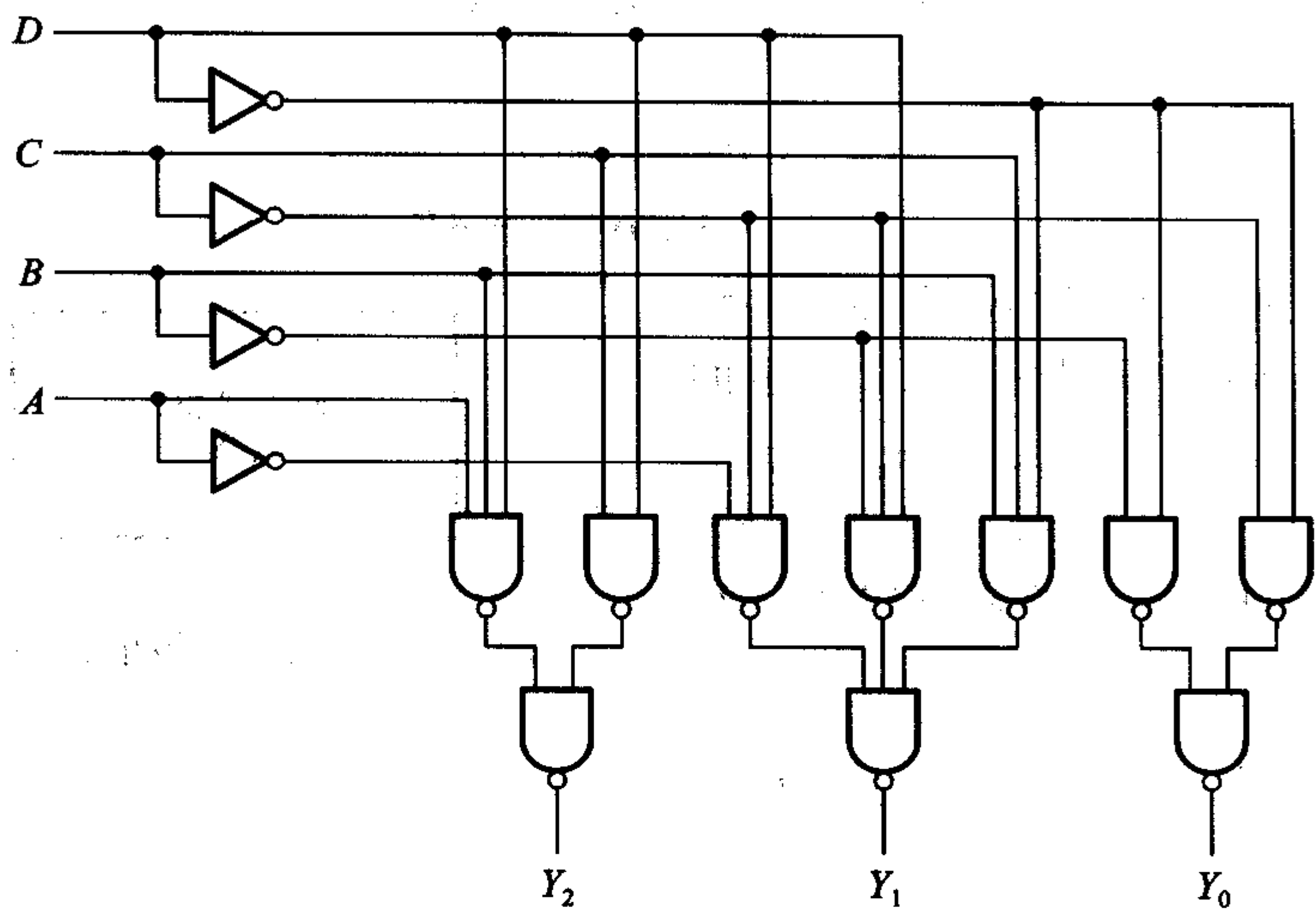


图 4.2.1 例 4.2.1 的电路

解: 根据给出的逻辑图可写出  $Y_2$ 、 $Y_1$ 、 $Y_0$  和  $D$ 、 $C$ 、 $B$ 、 $A$  之间关系的逻辑式

$$\begin{cases} Y_2 = ((DC)'(DBA)')' = DC + DBA \\ Y_1 = ((D'CB)'(DC'B')'(DC'A'))' = D'CB + DC'B' + DC'A' \\ Y_0 = ((D'C')'(D'B'))' = D'C' + D'B' \end{cases} \quad (4.2.1)$$

从上面的逻辑函数式中我们还不能立刻看出这个电路的逻辑功能和用途。为此,还需将式(4.2.1)转换成真值表的形式,得到表 4.2.1。

表 4.2.1 图 4.2.1 所示电路的逻辑真值表

| 输 入 |     |     |     | 输 出   |       |       |
|-----|-----|-----|-----|-------|-------|-------|
| $D$ | $C$ | $B$ | $A$ | $Y_2$ | $Y_1$ | $Y_0$ |
| 0   | 0   | 0   | 0   | 0     | 0     | 1     |
| 0   | 0   | 0   | 1   | 0     | 0     | 1     |
| 0   | 0   | 1   | 0   | 0     | 0     | 1     |
| 0   | 0   | 1   | 1   | 0     | 0     | 1     |
| 0   | 1   | 0   | 0   | 0     | 0     | 1     |

续表

| 输 入 |     |     |     | 输 出   |       |       |
|-----|-----|-----|-----|-------|-------|-------|
| $D$ | $C$ | $B$ | $A$ | $Y_2$ | $Y_1$ | $Y_0$ |
| 0   | 1   | 0   | 1   | 0     | 0     | 1     |
| 0   | 1   | 1   | 0   | 0     | 1     | 0     |
| 0   | 1   | 1   | 1   | 0     | 1     | 0     |
| 1   | 0   | 0   | 0   | 0     | 1     | 0     |
| 1   | 0   | 0   | 1   | 0     | 1     | 0     |
| 1   | 0   | 1   | 0   | 0     | 1     | 0     |
| 1   | 0   | 1   | 1   | 1     | 0     | 0     |
| 1   | 1   | 0   | 0   | 1     | 0     | 0     |
| 1   | 1   | 0   | 1   | 1     | 0     | 0     |
| 1   | 1   | 1   | 0   | 1     | 0     | 0     |
| 1   | 1   | 1   | 1   | 1     | 0     | 0     |

由表 4.2.1 可以看到,当  $DCBA$  表示的二进制数小于或等于 5 时  $Y_0$  为 1,当这个二进制数在 6 和 10 之间时  $Y_1$  为 1,而当这个二进制数大于或等于 11 时  $Y_2$  为 1。因此,这个逻辑电路可以用来判别输入的 4 位二进制数数值的范围。

可见,一旦将电路的逻辑功能列成真值表,它的功能也就一目了然了。

### 4.2.2 组合逻辑电路的设计方法

根据给出的实际逻辑问题,求出实现这一逻辑功能的最简单逻辑电路,这就是设计组合逻辑电路时要完成的工作。

这里所说的“最简”,是指电路所用的器件数最少,器件的种类最少,而且器件之间的连线也最少。

组合逻辑电路的设计工作通常可按以下步骤进行:

#### 一、进行逻辑抽象

在许多情况下,提出的设计要求是用文字描述的一个具有一定因果关系的事件。这时就需要通过逻辑抽象的方法,用一个逻辑函数来描述这一因果关系。

逻辑抽象的工作通常是这样进行的:

(1) 分析事件的因果关系,确定输入变量和输出变量。一般总是把引起事件的原因定为输入变量,而把事件的结果作为输出变量。

(2) 定义逻辑状态的含意。

以二值逻辑的 0、1 两种状态分别代表输入变量和输出变量的两种不同状态。这里 0 和 1 的具体含意完全是由设计者人为选定的。这项工作也称为逻辑状态赋值。

(3) 根据给定的因果系列出逻辑真值表。