

复习思考题

R5.3.1 为什么电平触发 SR 触发器也应当遵守 $SR = 0$ 的约束条件？在什么情况下会发生触发器的次态无法确知的问题？

5.4 脉冲触发的触发器

一、电路结构和工作原理

为了提高触发器工作的可靠性,希望在每个 CLK 周期里输出端的状态只能改变一次。为此目的,在电平触发触发器的基础上,又设计出了脉冲触发的触发器。

脉冲触发触发器的典型结构形式如图 5.4.1 所示。它由两个同样的电平触发 SR 触发器组成,其中由 $G_1 \sim G_4$ 组成的触发器称为从触发器,由 $G_5 \sim G_8$ 组成的触发器称为主触发器。因此,也经常将这个电路称为主从 SR 触发器 (Master-Slave SR Flip-Flop)。

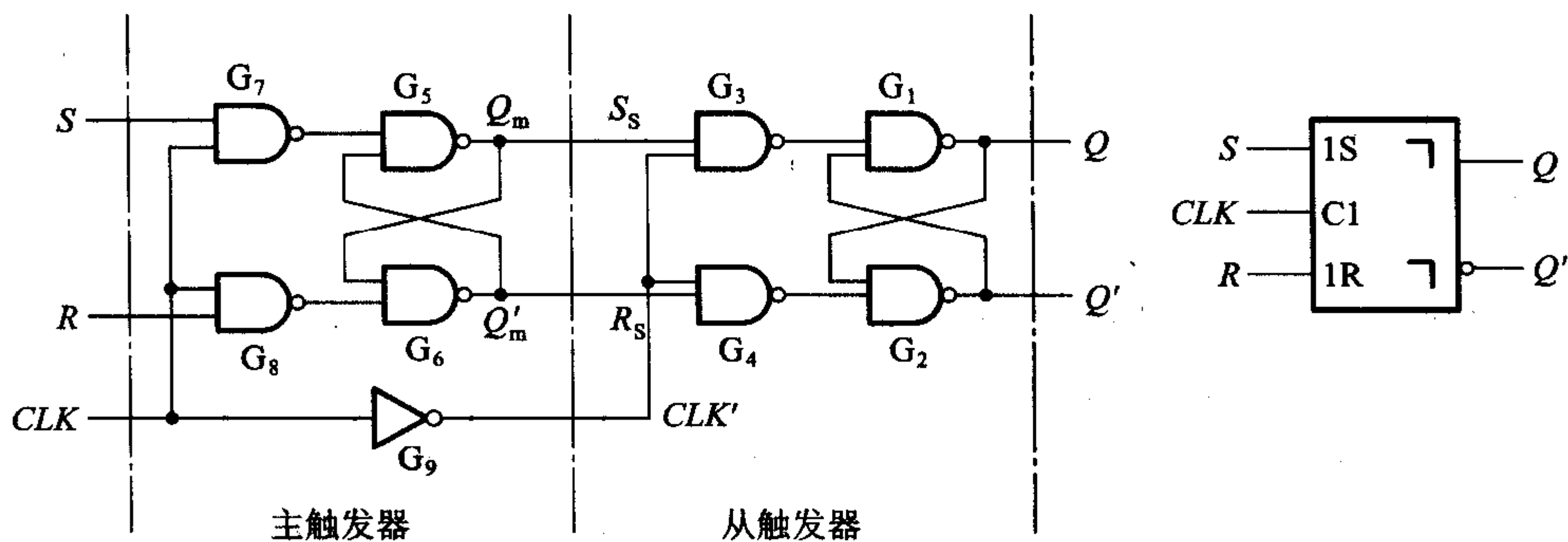


图 5.4.1 主从 SR 触发器

当 $CLK = 1$ 时,门 G_7 和 G_8 被打开,门 G_3 和 G_4 被封锁,主触发器根据 S 和 R 的状态翻转,而从触发器保持原来的状态不变。

当 CLK 由高电平返回低电平(即有效电平消失)以后,门 G_7 和 G_8 被封锁,此后无论 S, R 的状态如何改变,在 $CLK = 1$ 的全部时间里主触发器的状态不再改变。与此同时,门 G_3 和 G_4 被打开,从触发器按照与主触发器相同的状态翻

转。因此,在一个 CLK 的变化周期里触发器输出端的状态只可能改变一次。

例如, $CLK = 0$ 时触发器的初始状态为 $Q = 0$,当 CLK 由 0 变为 1 以后,若这时 $S = 1$ 、 $R = 0$,主触发器将被置 1,即 $Q_m = 1$ 、 $Q'_m = 0$,而从触发器保持 0 状态不变。当 CLK 回到低电平以后,从触发器的 CLK' 变成了高电平,它的输入为 $S_s = Q_m = 1$ 、 $R_s = Q'_m = 0$,因而输出被置成 $Q = 1$ 。

在图形符号中用框内的“ $\neg$ ”表示“延迟输出”,即 CLK 回到低电平(有效电平消失)以后,输出状态才改变。因此,图 5.4.1 所示电路输出状态的变化发生在 CLK 信号的下降沿。

将上述的逻辑关系列成真值表,就得到了表 5.4.1 所示脉冲触发 SR 触发器的

真值表。表中用 CLK 一栏中的“ $\neg$ ”符号表示 CLK 高电平有效的脉冲触发特性。(CLK 以低电平为有效信号时,在 CLK 输入端加有小圆圈,输出状态的变化发生在 CLK 脉冲的上升沿。)

从电平触发到脉冲触发的这一演变,克服了 $CLK = 1$ 期间触发器输出状态可能发生多次翻转的问题。但由于主触发器本身是电平触发 SR 触发器,所以在 $CLK = 1$ 期间 Q_m 和 Q'_m 的状态仍然会随 S 、 R 状态的变化而多次改变。而且,输入信号仍需遵守 $SR = 0$ 的约束条件。

【例 5.4.1】 在图 5.4.1 所示的主从 SR 触发器电路中,若 CLK 、 S 和 R 的电压波形如图 5.4.2 所示,试求 Q 和 Q' 端的电压波形。设触发器的初始状态为 $Q = 0$ 。

表 5.4.1 主从 SR 触发器的特性表

CLK	S	R	Q	Q'
$\times$	$\times$	$\times$	$\times$	Q
$\neg$	0	0	0	0
$\neg$	0	0	1	1
$\neg$	1	0	0	1
$\neg$	1	0	1	1
$\neg$	0	1	0	0
$\neg$	0	1	1	0
$\neg$	1	1	0	1 ^①
$\neg$	1	1	1	1 ^①

① CLK 回到低电平后输出状态不定。

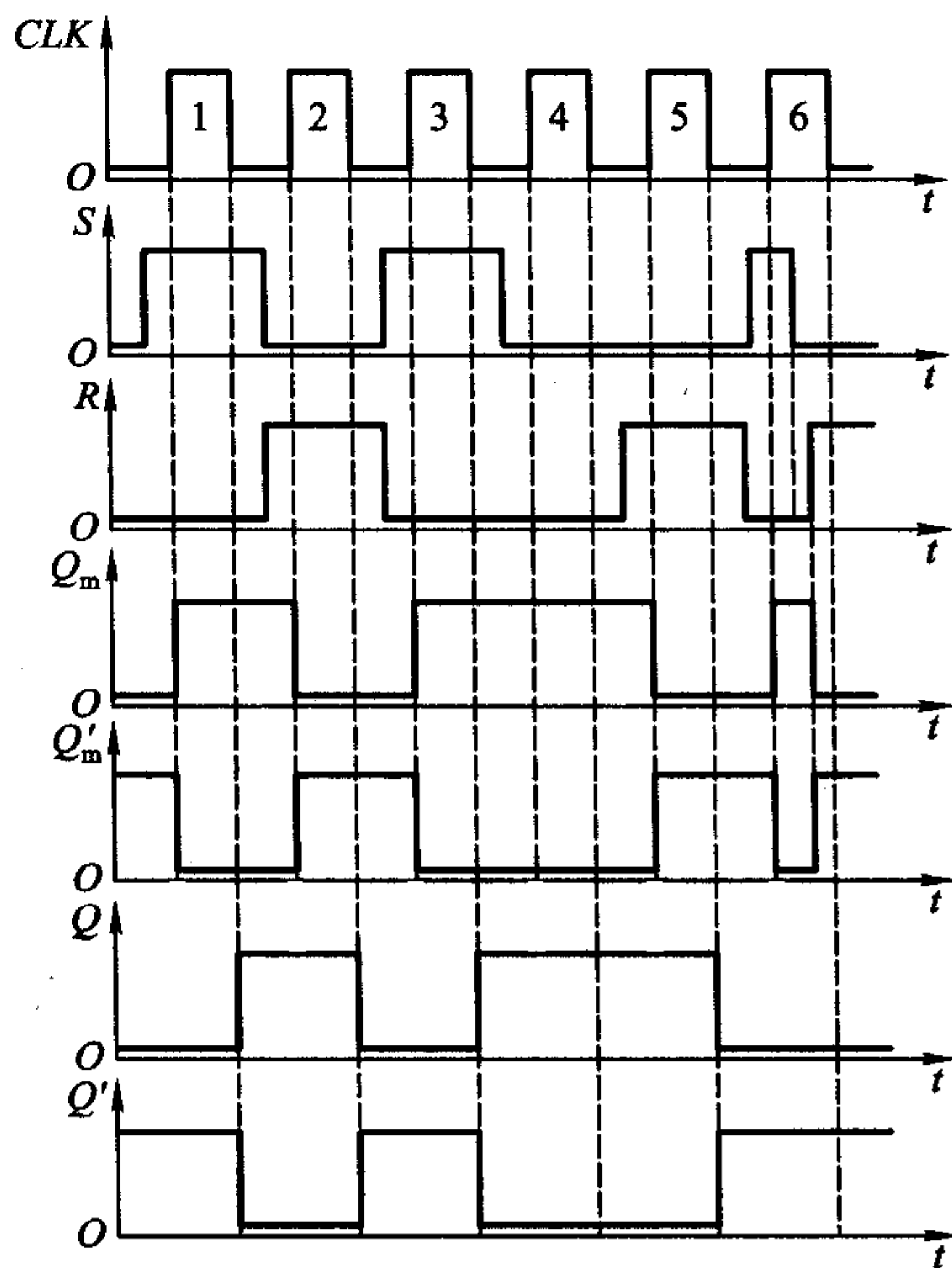


图 5.4.2 例 5.4.1 的电压波形图

解：首先根据 $CLK = 1$ 期间 S 、 R 的状态可得到 Q_m 、 Q'_m 的电压波形。然后,根据 CLK 下降沿到达时 Q_m 、 Q'_m 的状态即可画出 Q 、 Q' 的电压波形了。由图可见,在第六个 CLK 高电平期间, Q_m 和 Q'_m 的状态虽然改变了两次,但输出端的状态并不改变。

为了使用方便,希望即使出现了 $S = R = 1$ 的情况,触发器的次态也是确定的,因而需要进一步改进触发器的电路结构。

不难发现,如果把主从 SR 触发器的 Q 和 Q' 端作为一对附加的控制信号接回到输入端,如图 5.4.3 所示,就可以达到上述要求。这一对反馈线通常在制造集成电路时已在内部连好。为表示与主从 SR 触发器在逻辑功能上的区别,以 J 、 K 表示两个信号输入端,并将图 5.4.3 所示的电路称为主从结构 JK 触发器(简称主从 JK 触发器)。

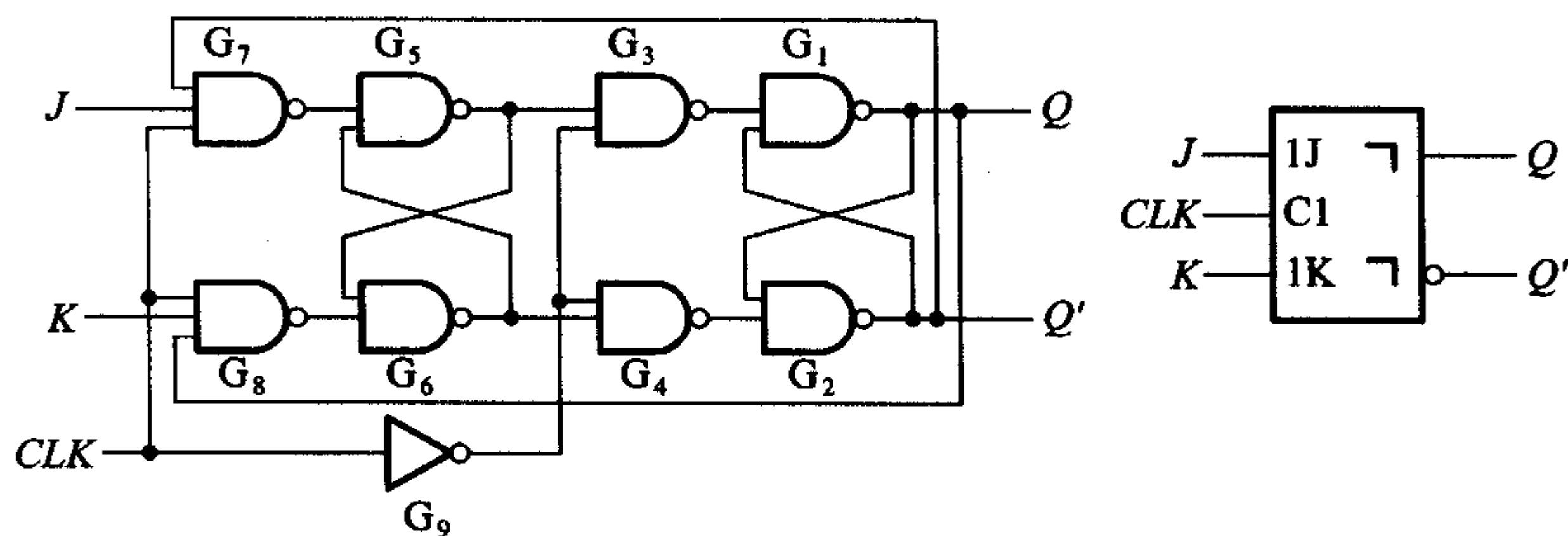


图 5.4.3 主从 JK 触发器

若 $J = 1$ 、 $K = 0$,则 $CLK = 1$ 时主触发器置 1(原来是 0 则置成 1,原来是 1 则保持 1),待 $CLK = 0$ 以后从触发器亦随之置 1,即 $Q^* = 1$ 。

若 $J = 0$ 、 $K = 1$,则 $CLK = 1$ 时主触发器置 0,待 $CLK = 0$ 以后从触发器也随之置 0,即 $Q^* = 0$ 。

若 $J = K = 0$,则由于门 G_7 、 G_8 被封锁,触发器保持原状态不变,即 $Q^* = Q$ 。

若 $J = K = 1$ 时,需要分别考虑两种情况。第一种情况是 $Q = 0$ 。这时门 G_8 被 Q 端的低电平封锁, $CLK = 1$ 时仅 G_7 输出低电平信号,故主触发器置 1。 $CLK = 0$ 以后从触发器也跟着置 1,即 $Q^* = 1$ 。

第二种情况是 $Q = 1$ 。这时门 G_7 被 Q' 端的低电平封锁,因而在 $CLK = 1$ 时仅 G_8 能给出低电平信号,故主触发器被置 0。当 $CLK = 0$ 以后从触发器跟着置 0,故 $Q^* = 0$ 。

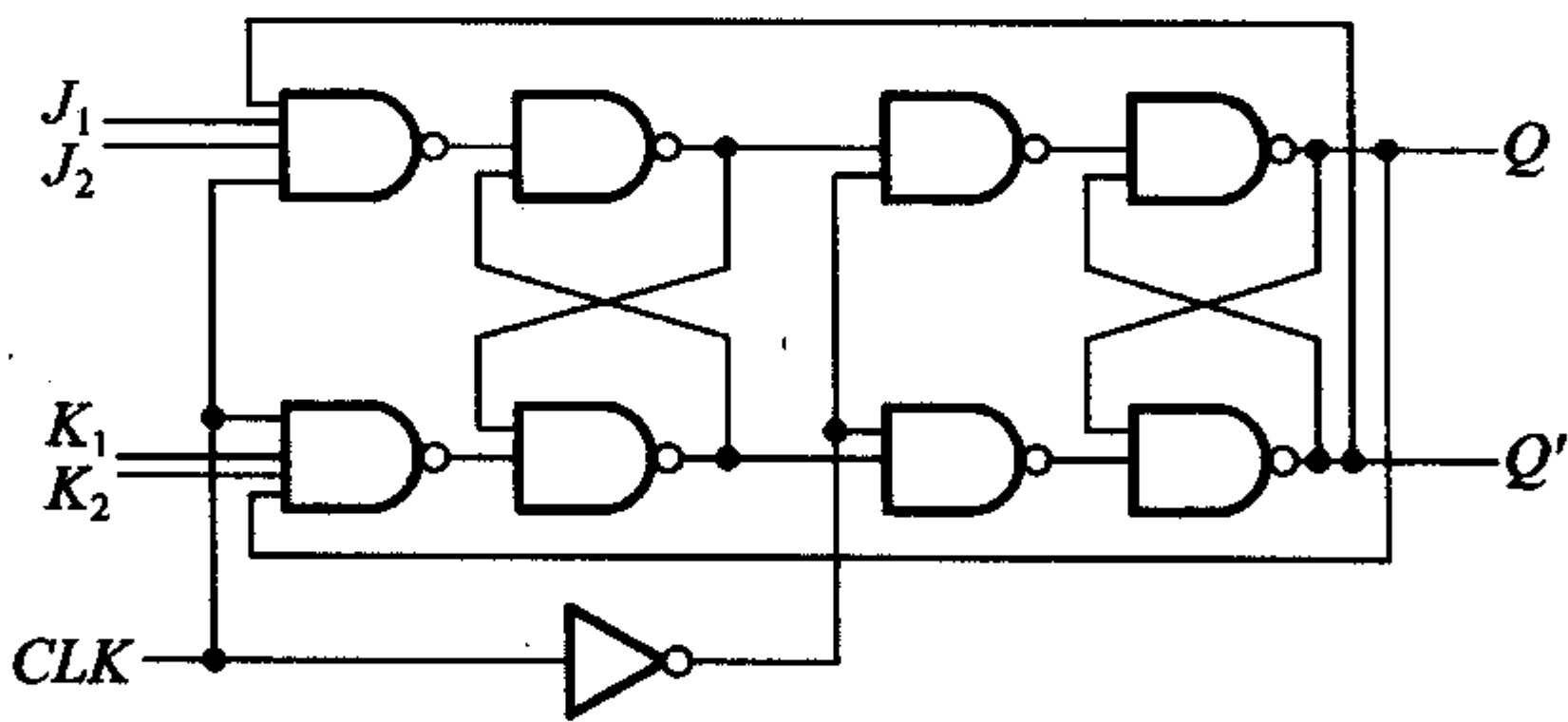
综合以上两种情况可知,无论 $Q = 1$ 还是 $Q = 0$,触发器的次态可统一表示为 $Q^* = Q'$ 。就是说,当 $J = K = 1$ 时, CLK 下降沿到达后触发器将翻转为与初态相反的状态。

将上述的逻辑关系用真值表表示,即得到表 5. 4. 2 所示的主从 JK 触发器的特性表。

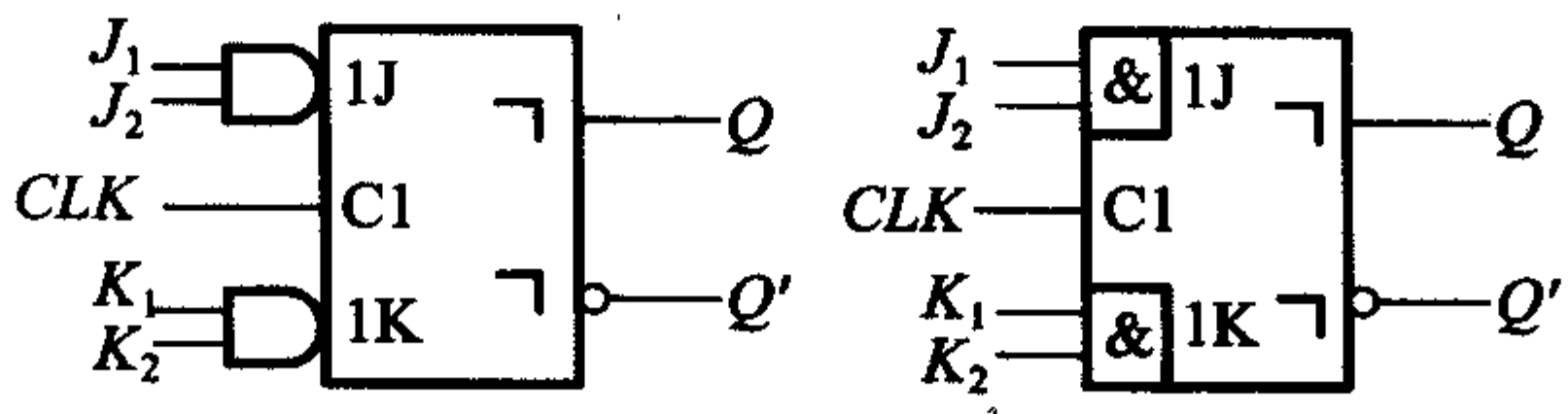
表 5. 4. 2 主从 JK 触发器的特性表

CLK	J	K	Q	Q*
×	×	×	×	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0

在有些集成电路触发器产品中,输入端 J 和 K 不止是一个。在这种情况下, J_1 和 J_2 、 K_1 和 K_2 是与的逻辑关系,如图 5. 4. 4(a) 所示。如果用特性表描述它



(a)



(b)

图 5. 4. 4 具有多输入端的主从 JK 触发器

(a) 电路结构 (b) 逻辑符号

的逻辑功能,则应以 $J_1 \cdot J_2$ 和 $K_1 \cdot K_2$ 分别代替表 5.4.2 中的 J 和 K 。图 5.4.4 (b) 中给出了多输入端 JK 触发器常见的两种逻辑符号。

【例 5.4.2】在图 5.4.3 给出的主从 JK 触发器电路中,若 CLK 、 J 、 K 的波形如图 5.4.5 所示,试画出 Q 、 Q' 端对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。

解: 由于每一时刻 J 、 K 的状态均已由波形图给定,而且 $CLK = 1$ 期间 J 、 K 的状态不变,所以只要根据 CLK 下降沿到达时 JK 的状态去查主从 JK 触发器的特性表,就可以逐段画出 Q 和 Q' 端的电压波形了。可以看出,触发器输出端状态的改变均发生在 CLK 信号的下降沿,而且即使 $CLK = 1$ 时 $J = K = 1$, CLK 下降沿到来时触发器的次态也是确定的。

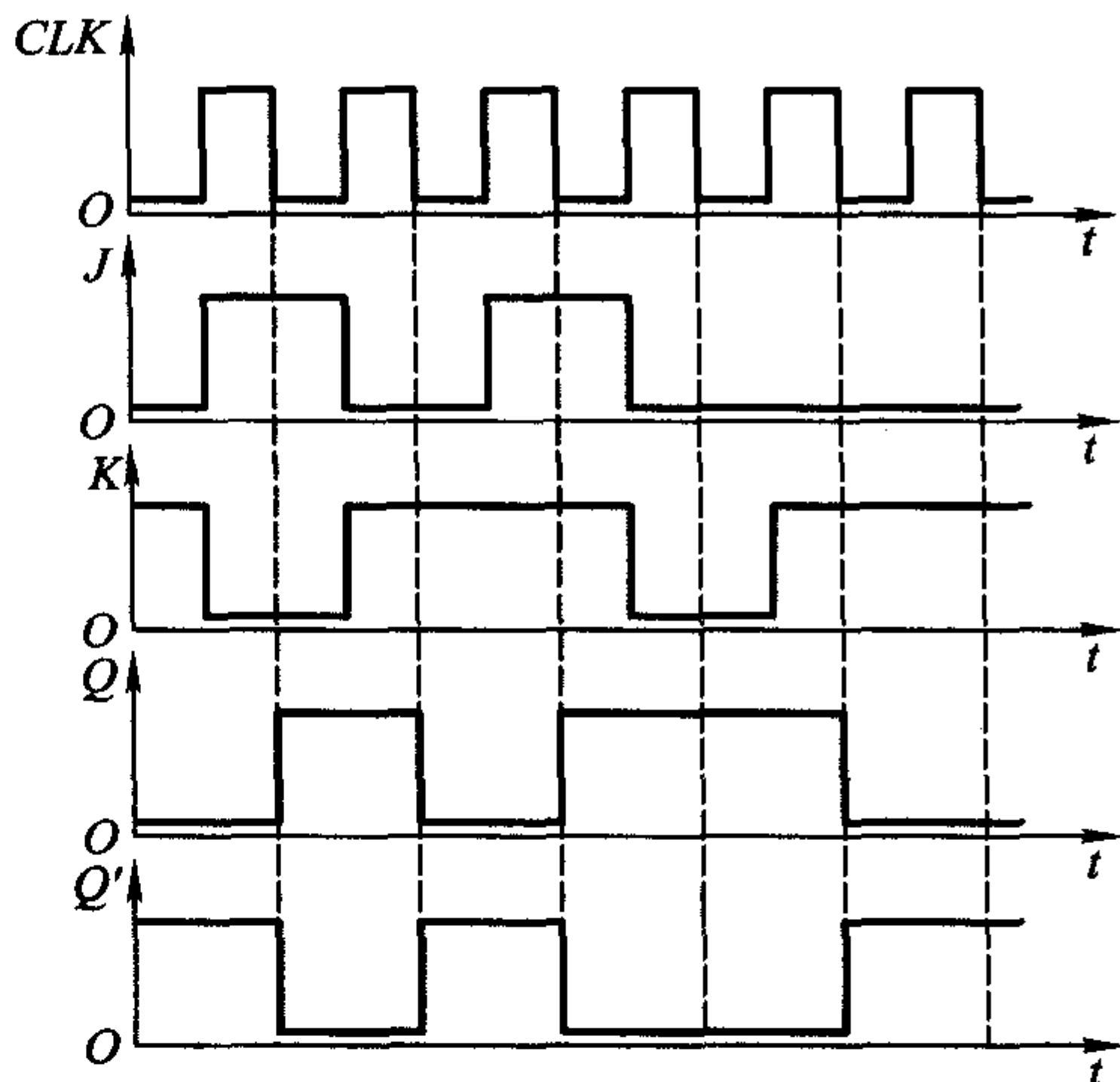


图 5.4.5 例 5.4.2 的电压波形图

二、脉冲触发方式的动作特点

通过上面的分析可以看到,脉冲触发方式具有两个值得注意的动作特点:

(1) 触发器的翻转分两步动作。第一步,在 $CLK = 1$ 期间主触发器接收输入端(S 、 R 或 J 、 K)的信号,被置成相应的状态,而从触发器不动;第二步, CLK 下降沿到来时从触发器按照主触发器的状态翻转,所以 Q 、 Q' 端状态的变化发生在 CLK 的下降沿。(若 CLK 以低电平为有效信号,则 Q 和 Q' 状态的变化发生在 CLK 的上升沿。)

(2) 因为主触发器本身是一个电平触发 SR 触发器,所以在 $CLK = 1$ 的全部时间里输入信号都将对主触发器起控制作用。

由于存在这样两个动作特点,在使用主从结构触发器时经常会遇到这样一种情况,就是在 $CLK = 1$ 期间输入信号发生过变化以后, CLK 下降沿到达时从触发器的状态不一定能按此刻输入信号的状态来确定,而必须考虑整个 $CLK = 1$ 期间里输入信号的变化过程才能确定触发器的次态。

例如,在图 5.4.1 所示的主从 SR 触发器中,假定初始状态为 $Q = 0$, $CLK = 0$ 。如果 CLK 变成 1 以后先是 $S = 1$ 、 $R = 0$,然后在 CLK 下降沿到来之前又变成了 $S = R = 0$,那么用 CLK 下降沿到达时的 $S = R = 0$ 状态去查触发器的特性表会

得到 $Q^* = Q = 0$ 的结果。然而,实际上由于 $CLK = 1$ 的开始阶段曾经出现过 $S = 1$ 、 $R = 0$ 的输入信号,主触发器已被置 1,所以 CLK 下降沿到达后从触发器也随之置 1,即实际的次态应为 $Q^* = 1$ 。

在图 5.4.3 所示的主从 JK 触发器中也存在类似的问题,即 $CLK = 1$ 的全部时间里主触发器都可以接收输入信号。而且,由于 Q 、 Q' 端接回到了输入门上,所以在 $Q = 0$ 时主触发器只能接受置 1 输入信号,在 $Q = 1$ 时主触发器只能接受置 0 信号。其结果就是在 $CLK = 1$ 期间主触发器只有可能翻转一次,一旦翻转了就不会翻回原来的状态。但在主从 SR 触发器中,由于没有 Q 、 Q' 端接到输入端的反馈线,所以 $CLK = 1$ 期间 S 、 R 状态多次改变时主触发器状态也会随着多次翻转。

因此,在使用主从结构触发器时必须注意:只有在 $CLK = 1$ 的全部时间里输入状态始终未变的条件下,用 CLK 下降沿到达时输入的状态决定触发器的次态才肯定是对的。否则,必须考虑 $CLK = 1$ 期间输入状态的全部变化过程,才能确定 CLK 下降沿到达时触发器的次态。

【例 5.4.3】 在图 5.4.3 所示的主从 JK 触发器中,已知 CLK 、 J 、 K 的电压波形如图 5.4.6 所示,试画出与之对应的输出端电压波形。设触发器的初始状态为 $Q = 0$ 。

解: 由图 5.4.6 可见,第一个 CLK 高电平期间始终为 $J = 1$ 、 $K = 0$, CLK 下降沿到达后触发器置 1。

第二个 CLK 的高电平期间 K 端状态发生过变化,因而不能简单地以 CLK 下降沿到达时 J 、 K 的状态来决定触发器的次态。因为在 CLK 高电平期间出现过短时间的 $J = 0$ 、 $K = 1$ 状态,此时主触发器便被置 0,所以虽然 CLK 下降沿到达时输入状态回到了 $J = K = 0$,但从触发器仍按主触发器的状态被置 0,即 $Q^* = 0$ 。

第三个 CLK 下降沿到达时 $J = 0$ 、 $K = 1$ 。如果以这时的输入状态决定触发器次态,应保持 $Q^* = 0$ 。但由于 CLK 高电平期间曾出现过 $J = K = 1$ 状态, CLK 下降沿到达之前主触发器已被置 1,所以 CLK 下降沿到达后从触发器被置 1。

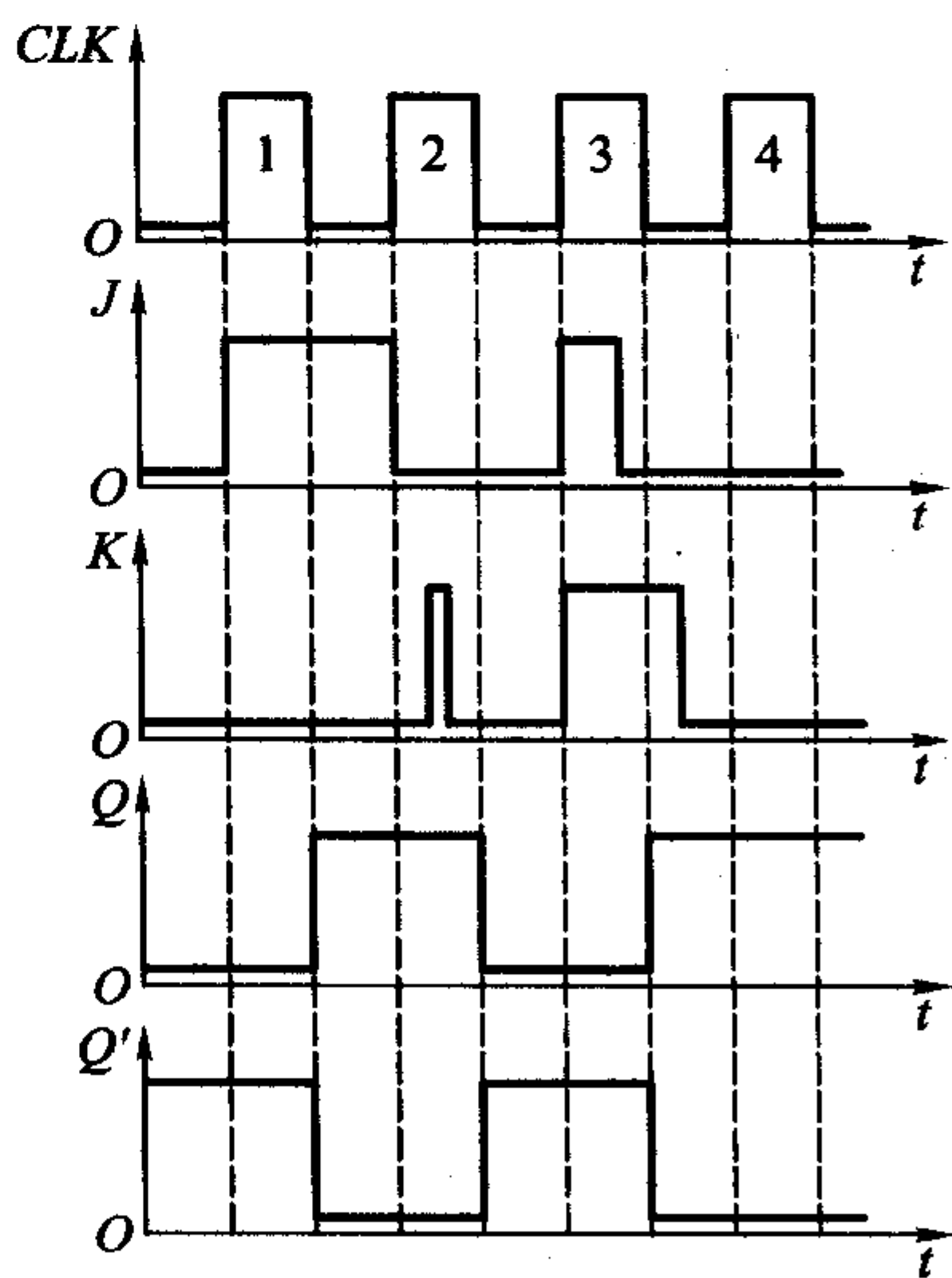


图 5.4.6 例 5.4.3 的电压波形图

复习思考题

R5.4.1 脉冲触发方式有哪些动作特点？它和电平触发方式有何不同？

R5.4.2 主从 JK 触发器和主从 SR 触发器在逻辑功能上有什么区别？用 JK 触发器代替 SR 触发器在逻辑功能上能否满足要求？

R5.4.3 为什么说主从 SR 触发器的主触发器在 $CLK = 1$ 期间可能多次改变状态，而主从 JK 触发器的主触发器在 $CLK = 1$ 期间只可能翻转一次？

5.5 边沿触发的触发器

一、电路结构和工作原理

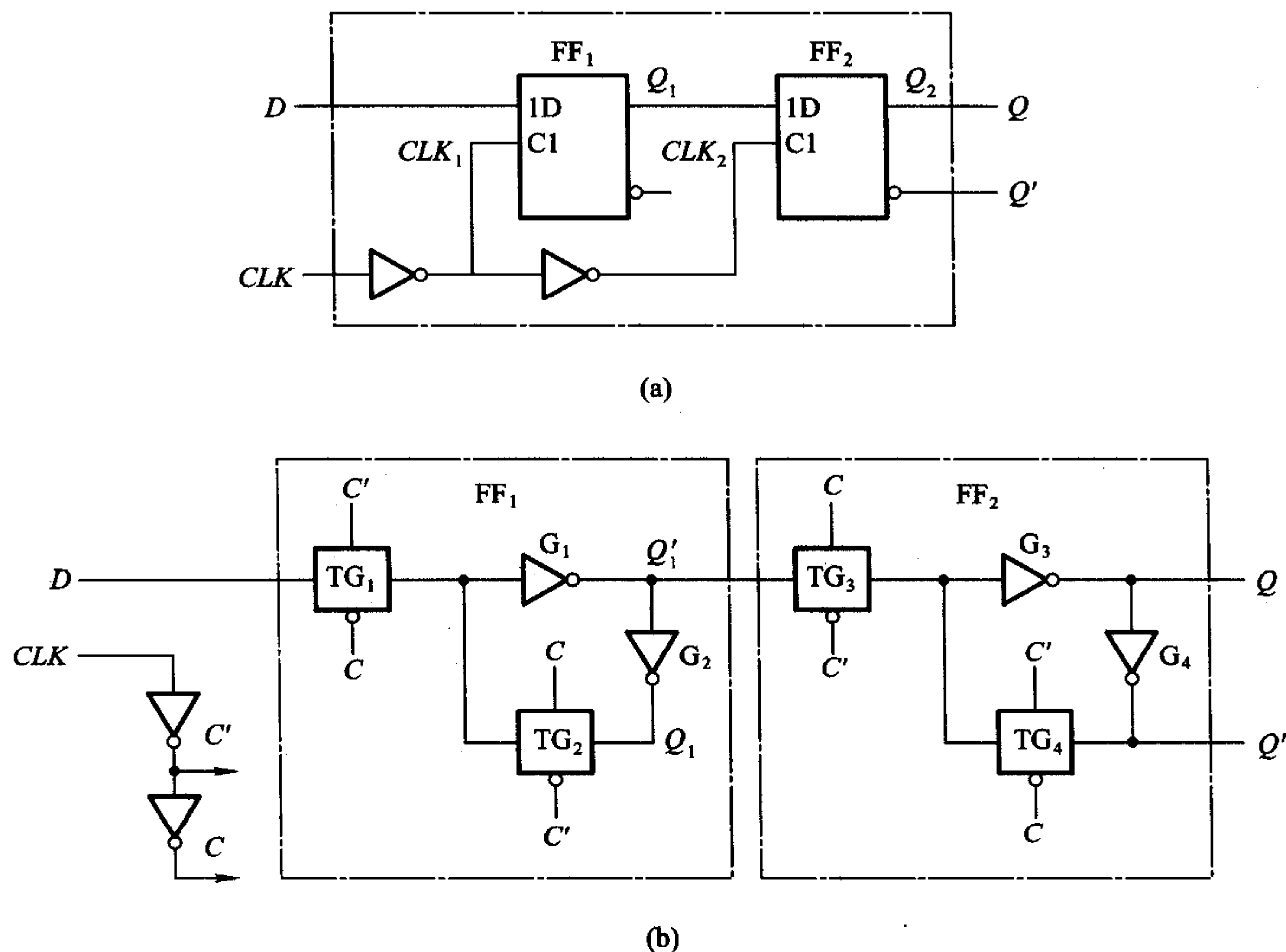
为了提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅仅取决于 CLK 信号下降沿（或上升沿）到达时刻输入信号的状态。而在此之前和之后输入状态的变化对触发器的次态没有影响。为实现这一设想，人们相继研制成了各种边沿触发（edge-triggered）的触发器电路。目前已用于数字集成电路产品中的边沿触发器电路有用两个电平触发 D 触发器构成的边沿触发器、维持阻塞触发器、利用门电路传输延迟时间的边沿触发器等几种较为常见的电路结构形式。

1. 用两个电平触发 D 触发器组成的边沿触发器

上一节中讲到，用两个电平触发 SR 触发器能构成脉冲触发的触发器，而在这一节中要介绍的是用两个电平触发 D 触发器构成边沿触发的触发器。

图 5.5.1(a) 是用两个电平触发 D 触发器组成边沿触发 D 触发器的原理性框图，图中的 FF_1 和 FF_2 是两个电平触发的 D 触发器（也称为 D 型锁存器）。由图可见，当 CLK 处于低电平时， CLK_1 为高电平，因而 FF_1 的输出 Q_1 跟随输入端 D 的状态变化，始终保持 $Q_1 = D$ 。与此同时， CLK_2 为低电平， FF_2 的输出 Q_2 （也就是整个电路最后的输出 Q ）保持原来的状态不变。

当 CLK 由低电平跳变至高电平时， CLK_1 随之变成了低电平，于是 Q_1 保持为 CLK 上升沿到达前瞬间输入端 D 的状态，此后不再跟随 D 的状态而改变。与此同时， CLK_2 跳变为高电平，使 Q_2 与它的输入状态相同。由于 FF_2 的输入就是 FF_1 的输出 Q_1 ，所以输出端 Q 便被置成了与 CLK 上升沿到达前瞬时 D 端相同的状态，而与以前和以后 D 端的状态无关。

图 5.5.1 用两个电平触发 D 触发器组成的边沿触发器

(a) 原理性框图

(b) 实际的 CMOS 边沿触发 D 触发器

目前在 CMOS 集成电路中主要采用这种电路结构形式制作边沿触发器。图 5.5.1(b) 就是 CMOS 边沿触发 D 触发器的典型电路, 其中 FF_1 和 FF_2 是两个利用 CMOS 传输门组成的电平触发 D 触发器。当 $CLK = 0$ 时, $C = 0$ 、 $C' = 1$, TG_1 导通、 TG_2 截止, D 端的输入信号送入 FF_1 , 使 $Q_1 = D$ 。而且, 在 $CLK = 0$ 期间 Q_1 的状态将一直跟随 D 的状态而变化。同时, 由于 TG_3 截止 TG_4 导通, FF_2 保持原来的状态不变。

当 CLK 的上升沿到达时, $C = 1$ 、 $C' = 0$, TG_1 变为截止、 TG_2 变为导通。由于反相器 G_1 输入电容的存储效应, G_1 输入端的电压不会立刻改变, 于是 Q_1 在 TG_1 变为截止前的状态被保存了下来。同时, 随着 TG_4 变为截止、 TG_3 变为导通, Q_1 的状态通过 TG_3 和 G_3 、 G_4 送到了输出端, 使 $Q^* = D$ (CLK 上升沿到达时 D 的状态)。因此, 这是一个上升沿触发的 D 触发器。

在图形符号中, 用 CLK 输入端处框内的“ $\triangleright$ ”表示触发器为边沿触发方式。在特性表中, 则用 CLK 一栏里的“ $\uparrow$ ”表示边沿触发方式, 而且是上升沿触发, 如表 5.5.1 中所示。(如果是下降沿触发, 则应在 CLK 输入端加画小圆圈, 并

在特性表中以“↓”表示。)

表 5.5.1 图 5.5.1 边沿触发器的特性表

CLK	D	Q	Q'
×	×	×	Q
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1

为了实现异步置位、复位功能,需要引入 S_D 和 R_D 信号。因为 S_D 和 R_D 是以高电平作为置 1 和置 0 输入信号的,所以必须把图 5.5.1(b) 中的 4 个反相器改成或非门,形成图 5.5.2 所示的电路。 S_D 和 R_D 端的内部连线在图中以虚线示出。

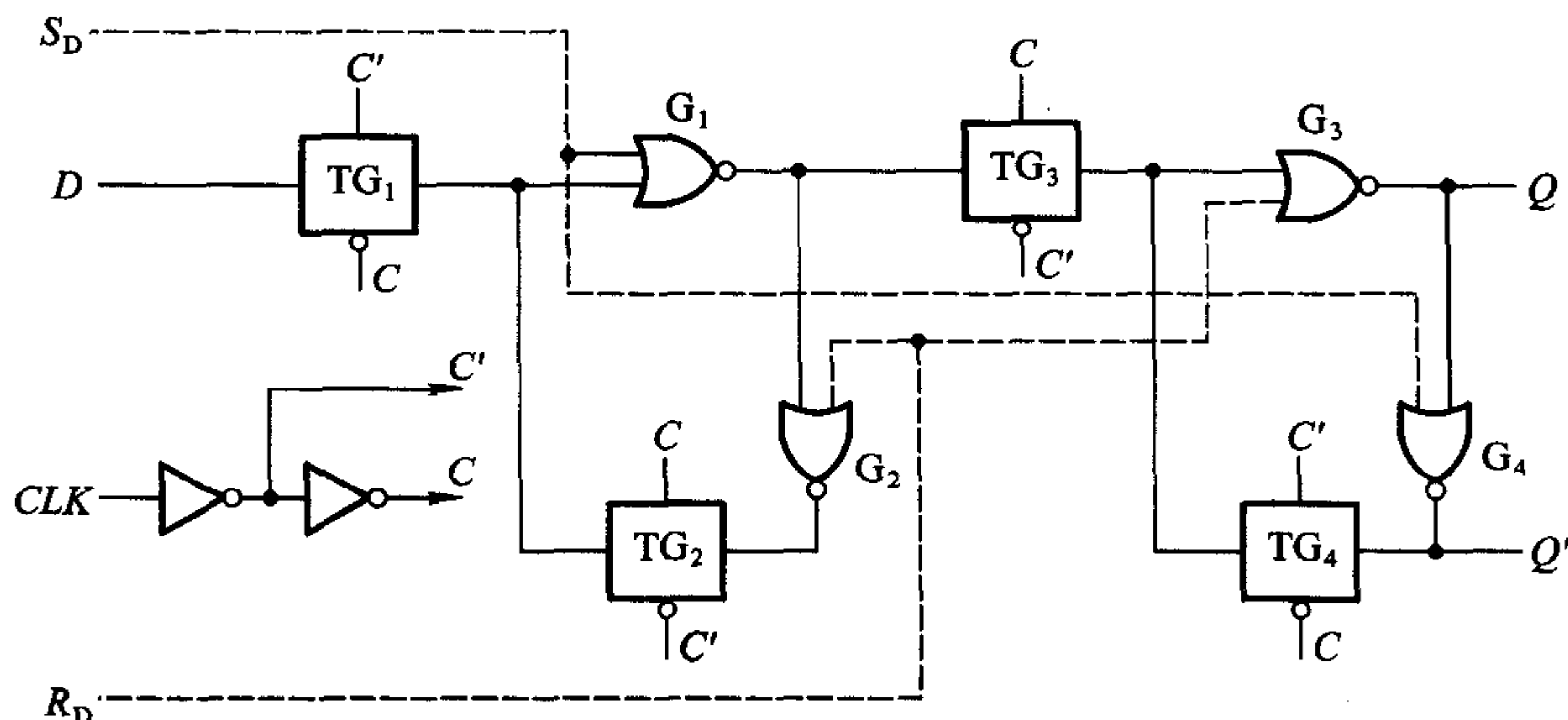


图 5.5.2 带有异步置位、复位端的 CMOS 边沿触发 D 触发器

* 2. 维持阻塞触发器

边沿触发器的另一种电路结构形式是维持阻塞结构。在 TTL 电路中,这种电路结构形式用得比较多。

图 5.5.3 是维持阻塞结构 SR 触发器的电路结构图。这个电路是在电平触发的同步 SR 触发器的基础上演变而来的。

如果不存在①、②、③、④这 4 根连线,门 $G_1 \sim G_4$ 就是一个普通的电平触发 SR 触发器。假如能保证 CLK 由低电平跳变为高电平以后,无论 S' 和 R' 的状态如何改变而 S 和 R 始终不变,那么触发器的次态将仅仅取决于 CLK 上升沿到时输入的状态。

为了达到这个目的,首先在电路中增加了 G_5 、 G_6 两个与非门和①、②两根连线,使 G_3 和 G_5 形成一个 SR 锁存器, G_4 和 G_6 形成另一个 SR 锁存器。如果没

有③、④两根线存在,当 CLK 由低电平变成高电平时, S' 或 R' 端的低电平输入信号将立刻被存入这两个 SR 锁存器中,此后即使 S' 或 R' 的低电平信号消失, S 和 R 的状态也能维持不变。因此,将①称为置 1 维持线,将②称为置 0 维持线。

由于工作过程中可能遇到 $CLK = 1$ 期间先是 $S' = 0$ 、 $R' = 1$,随后又变为 $S' = 1$ 、 $R' = 0$ 的情况(或者相反的变化情况),所以 G_3 、 G_5 和 G_4 、 G_6 组成的两个锁存器可能先后被置成 $S = 1$ 、 $R = 1$ 的状态。而对于由 $G_1 \sim G_4$ 组成的电平触发 SR 触发器来说, S 和 R 同时为 1 的状态是不允许的。

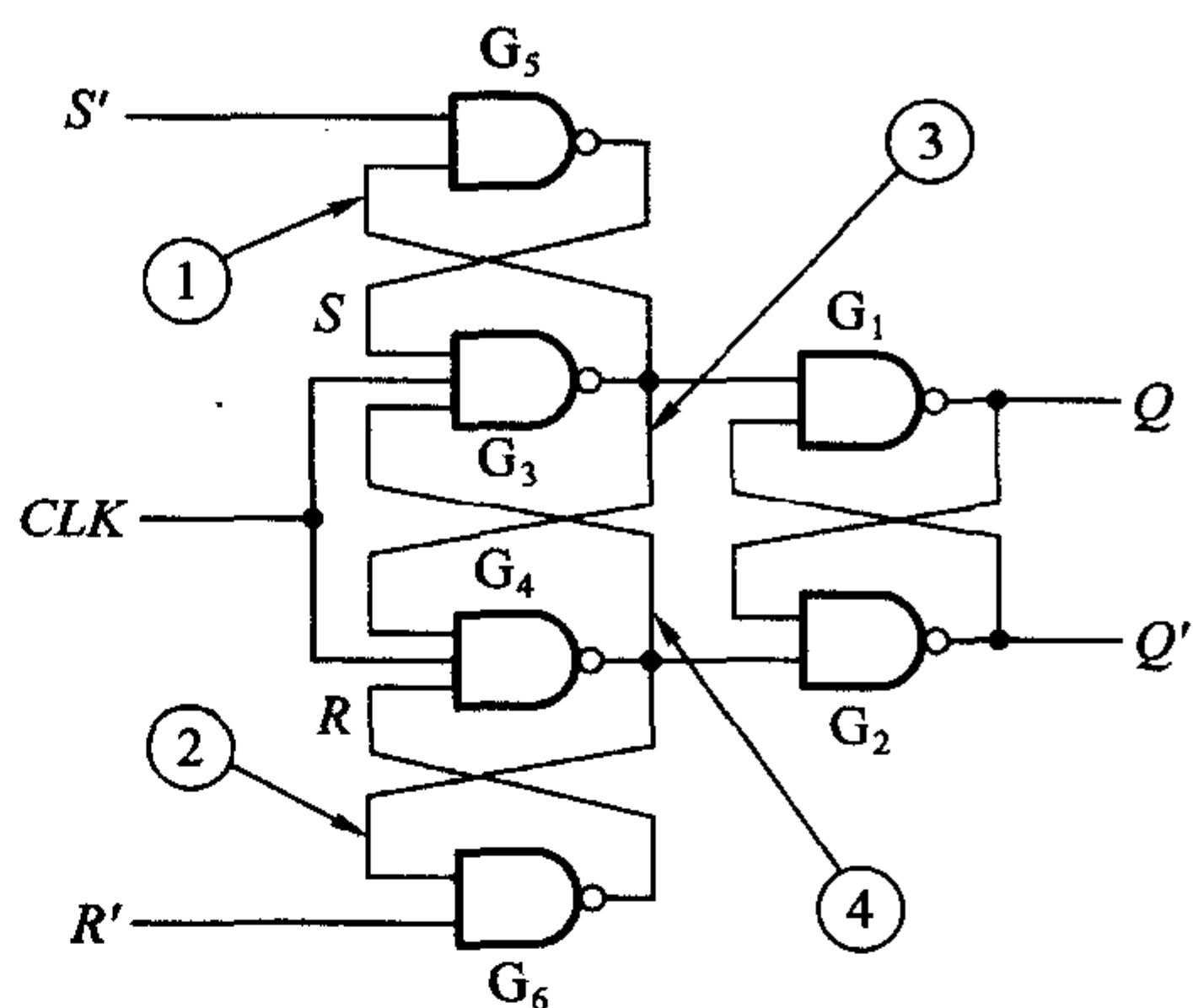


图 5.5.3 维持阻塞结构边沿触发 SR 触发器

为避免出现这种情况,又在电路中增加了③、④两根连线。由于这两根线将 G_3 和 G_4 也接成了一个 SR 锁存器,所以即使先后出现 $S = 1$ 、 $R = 1$ 的情况, G_3 和 G_4 组成的 SR 锁存器也不会改变状态,从而保证了在 $CLK = 1$ 的全部时间里 G_3 和 G_4 的输出不会改变。例如,当 CLK 上升沿到达时 $S' = 0$ 、 $R' = 1$,则 G_3 输出为低电平、 G_4 输出为高电平。 G_3 输出的低电平一方面将输出端的 SR 锁存器置 1,同时通过③这根线将 G_4 封锁,阻止 G_4 再输出低电平信号,因而也就阻止了输出端的 SR 锁存器被置 0。为此,将③称为置 0 阻塞线。同理,将④称为置 1 阻塞线,它的作用是在输出端的 SR 锁存器置 0 以后,阻止 G_3 再输出低电平的置 1 信号。

为适应输入信号以单端形式给出的情况,维持阻塞触发器也经常做成单端输入的形式,如图 5.5.4 所示。图中以 D 表示数据输入端。连线②兼有置 0 维持线和置 1 阻塞线的功能。

当 $D = 1$ 时, CLK 上升沿到达前 $S = 1$ 、 $R = 0$,故 CLK 上升沿到达后触发器置 1。当 $D = 0$ 时, CLK 上升沿到达前 $S = 0$ 、 $R = 1$,因而 CLK 上升沿到达后触发器被置 0。可见,它的真值表与表 5.5.1 完全相同。

维持阻塞触发器的产品有时也做成多输入端的形式,如图 5.5.5 所示。这时各输入端之间是与的逻辑

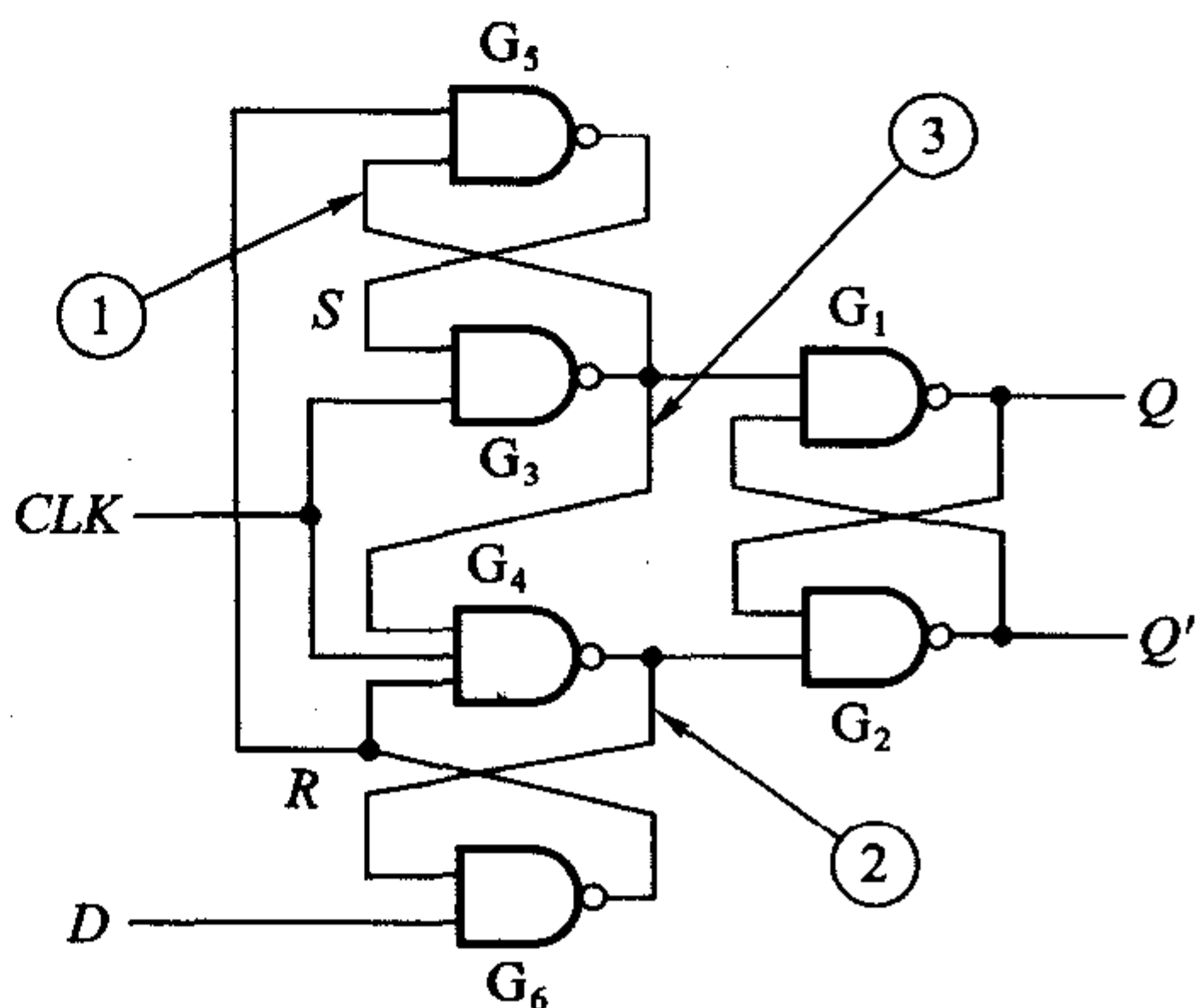


图 5.5.4 维持阻塞结构 D 触发器