

关系,即应以 $D_1 \cdot D_2$ 代替表 5.5.1 中的 D 。在图 5.5.5 中还画出了异步置位端 S'_D 和异步复位端 R'_D 的内部连线。无论 CLK 处于高电平还是低电平,都可以通过在 S'_D 或 R'_D 端加入低电平将触发器置 1 或置 0。

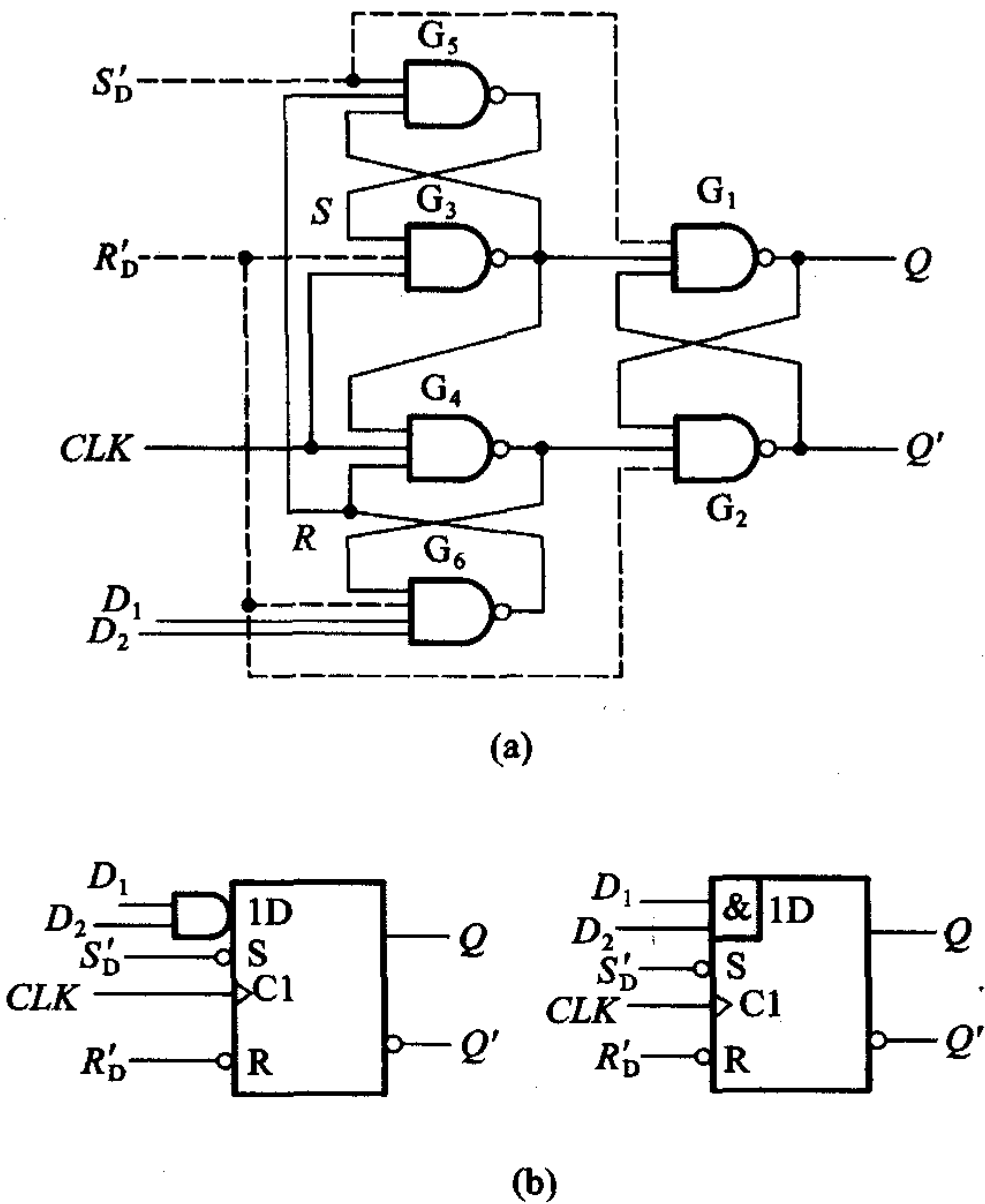


图 5.5.5 带异步置位、复位端和多输入端的维持阻塞 D 触发器
(a) 电路结构 (b) 逻辑图形符号

*3. 利用门电路传输延迟时间的边沿触发器

另一种边沿触发器的电路结构如图 5.5.6 所示,它是利用门电路的传输延

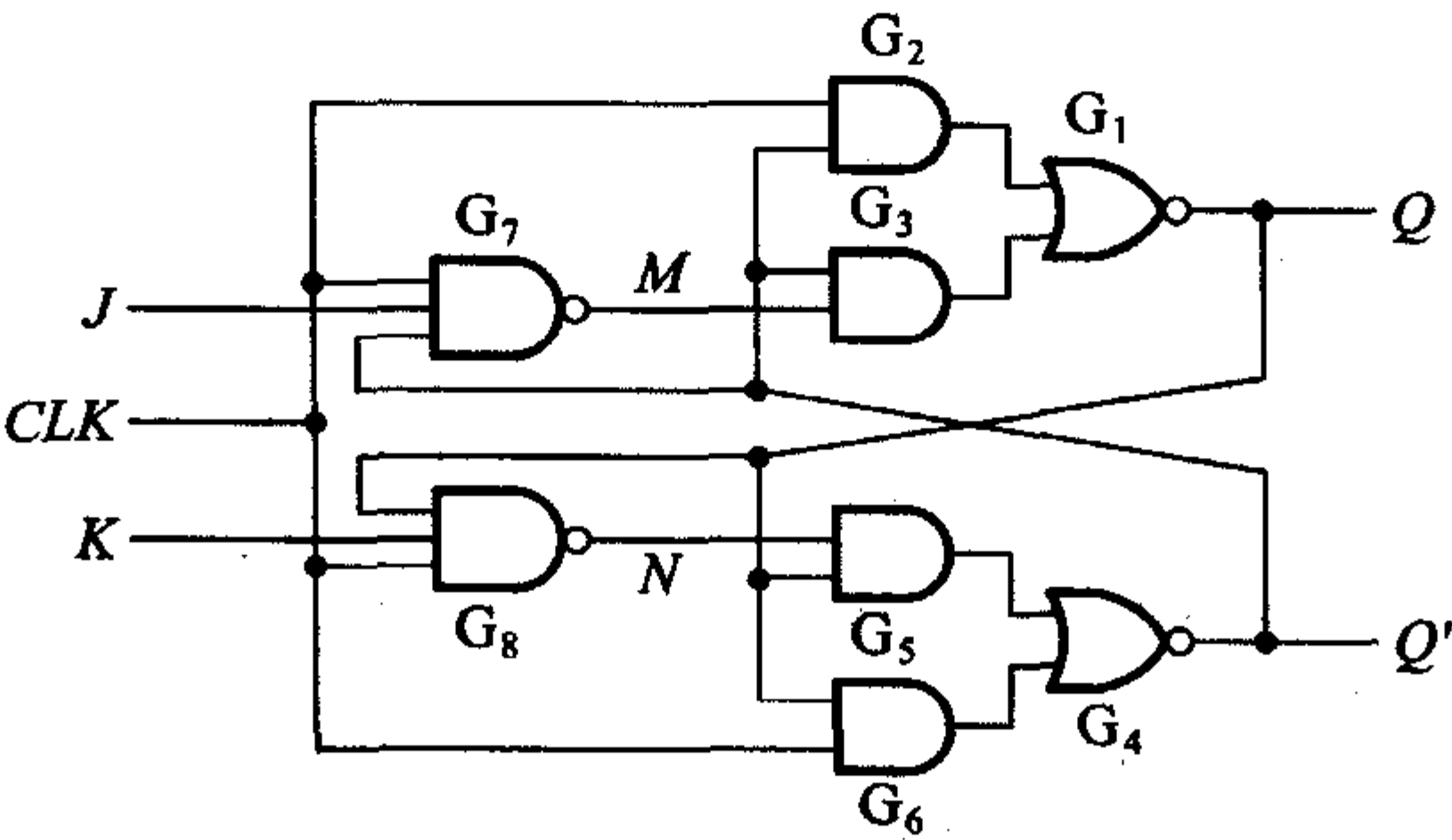


图 5.5.6 利用门电路传输延迟时间的边沿触发器

迟时间实现边沿触发的。这种电路结构常见于 TTL 集成电路中。

这个电路包含一个由门电路 $G_1 \sim G_6$ 组成的 SR 锁存器和两个输入控制门 G_7 和 G_8 。而且,门 G_7 、 G_8 的传输延迟时间大于 SR 锁存器的翻转时间。

设触发器的初始状态为 $Q = 0$ 、 $Q = 1$ 。 $CLK = 0$ 时门 G_2 、 G_6 、 G_7 和 G_8 同时被 CLK 的低电平封锁。而由于 G_7 、 G_8 的输出 M 、 N 两端为高电平,门 G_3 、 G_5 是打开的,故 SR 锁存器的状态通过 G_3 、 G_5 得以保持。

CLK 变为高电平以后,门 G_2 、 G_6 首先解除封锁, SR 锁存器可以通过 G_2 、 G_6 继续保持原状态不变。若此时输入为 $J = 1$ 、 $K = 0$,则经过门 G_7 、 G_8 的传输延迟时间以后 $M = 0$ 、 $N = 1$,门 G_3 、 G_5 均不导通,对 SR 锁存器的状态没有影响。

当 CLK 下降沿到达时,门 G_2 、 G_6 立即被封锁,但由于门 G_7 、 G_8 存在传输延迟时间,所以 M 、 N 的电平不会马上改变。因此,在瞬间出现 G_2 、 G_3 各有一个输入端为低电平的状态,使 $Q = 1$,并经过门 G_5 使 $Q' = 0$ 。由于 G_7 的传输延迟时间足够长,可以保证在 M 点的低电平消失之前 Q' 的低电平已反馈到了门 G_3 ,所以在 M 点的低电平消失以后触发器获得的 1 状态仍将保持下去。

经过门 G_7 、 G_8 的传输延迟时间以后, M 和 N 都变为高电平,但对 SR 锁存器的状态并无影响。同时, CLK 的低电平已将门 G_7 、 G_8 封锁, J 、 K 状态即使再发生变化也不会影响触发器的状态了。

在对 J 、 K 为不同取值时触发器的工作过程逐一分析后,即可得出表 5.5.2 所示的特性表。如果将它与表 5.4.2 对照一下即可看到,虽然这两个触发器在稳定状态下 J 、 K 、 Q 和 Q^* 之间的逻辑关系完全相同,但由于触发方式不同,所以状态翻转时各具不同的动作特点。

表 5.5.2 图 5.5.6 触发器的特性表

CLK	J	K	Q	Q^*
$\times$	$\times$	$\times$	$\times$	Q
$\downarrow$	0	0	0	0
$\downarrow$	0	0	1	1
$\downarrow$	1	0	0	1
$\downarrow$	1	0	1	1
$\downarrow$	0	1	0	0
$\downarrow$	0	1	1	0
$\downarrow$	1	1	0	1
$\downarrow$	1	1	1	0

【例 5.5.1】在图 5.5.4 所示的边沿触发器电路中,若 D 端和 CLK 的电压波形如图 5.5.7 所示,试画出 Q 端的电压波形。假定触发器的初始状态为 $Q = 0$ 。

解: 由边沿触发器的动作特点可知,触发器的次态仅仅取决于 CLK 上升沿到达时刻 D 端的状态,即 $D = 1$ 则 $Q^* = 1$, $D = 0$ 则 $Q^* = 0$,于是便得到了图 5.5.7 中的 Q 端电压波形图。

二、边沿触发方式的动作特点

通过对上述三种边沿触发器工作过程的分析可以看出,它们具有共同的动作特点,这就是触发器的次态仅取决于时钟信号的上升沿(也称为正边沿)或下降沿(也称为负边沿)到达时输入的逻辑状态,而在这以前或以后,输入信号的变化对触发器输出的状态没有影响。

这一特点有效地提高了触发器的抗干扰能力,因而也提高了电路的工作可靠性。

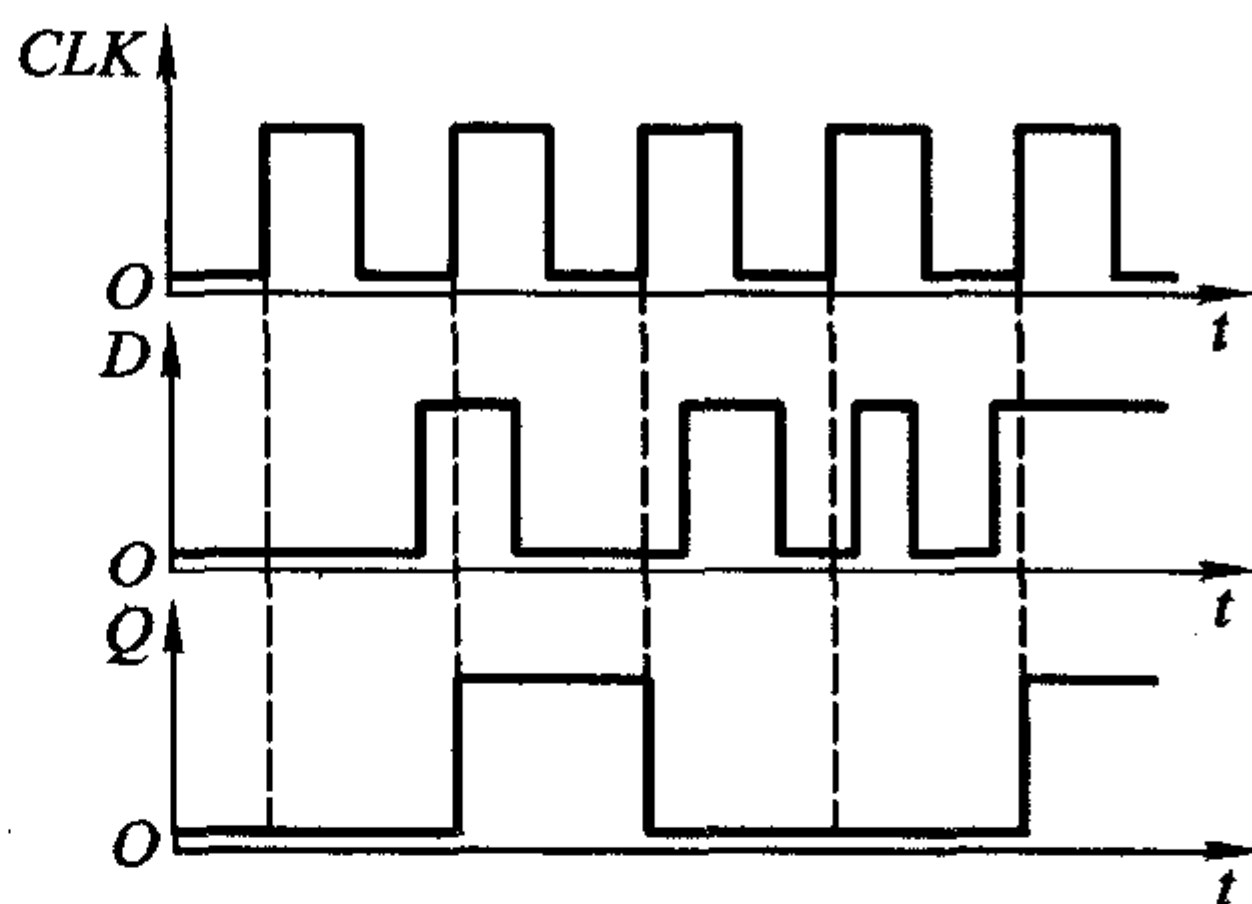


图 5.5.7 例 5.5.1 的电压波形图

复习思考题

R5.5.1 比较一下边沿触发方式、脉冲触发方式和电平触发方式在动作特点上有何不同。

5.6 触发器的逻辑功能及其描述方法

5.6.1 触发器按逻辑功能的分类

从上一节中可以看到,由于每一种触发器电路的信号输入方式不同(有单端输入的,也有双端输入的),触发器的次态与输入信号逻辑状态间的关系也不相同,所以它们的逻辑功能也不完全一样。

按照逻辑功能的不同特点,通常将时钟控制的触发器分为 SR 触发器、 JK 触发器、 T 触发器和 D 触发器等几种类型。

一、SR 触发器

凡在时钟信号作用下逻辑功能符合表 5.6.1 特性表所规定的逻辑功能者, 无论触发方式如何, 均称为 SR 触发器。

表 5.6.1 SR 触发器的特性表

S	R	Q	Q*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	不定
1	1	1	不定

显然, 上几节中讲到的图 5.3.1、图 5.4.1 和图 5.5.3 电路都属于 SR 触发器。而图 5.2.1 和图 5.2.2 所示的锁存器电路不受触发信号(时钟)控制, 所以它们不属于这里所定义的 SR 触发器。

如果把表 5.6.1 特性表所规定的逻辑关系写成逻辑函数式, 则得到

$$\begin{cases} Q^* = S'R'Q + SR'Q' + SR'Q = SR' + S'R'Q \\ SR = 0 \quad (\text{约束条件}) \end{cases}$$

利用约束条件将上式化简, 于是得出

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \quad (\text{约束条件}) \end{cases} \quad (5.6.1)$$

式(5.6.1)称为 SR 触发器的特性方程。

此外, 还可以用图 5.6.1 所示的状态转换图形象地表示 SR 触发器的逻辑功能。图中以两个圆圈分别代表触发器的两个状态, 用箭头表示状态转换的方向, 同时在箭头的旁边注明了转换的条件。

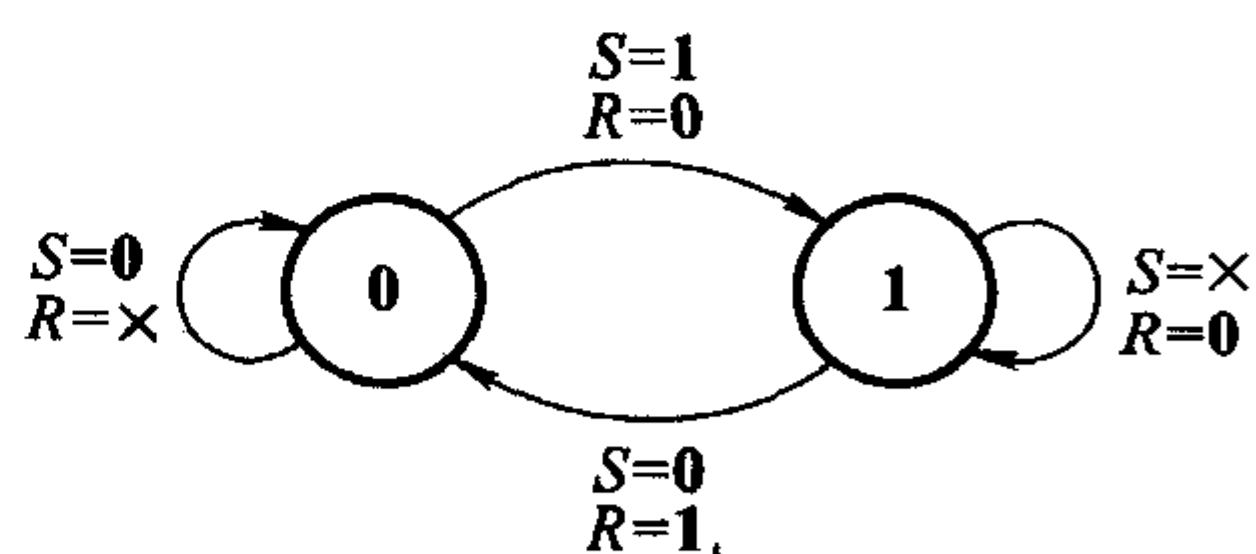


图 5.6.1 SR 触发器的状态转换图

这样一来在描述触发器的逻辑功能时就有了特性表、特性方程和状态转换图三种可供选择的方法。

二、JK 触发器

凡在时钟信号作用下逻辑功能符合表 5.6.2 特性表所规定的逻辑功能者, 无论其触发方式如何, 均称为 JK 触发器。

表 5.6.2 JK 触发器的特性表

<i>J</i>	<i>K</i>	<i>Q</i>	<i>Q</i> [*]
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

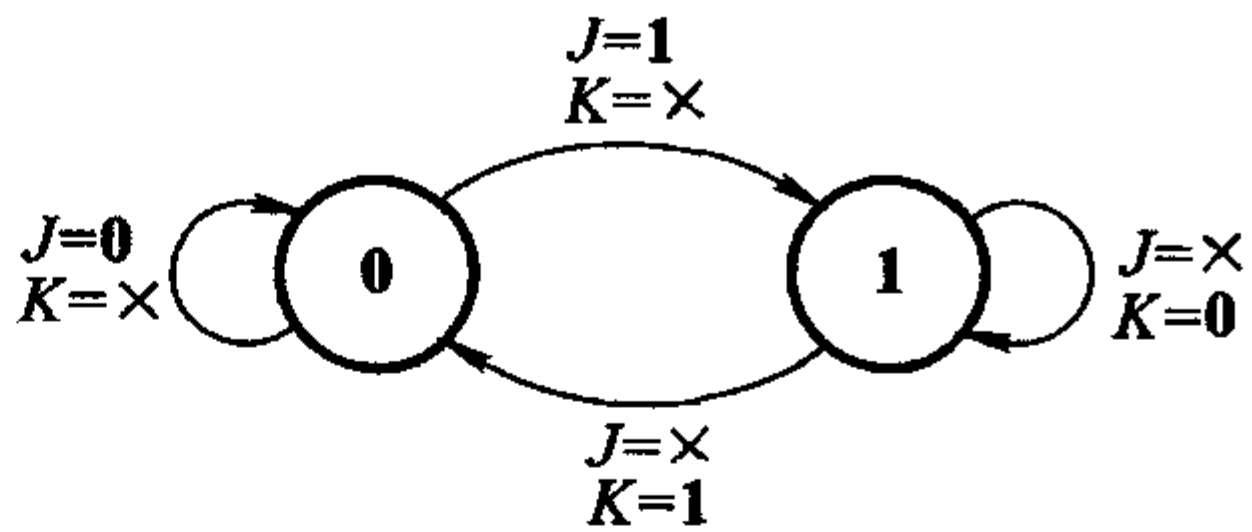


图 5.6.2 JK 触发器的状态转换图

前面讲过的图 5.4.3 和图 5.5.6 所示电路都属于 JK 触发器。

根据表 5.6.2 可以写出 JK 触发器的特性方程,化简后得到

$$Q^* = JQ' + K'Q \tag{5.6.2}$$

JK 触发器的状态转换图如图 5.6.2 所示。

三、T 触发器

在某些应用场合下,需要这样一种逻辑功能的触发器,当控制信号 $T=1$ 时每来一个时钟信号它的状态就翻转一次;而当 $T=0$ 时,时钟信号到达后它的状态保持不变。具备这种逻辑功能的触发器称为 T 触发器。它的特性表如表 5.6.3 所示。

表 5.6.3 T 触发器的特性表

<i>T</i>	<i>Q</i>	<i>Q</i> [*]
0	0	0
0	1	1
1	0	1
1	1	0

从特性表写出 T 触发器的特性方程为

$$Q^* = TQ' + T'Q \tag{5.6.3}$$

它的状态转换图和逻辑符号如图 5.6.3 所示。

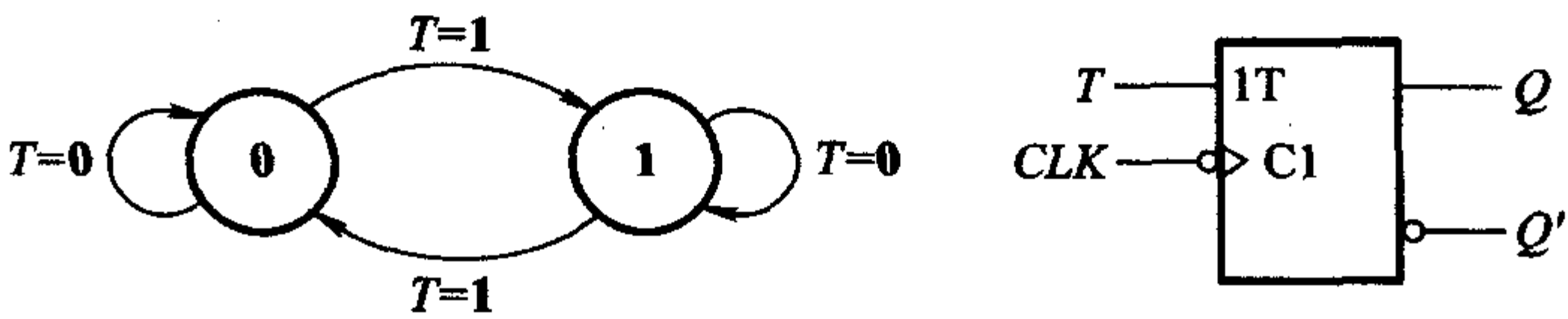


图 5.6.3 T 触发器的状态转换图和逻辑符号

事实上只要将 JK 触发器的两个输入端连在一起作为 T 端, 就可以构成 T 触发器。正因为如此, 在触发器的定型产品中通常没有专门的 T 触发器。

当 T 触发器的控制端接至固定的高电平时 (即 T 恒等于 1), 则式 (5.6.3) 变为

$$Q^* = Q'$$

即每次 CLK 信号作用后触发器必然翻转成与初态相反的状态。

四、 D 触发器

凡在时钟信号作用下逻辑功能符合表 5.6.4 特性表所规定的逻辑功能者, 无论触发方式如何, 均称为 D 触发器。前面讲过的图 5.3.4、图 5.3.5、图 5.5.1 和图 5.5.4 中的触发器, 在逻辑功能上同属于这种类型。

从特性表写出 D 触发器的特性方程为

$$Q^* = D \quad (5.6.4)$$

D 触发器的状态转换图如图 5.6.4 所示。

表 5.6.4 D 触发器的特性表

D	Q	Q^*
0	0	0
0	1	0
1	0	1
1	1	1

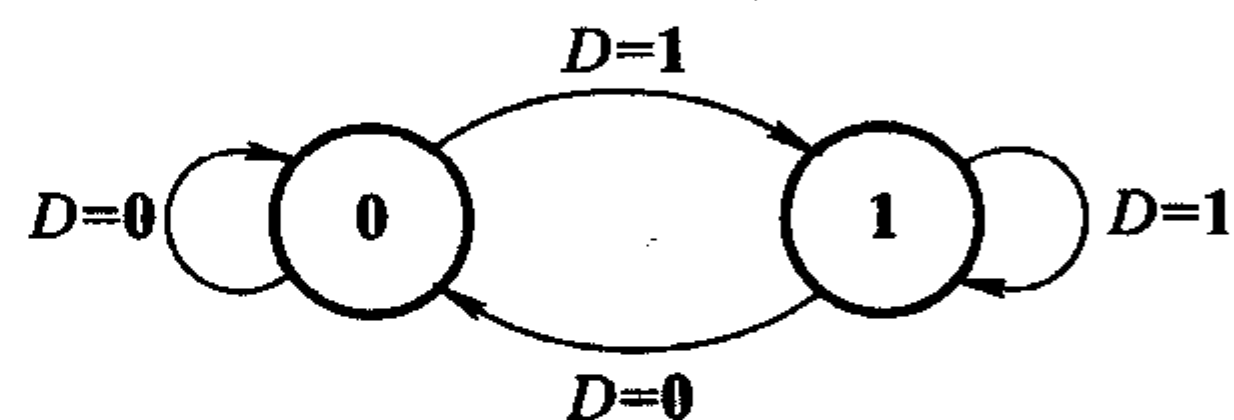


图 5.6.4 D 触发器的状态转换图

将 JK 、 SR 、 T 三种类型触发器的特性表比较一下不难看出, 其中 JK 触发器的逻辑功能最强, 它包含了 SR 触发器和 T 触发器的所有逻辑功能。因此, 在需要使用 SR 触发器和 T 触发器的场合完全可以用 JK 触发器来取代。例如, 在需要使用 SR 触发器时, 只要将 JK 触发器的 J 、 K 端当作 S 、 R 端使用, 就可以实现 SR 触发器的功能; 在需要 T 触发器时, 只要将 J 、 K 连在一起当作 T 端使用, 就可以实现 T 触发器的功能, 如图 5.6.5 所示。因此, 目前生产的触发器定型产品中只有 JK 触发器和 D 触发器这两大类。

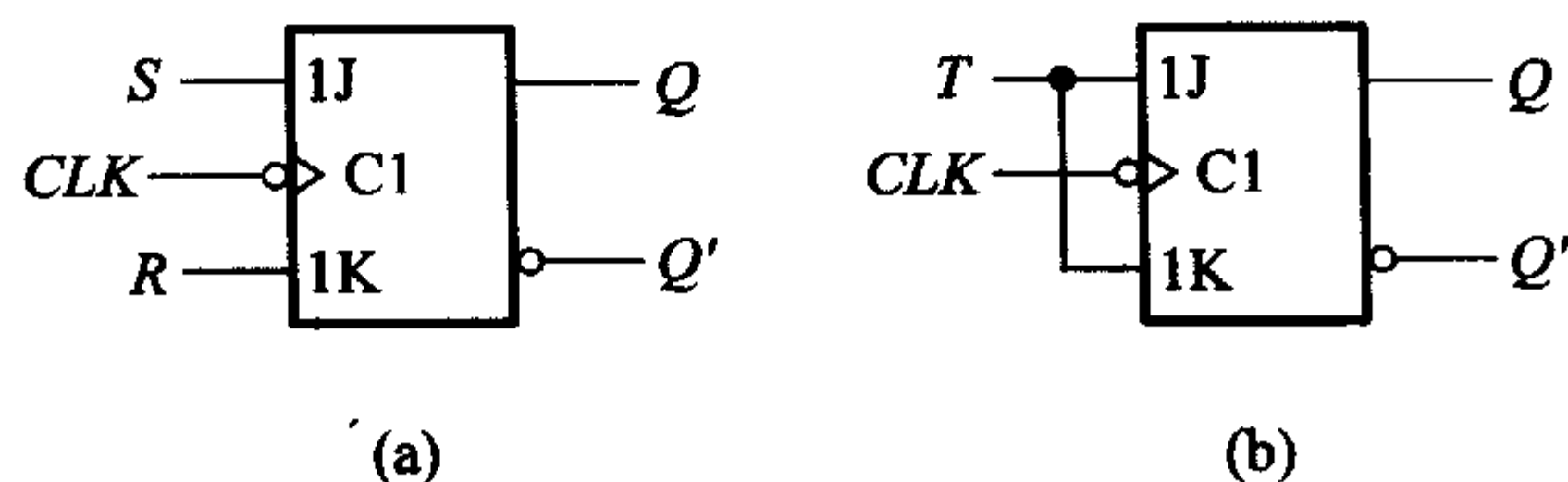


图 5.6.5 将 JK 触发器用作 SR 、 T 触发器

(a) 用作 SR 触发器 (b) 用作 T 触发器

复习思考题

R5.6.1 为什么从满足逻辑功能的要求上可以用 JK 触发器代替 SR 触发器,而不能用 SR 触发器代替 JK 触发器?

R5.6.2 将 JK 触发器用作 SR 触发器和 T 触发器时,应如何连接?

5.6.2 触发器的电路结构和逻辑功能、触发方式的关系

一、电路结构和逻辑功能

在前面介绍各种触发器电路结构时,都是在接成了某种逻辑功能的情况下进行的。但是这并不等于说某种电路结构形式就只能接成某一种或几种逻辑功能的触发器。这就是说,触发器的电路结构和逻辑功能之间不存在固定的对应关系。用同一种电路结构形式可以接成不同逻辑功能的触发器;反过来说,同样一种逻辑功能的触发器可以用不同的电路结构实现。

例如,前面 5.3 节中的图 5.3.1 电路、5.4 节中的图 5.4.1 电路、5.5 节中的图 5.5.3 所示电路都是 SR 触发器,但电路结构各不相同。

另一方面,同样是维持阻塞结构电路,既可以做成图 5.5.3 所示的 SR 触发器和图 5.5.4 所示的 D 触发器,也可以做成如图 5.6.6 所示的 JK 触发器。双 JK 触发器集成电路 74LS109 采用的就是这种电路结构。

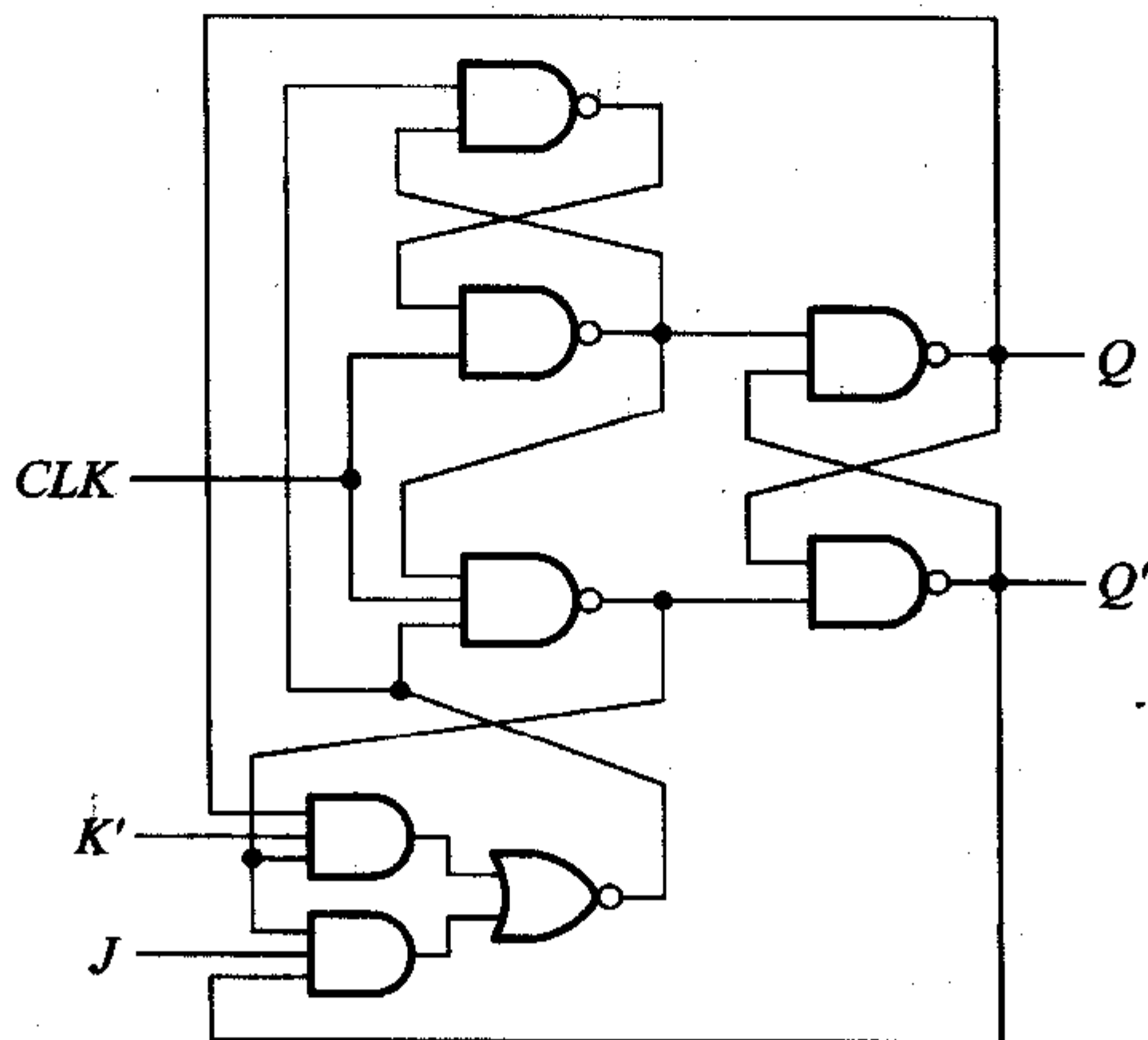


图 5.6.6 维持阻塞结构 JK 触发器(74LS109)的电路

同样,用两个电平触发 D 触发器结构也可以做成不同逻辑功能的触发器。

图 5.6.7 给出了双 JK 触发器 CMOS 集成电路 CC4027 的电路图。将这个电路与图 5.5.2 所示的 D 触发器电路对照一下即可发现,图 5.6.7 电路只不过是在图 5.5.2 电路上附加了门 G_1 、 G_2 和 G_3 而已,电路的其余部分完全相同。从逻辑图可以写出图 5.6.7 所示触发器的特性方程

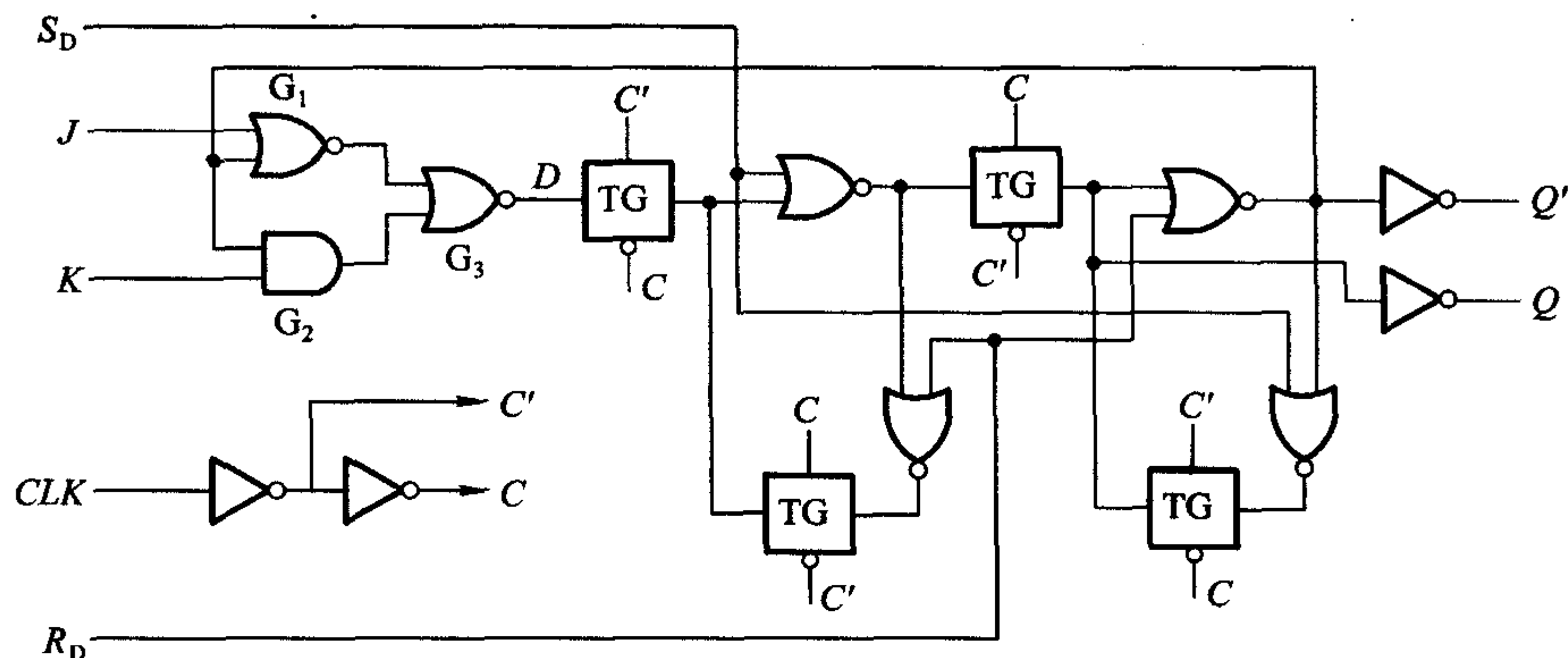


图 5.6.7 两个电平触发 D 触发器构成的边沿触发 JK 触发器(CC4027)

$$Q^* = D = ((J + Q)' + KQ)' = JQ' + K'Q$$

故符合 JK 触发器规定的逻辑功能。

二、电路结构和触发方式

因为电路的触发方式是由电路的结构形式决定的,所以电路结构形式与触发方式之间有固定的对应关系。凡是采用同步 SR 结构的触发器,无论其逻辑功能如何,一定是电平触发方式;凡是采用主从 SR 结构的触发器,无论其逻辑功能如何,一定是脉冲触发方式;凡是采用两个电平触发 D 触发器结构、维持阻塞结构或者利用门电路传输延迟时间结构组成的触发器,无论其逻辑功能如何,一定是边沿触发方式。

逻辑功能和触发方式是触发器最重要的两个属性,因此在触发器集成电路器件的说明资料中,对这两个特性都有明确的说明。由于触发器的触发方式和电路结构类型有着固定的对应关系,所以有时也给出电路结构类型而不给出触发方式。知道了电路结构的类型,自然也就知道触发方式了。

* 5.7 触发器的动态特性

5.7.1 SR 锁存器的动态特性

为了保证触发器在工作时能可靠地翻转,有必要分析一下它们的动态翻转

过程,并找出对输入信号、时钟信号以及它们互相配合关系的要求。考虑到 SR 锁存器是很多触发器电路的基本组成部分,因而有必要事先讨论一下它的动态特性。

一、输入信号宽度

首先需要分析一下考虑到门电路存在传输延迟时间以后图 5.7.1 中的 SR 锁存器的翻转过程。为方便起见,假定所有门电路的平均传输延迟时间相等,用 t_{pd} 表示。

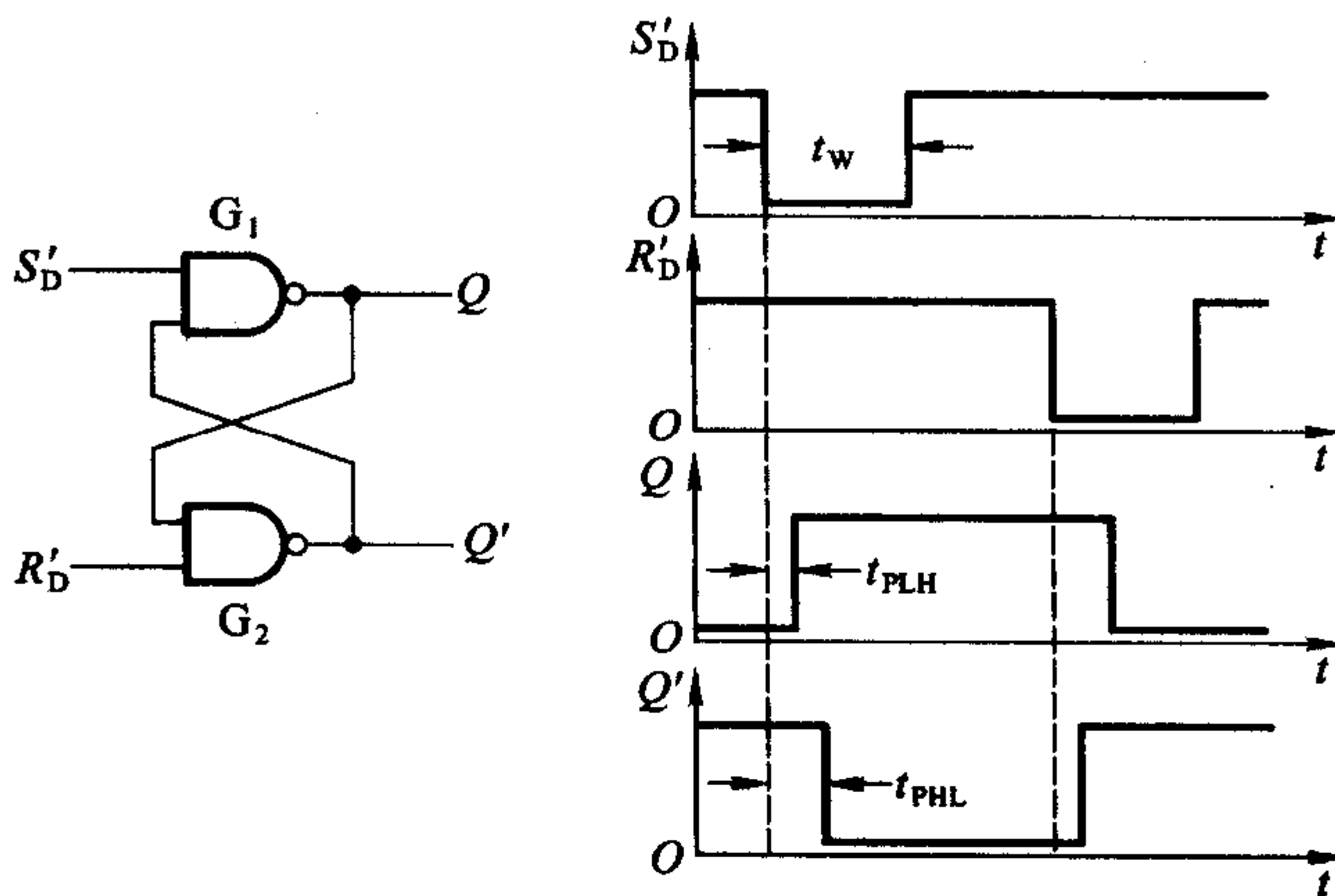


图 5.7.1 SR 锁存器的电路与动态波形

设锁存器的初始状态为 $Q = 0$ 、 $Q' = 1$, 输入信号波形如图 5.7.1 所示。当 S_D' 的下降沿到达后, 经过门 G_1 的传输延迟时间 t_{pd} , Q 端变为高电平。这个高电平加到门 G_2 的输入端, 再经过门 G_2 的传输延迟时间 t_{pd} , 使 Q' 变为低电平。当 Q' 的低电平反馈到 G_1 的输入端以后, 即使 $S_D' = 0$ 的信号消失 (即 S_D' 回到高电平), 锁存器被置成的 $Q = 1$ 状态也将保持下去。可见, 为保证锁存器可靠地翻转, 必须等到 $Q' = 0$ 的状态反馈到 G_1 的输入以后, $S_D' = 0$ 的信号才可以取消。因此, S_D' 输入的低电平信号宽度 t_w 应满足

$$t_w \geq 2t_{pd}$$

同理, 如果从 R_D' 端输入置 0 信号, 其宽度也必须大于或等于 $2t_{pd}$ 。

二、传输延迟时间

从输入信号到达起, 到锁存器输出端新状态稳定地建立起来为止, 所经过的这段时间称为锁存器的传输延迟时间。从上面的分析已经可以看出, 输出端从低电平变为高电平的传输延迟时间 t_{PLH} 和从高电平变为低电平的传输延迟时间 t_{PHL} 是不相等的, 它们分别为

$$t_{PLH} = t_{pd}$$

$$t_{\text{PHL}} = 2t_{\text{pd}}$$

若 SR 锁存器由或非门组成(电路如图 5.2.1 中所示),则其传输延迟时间将为 $t_{\text{PLH}} = 2t_{\text{pd}}$ 、 $t_{\text{PHL}} = t_{\text{pd}}$ 。

5.7.2 电平触发 SR 触发器的动态特性

一、输入信号宽度

若电平触发 SR 触发器全部用与非门构成,如图 5.7.2 所示,为了保证由门 G_1 和门 G_2 组成的 SR 锁存器可靠翻转,则要求它的输入信号 S'_D 和 R'_D 的宽度必须大于 $2t_{\text{pd}}$ 。而这里 $S'_D = (S \cdot \text{CLK})'$ 、 $R'_D = (R \cdot \text{CLK})'$,故要求 S (或 R)和 CLK 同时为高电平的时间应满足

$$t_{\text{W}(S \cdot \text{CLK})} \geq 2t_{\text{pd}}$$

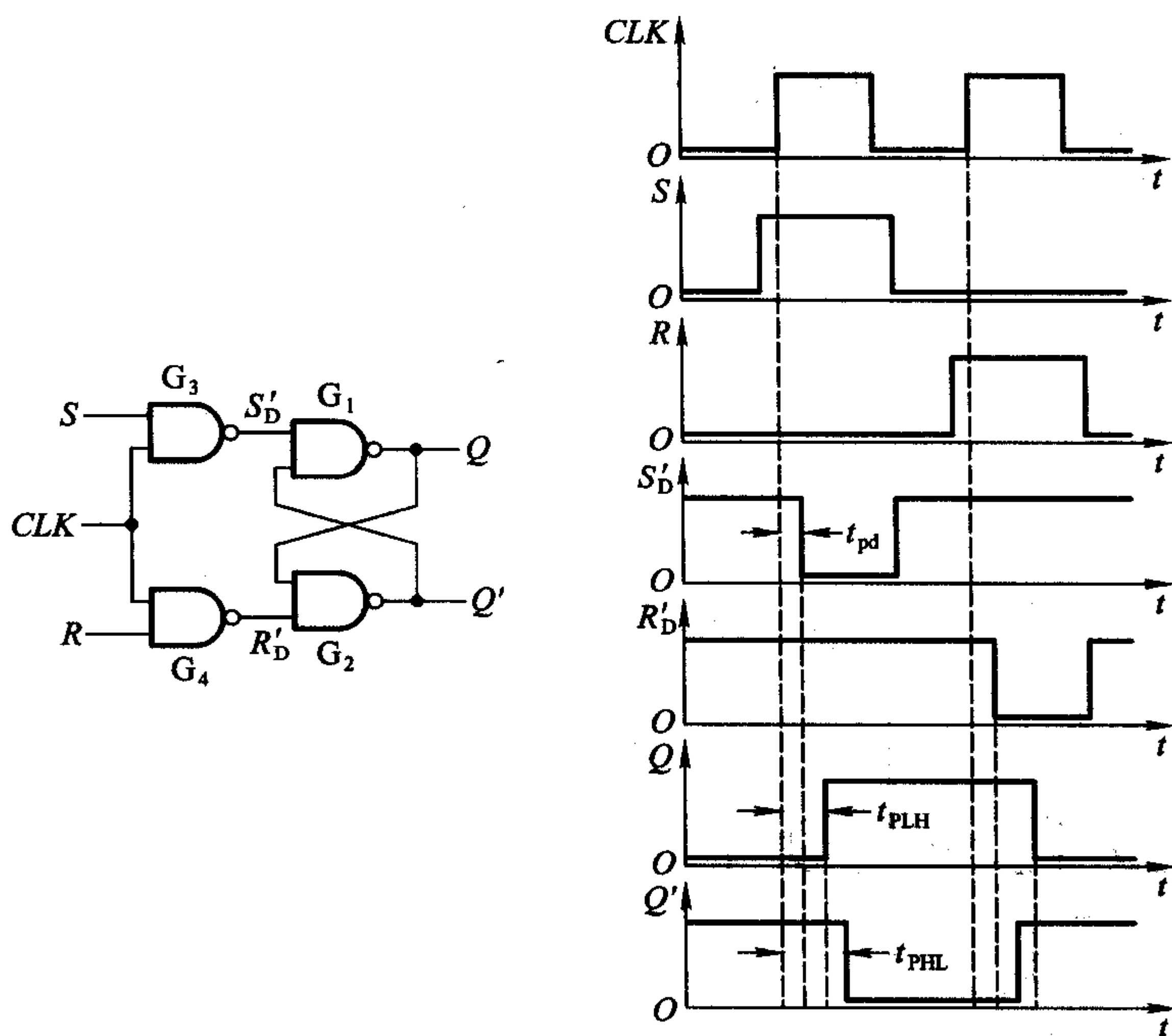


图 5.7.2 电平触发 SR 触发器的电路和动态波形

二、传输延迟时间

从 S 和 CLK (或 R 和 CLK)同时变为高电平开始,到输出端新状态稳定地建立起来为止,所经过的时间为电平触发 SR 触发器的传输延迟时间。由图 5.7.2 所示的电路图和波形图上可知