

的状态还没有改变。于是  $FF_1$  按  $Q_0$  原来的状态翻转,  $FF_2$  按  $Q_1$  原来的状态翻转,  $FF_3$  按  $Q_2$  原来的状态翻转。同时, 加到寄存器输入端  $D_1$  的代码存入  $FF_0$ 。总的效果相当于移位寄存器里原有的代码依次右移了 1 位。

例如, 在 4 个时钟周期内输入代码依次为 **1011**, 而移位寄存器的初始状态为  $Q_0Q_1Q_2Q_3 = 0000$ , 那么在移位脉冲(也就是触发器的时钟脉冲)的作用下, 移位寄存器里代码的移动情况将如表 6.3.1 所示。图 6.3.4 给出了各触发器输出端在移位过程中的电压波形图。

表 6.3.1 移位寄存器中代码的移动状况

CLK 的顺序	输入 $D_1$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	1

可以看到, 经过 4 个 CLK 信号以后, 串行输入的 4 位代码全部移入了移位寄存器中, 同时在 4 个触发器的输出端得到了并行输出的代码。因此, 利用移位寄存器可以实现代码的串行-并行转换。

如果首先将 4 位数据并行地置入移位寄存器的 4 个触发器中, 然后连续加入 4 个移位脉冲, 则移位寄存器里的 4 位代码将从串行输出端  $D_0$  依次送出, 从而实现了数据的并行-串行转换。

图 6.3.5 是用 JK 触发器组成的 4 位移位寄存器, 它和图 6.3.3 所示电路具有同样的逻辑功能。

为便于扩展逻辑功能和增加使用的灵活性, 在定型生产的移位寄存器集成电路上有的又附加了左、右移控制、数据并行输入、保持、异步置零(复位)等功能。图 6.3.6 给出的 74LS194A 4 位双向移位寄存器就是一个典型的例子。

74LS194A 由 4 个触发器  $FF_0$ 、 $FF_1$ 、 $FF_2$ 、 $FF_3$  和各自的输入控制电路组成。图中的  $D_{IR}$  为数据右移串行输入端,  $D_{IL}$  为数据左移串行输入端,  $D_0 \sim D_3$  为数据

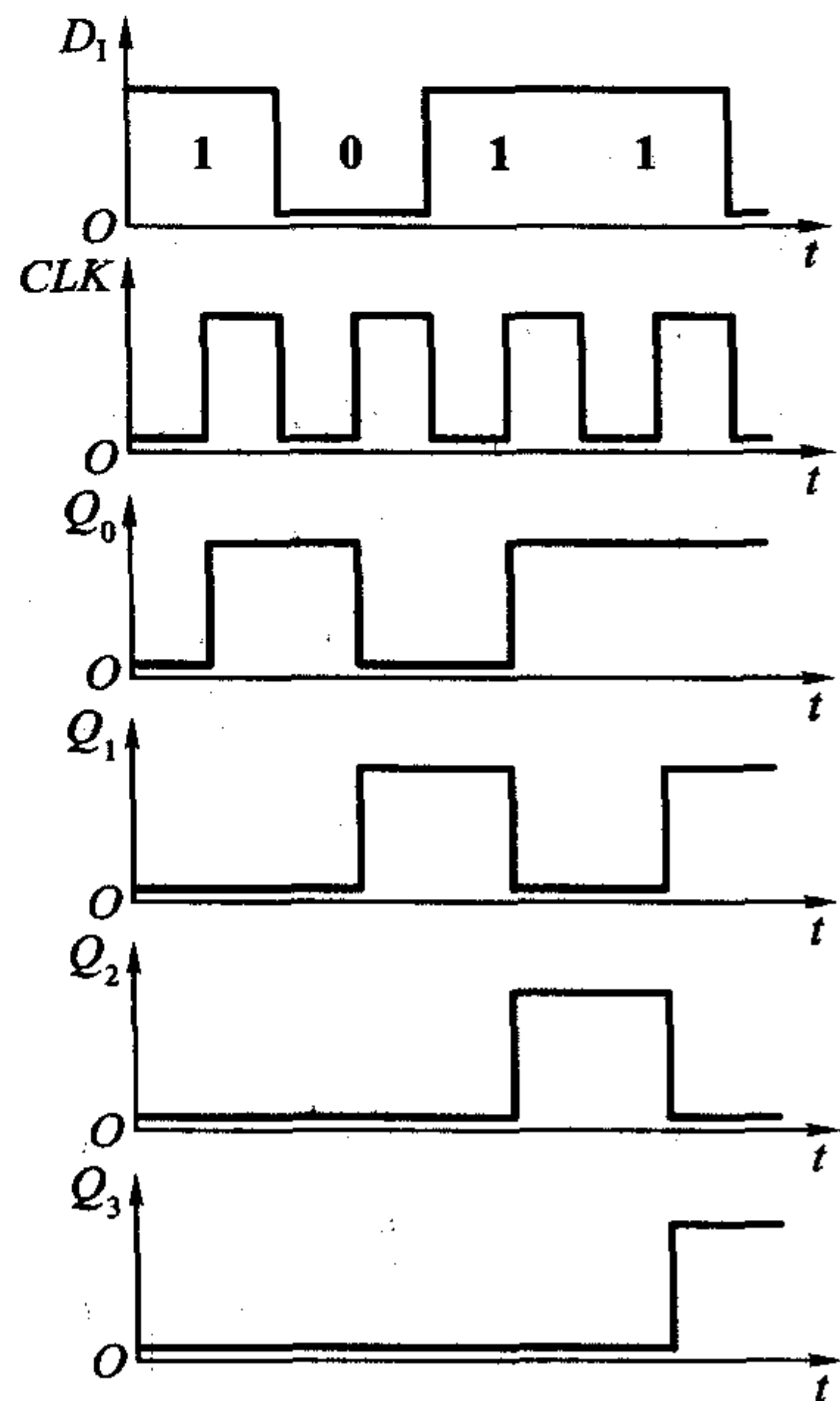


图 6.3.4 图 6.3.3 电路的电压波形

并行输入端,  $Q_0 \sim Q_3$  为数据并行输出端。移位寄存器的工作状态由控制端  $S_1$  和  $S_0$  的状态指定。

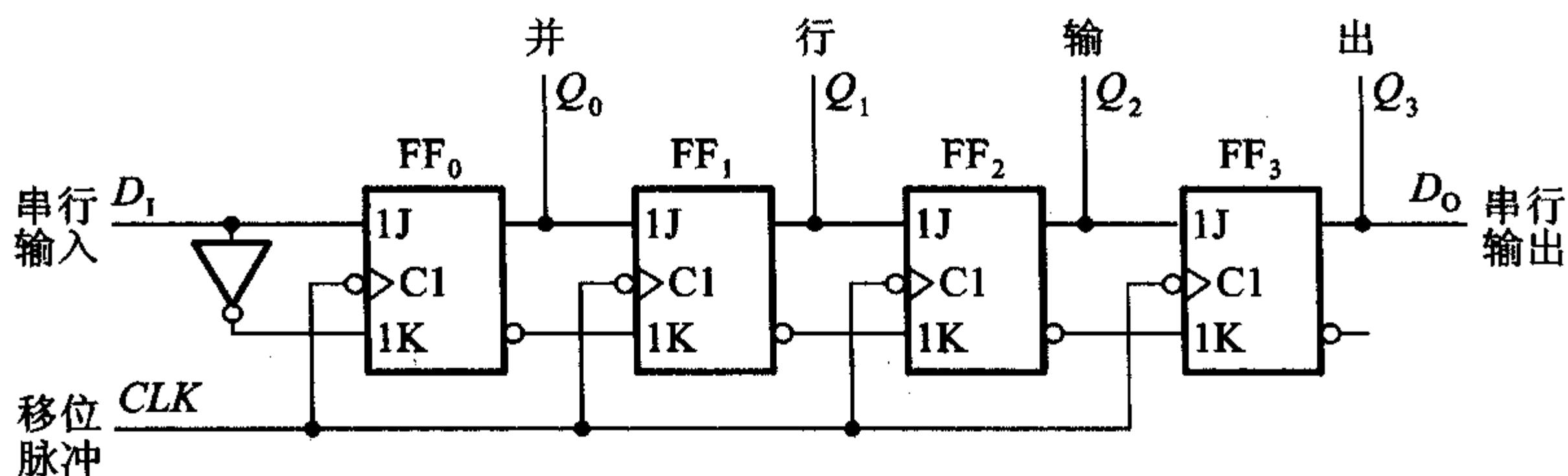


图 6.3.5 用 JK 触发器构成的移位寄存器

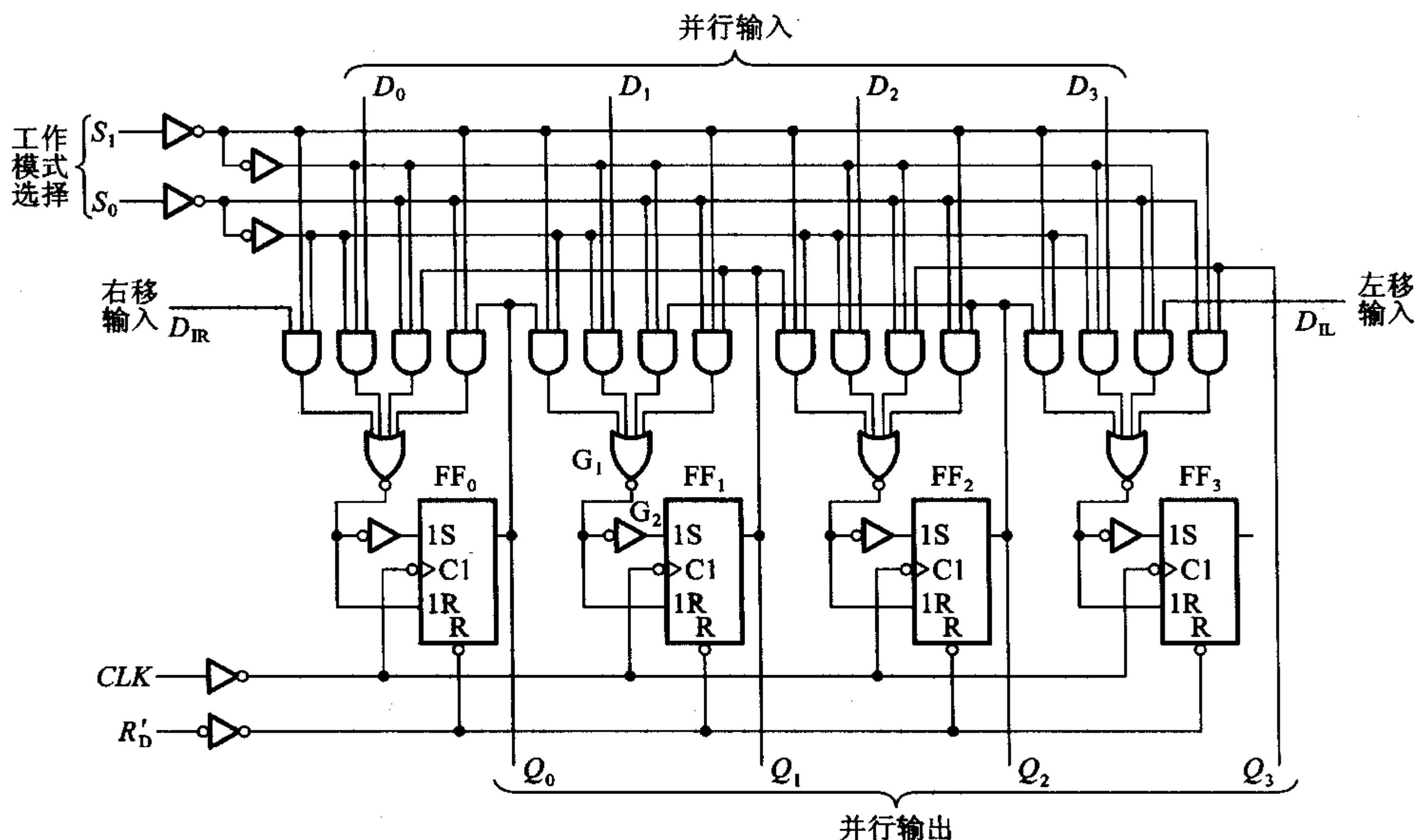


图 6.3.6 双向移位寄存器 74LS194A 的逻辑图

现以第二位触发器  $FF_1$  为例, 分析一下  $S_1$ 、 $S_0$  为不同取值时移位寄存器的工作状态。由图可见,  $FF_1$  的输入控制电路是由与或非门  $G_1$  和反相器  $G_2$  组成的具有互补输出的 4 选 1 数据选择器。它的互补输出作为  $FF_1$  的输入信号。

当  $S_1 = S_0 = 0$  时,  $G_1$  最右边的输入信号  $Q_1$  被选中, 使触发器  $FF_1$  的输入为  $S = Q_1$ 、 $R = Q_1'$ , 故  $CLK$  上升沿到达时  $FF_1$  被置成  $Q_1^* = Q_1$ 。因此, 移位寄存器工作在保持状态。

当  $S_1 = S_0 = 1$  时,  $G_1$  左边第二个输入信号  $D_1$  被选中, 使触发器  $FF_1$  的输入为  $S = D_1$ 、 $R = D_1'$ , 故  $CLK$  上升沿到达时  $FF_1$  被置成  $Q_1^* = D_1$ , 移位寄存器处于数据并行输入状态。

当  $S_1 = 0$ 、 $S_0 = 1$  时,  $G_1$  最左边的输入信号  $Q_0$  被选中, 使触发器  $FF_1$  的输入为  $S = Q_0$ 、 $R = Q'_0$ , 故  $CLK$  上升沿到达时  $FF_1$  被置成  $Q_1^* = Q_0$ , 移位寄存器工作在右移状态。

当  $S_1 = 1$ 、 $S_0 = 0$  时,  $G_1$  右边第二个输入信号  $Q_2$  被选中, 使触发器  $FF_1$  的输入为  $S = Q_2$ 、 $R = Q'_2$ , 故  $CLK$  上升沿到达时触发器被置成  $Q_1^* = Q_2$ , 这时移位寄存器工作在左移状态。

此外,  $R'_D = 0$  时  $FF_0 \sim FF_3$  将同时被置成  $Q = 0$ , 所以正常工作时应使  $R'_D$  处于高电平。

其他三个触发器的工作原理与  $FF_1$  基本相同, 不再赘述。根据上面的分析可以列出 74LS194A 的功能表, 如表 6.3.2 所示。

表 6.3.2 双向移位寄存器  
74LS194A 的功能表

$R'_D$	$S_1$	$S_0$	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

用 74LS194A 接成多位双向移位寄存器的接法十分简单。图 6.3.7 是用两片 74LS194A 接成 8 位双向移位寄存器的连接图。这时只需将其中一片的  $Q_3$  接至另一片的  $D_{IR}$  端, 而将另一片的  $Q_0$  接到这一片的  $D_{IL}$ , 同时把两片的  $S_1$ 、 $S_0$ 、 $CLK$  和  $R'_D$  分别并联就行了。

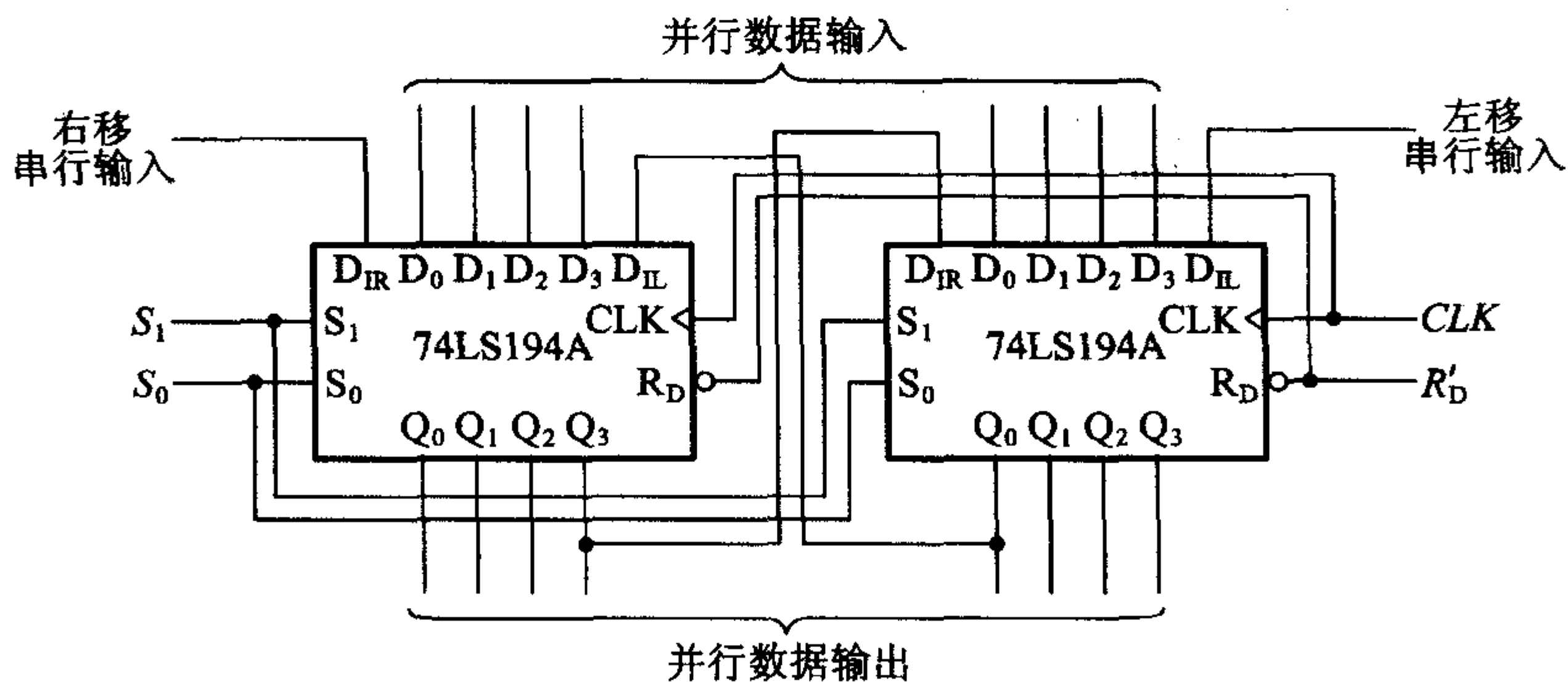


图 6.3.7 用两片 74LS194A 接成 8 位双向移位寄存器

**【例 6.3.1】** 试分析图 6.3.8 所示电路的逻辑功能, 并指出在图 6.3.9 所示的时钟信号及  $S_1$ 、 $S_0$  状态作用下,  $t_4$  时刻以后输出  $Y$  与两组并行输入的二进制数  $M$ 、 $N$  在数值上的关系。假定  $M$ 、 $N$  的状态始终未变。

**解:** 该电路由两片 4 位加法器 74283 和 4 片移位寄存器 74LS194A 组成。两片 74283 接成了一个 8 位并行加法器, 4 片 74LS194A 分别接成了两个 8 位的单向移位寄存器。由于两个 8 位移位寄存器的输出分别加到了 8 位并行加法器

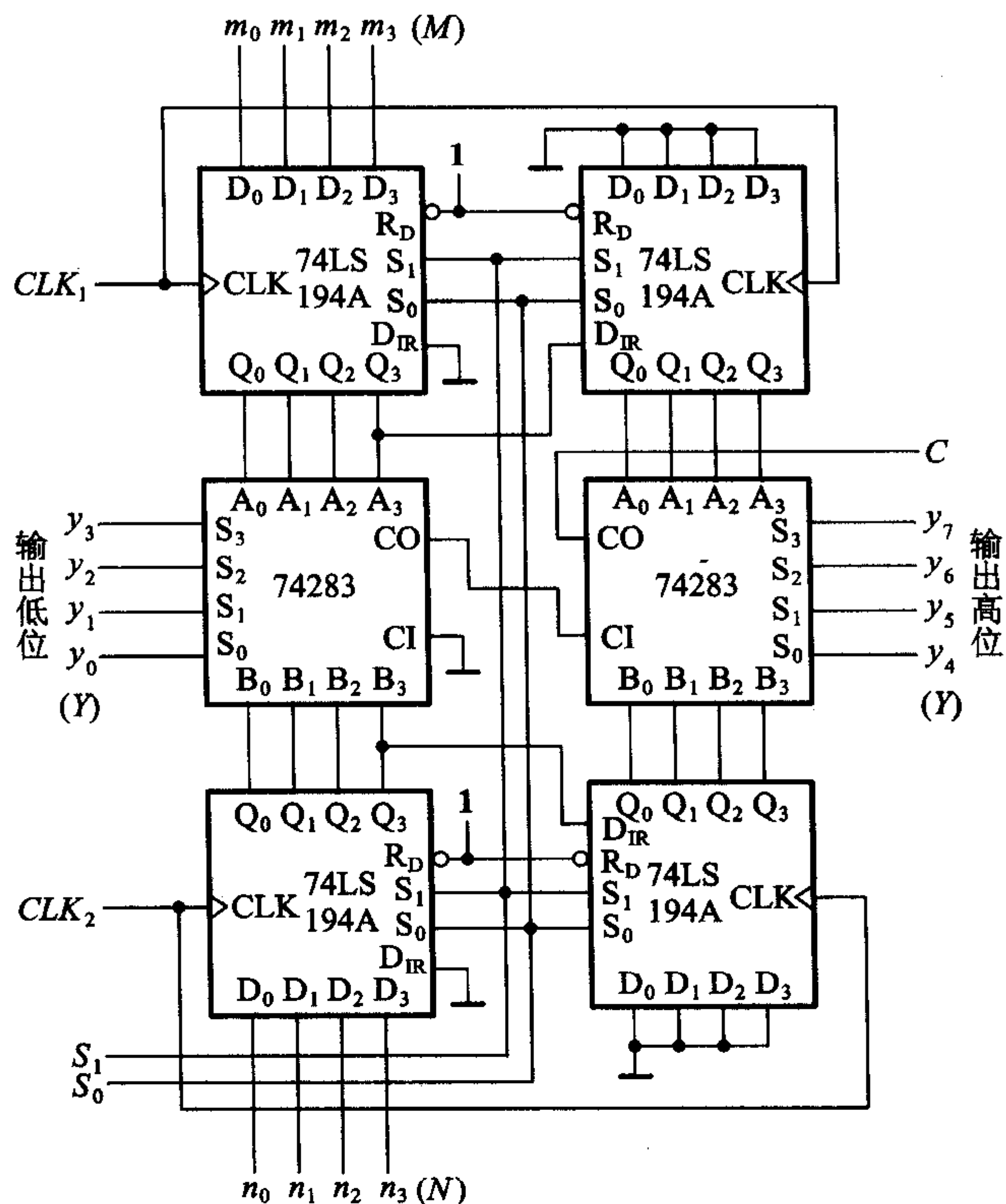


图 6.3.8 例 6.3.1 的电路

的两组输入端,所以图 6.3.8 所示电路是将两个 8 位移位寄存器里的内容相加的运算电路。

由图 6.3.9 可见,当  $t = t_1$  时  $CLK_1$  和  $CLK_2$  的第一个上升沿同时到达,因为这时  $S_1 = S_0 = 1$ ,所以移位寄存器处在数据并行输入工作状态, $M$ 、 $N$  的数值便被分别存入两个移位寄存器中。

$t_1 = t_2$  以后, $M$ 、 $N$  同时右移 1 位。若  $m_0$ 、 $n_0$  是  $M$ 、 $N$  的最低位,则右移 1 位相当于两数各乘以 2。

至  $t = t_4$  时  $M$  又右移了 2 位,所以这时上面一个移位寄存器里的数为  $M \times 8$ ,下面一个移位寄存器里的数为  $N \times 2$ 。两数经加法器

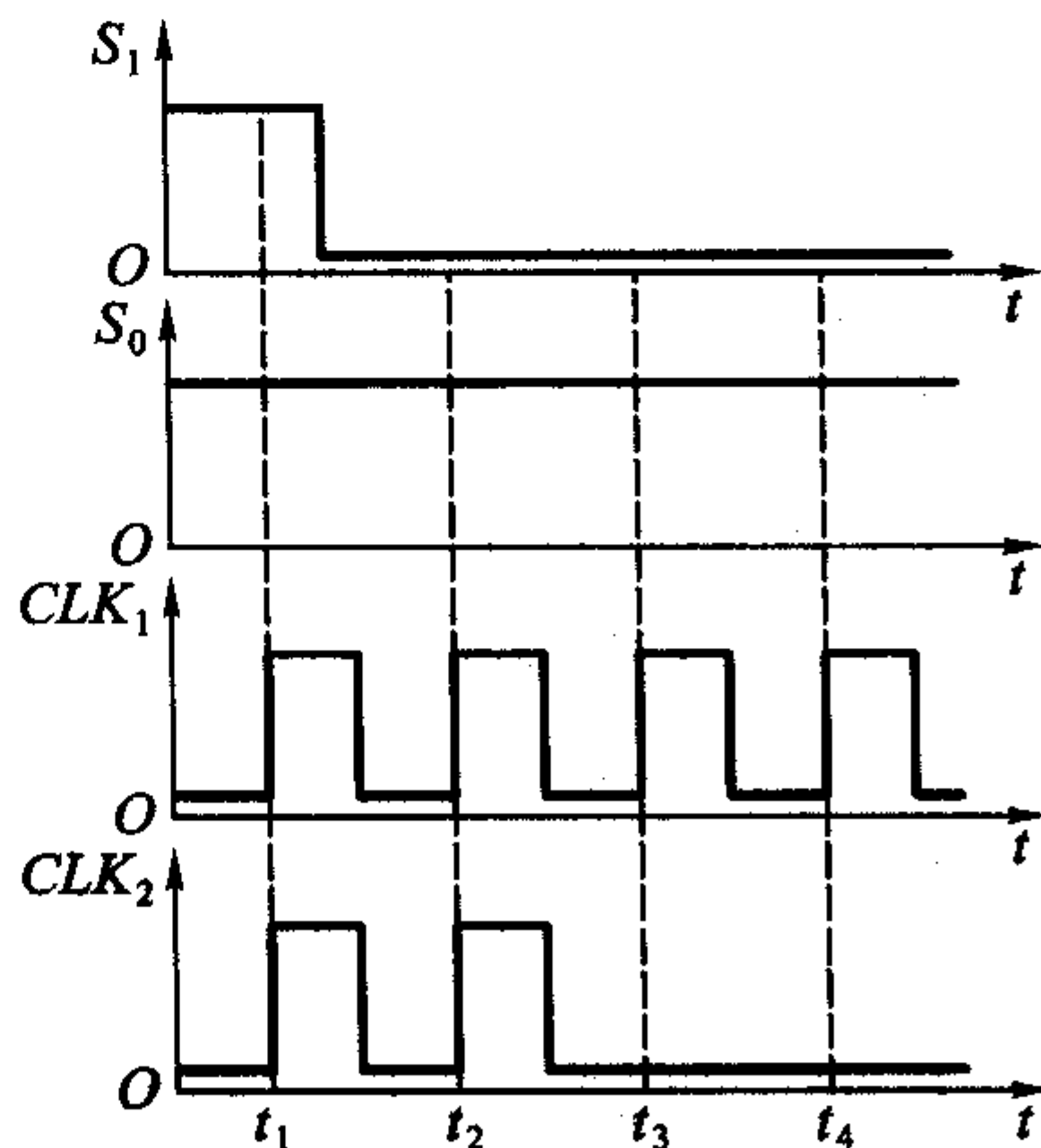


图 6.3.9 例 6.3.1 电路的波形图

相加后得到

$$Y = M \times 8 + N \times 2$$

### 复习思考题

R6.3.1 用电平触发的触发器、脉冲触发的触发器是否也能组成图 6.3.3 形式的移位寄存器?

R6.3.2 在图 6.3.8 所示的加法运算电路中,为了保证得出正确的运算结果,对  $M$  和  $N$  的数值应作何限制?

### 6.3.2 计数器

在数字系统中使用得最多的时序电路要算是计数器了。计数器不仅能用于对时钟脉冲计数,还可以用于分频、定时、产生节拍脉冲和脉冲序列以及进行数字运算等。

计数器的种类非常繁多。如果按计数器中的触发器是否同时翻转分类,可以将计数器分为同步式和异步式两种。在同步计数器中,当时钟脉冲输入时触发器的翻转是同时发生的。而在异步计数器中,触发器的翻转有先有后,不是同时发生的。

如果按计数过程中计数器中的数字增减分类,又可以将计数器分为加法计数器、减法计数器和可逆计数器(或称为加/减计数器)。随着计数脉冲的不断输入而作递增计数的称为加法计数器,作递减计数的称为减法计数器,可增可减的称为可逆计数器。

如果按计数器中数字的编码方式分类,还可以分成二进制计数器、二-十进制计数器、格雷码计数器等。

此外,有时也用计数器的计数容量来区分各种不同的计数器,如十进制计数器、六十进制计数器等。

#### 一、同步计数器

##### 1. 同步二进制计数器

目前生产的同步计数器芯片基本上分为二进制和十进制两种。首先讨论同步二进制计数器。

根据二进制加法运算规则可知,在一个多位二进制数的末位上加 1 时,若其中第  $i$  位(即任何一位)以下各位皆为 1 时,则第  $i$  位应改变状态(由 0 变成 1,由 1 变成 0)。而最低位的状态在每次加 1 时都要改变。例如

$$\begin{array}{r}
 1\ 0\ 1\ 1\ \boxed{0\ 1\ 1} \\
 + \qquad\qquad\qquad 1 \\
 \hline
 1\ 0\ 1\ 1\ \boxed{1\ 0\ 0}
 \end{array}$$

按照上述原则,最低的3位数都改变了状态,而高4位状态未变。

同步计数器通常用  $T$  触发器构成,结构形式有两种。一种是控制输入端  $T$  的状态。当每次  $CLK$  信号(也就是计数脉冲)到达时,使该翻转的那些触发器输入控制端  $T_i = 1$ ,不该翻转的  $T_i = 0$ 。另一种形式是控制时钟信号,每次计数脉冲到达时,只能加到该翻转的那些触发器的  $CLK$  输入端上,而不能加给那些不该翻转的触发器。同时,将所有的触发器接成  $T = 1$  的状态。这样,就可以用计数器电路的不同状态来记录输入的  $CLK$  脉冲数目。

由此可知,当通过  $T$  端的状态控制时,第  $i$  位触发器输入端的逻辑式应为

$$\begin{aligned}
 T_i &= Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \cdot Q_0 \\
 &= \prod_{j=0}^{i-1} Q_j \quad (i=1, 2, \dots, n-1)
 \end{aligned} \tag{6.3.1}$$

只有最低位例外,按照计数规则,每次输入计数脉冲时它都要翻转,故  $T_0 = 1$ 。

图 6.3.10 所示电路就是按式(6.3.1)接成的4位二进制同步加法计数器。由图可见,各触发器的驱动方程为

$$\begin{cases}
 T_0 = 1 \\
 T_1 = Q_0 \\
 T_2 = Q_0 Q_1 \\
 T_3 = Q_0 Q_1 Q_2
 \end{cases} \tag{6.3.2}$$

将上式代入  $T$  触发器的特性方程式得到电路的状态方程

$$\begin{cases}
 Q_0^* = Q_0' \\
 Q_1^* = Q_0 Q_1' + Q_0' Q_1 \\
 Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 \\
 Q_3^* = Q_0 Q_1 Q_2 Q_3' + (Q_0 Q_1 Q_2)' Q_3
 \end{cases} \tag{6.3.3}$$

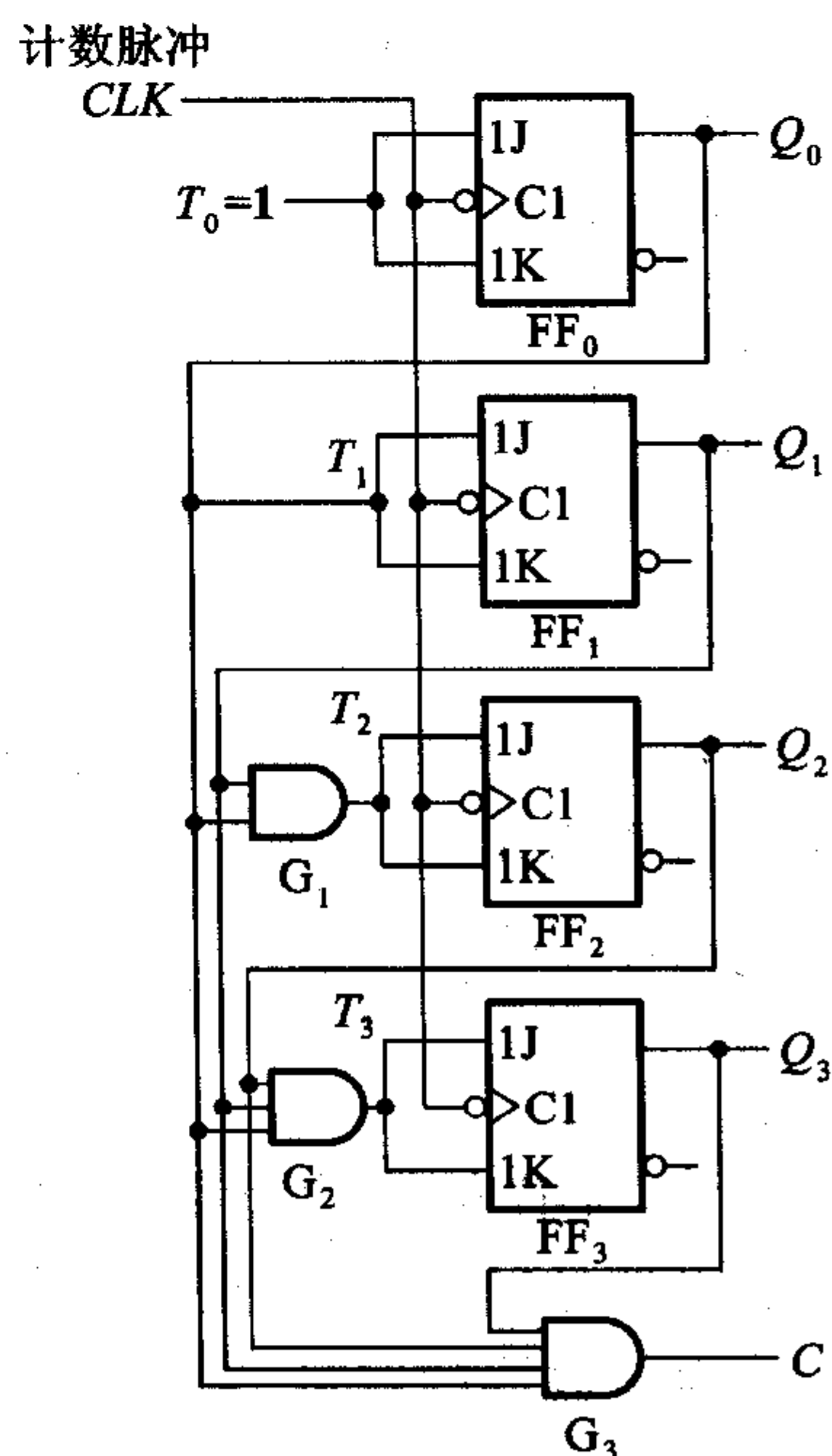


图 6.3.10 用  $T$  触发器构成的同步二进制加法计数器

电路的输出方程为

$$C = Q_0 Q_1 Q_2 Q_3 \quad (6.3.4)$$

根据式(6.3.3)和式(6.3.4)求出电路的状态转换表,如表 6.3.3 所示。利用第 16 个计数脉冲到达时  $C$  端电位的下降沿可作为向高位计数器电路进位的输出信号。

表 6.3.3 图 6.3.10 电路的状态转换表

计数顺序	电路状态				等效十进制数	进位输出 $C$
	$Q_3$	$Q_2$	$Q_1$	$Q_0$		
0	0	0	0	0	0	0
1	0	0	0	1	1	0
2	0	0	1	0	2	0
3	0	0	1	1	3	0
4	0	1	0	0	4	0
5	0	1	0	1	5	0
6	0	1	1	0	6	0
7	0	1	1	1	7	0
8	1	0	0	0	8	0
9	1	0	0	1	9	0
10	1	0	1	0	10	0
11	1	0	1	1	11	0
12	1	1	0	0	12	0
13	1	1	0	1	13	0
14	1	1	1	0	14	0
15	1	1	1	1	15	1
16	0	0	0	0	0	0

图 6.3.11 和图 6.3.12 是图 6.3.10 所示电路的状态转换图和时序图。由时序图可以看出,若计数输入脉冲的频率为  $f_0$ ,则  $Q_0$ 、 $Q_1$ 、 $Q_2$  和  $Q_3$  端输出脉冲的频率将依次为  $\frac{1}{2}f_0$ 、 $\frac{1}{4}f_0$ 、 $\frac{1}{8}f_0$  和  $\frac{1}{16}f_0$ 。针对计数器的这种分频功能,也将它称为分频器。

此外,每输入 16 个计数脉冲计数器工作一个循环,并在输出端  $Q_3$  产生一个进位输出信号,所以又将这个电路称为十六进制计数器。计数器中能计到的最大数称为计数器的容量,它等于计数器所有各位全为 1 时的数值。 $n$  位二进制计数器的容量等于  $2^n - 1$ 。

在实际生产的计数器芯片中,往往还附加了一些控制电路,以增加电路的功能和使用的灵活性。图 6.3.13 为中规模集成的 4 位同步二进制计数器 74161

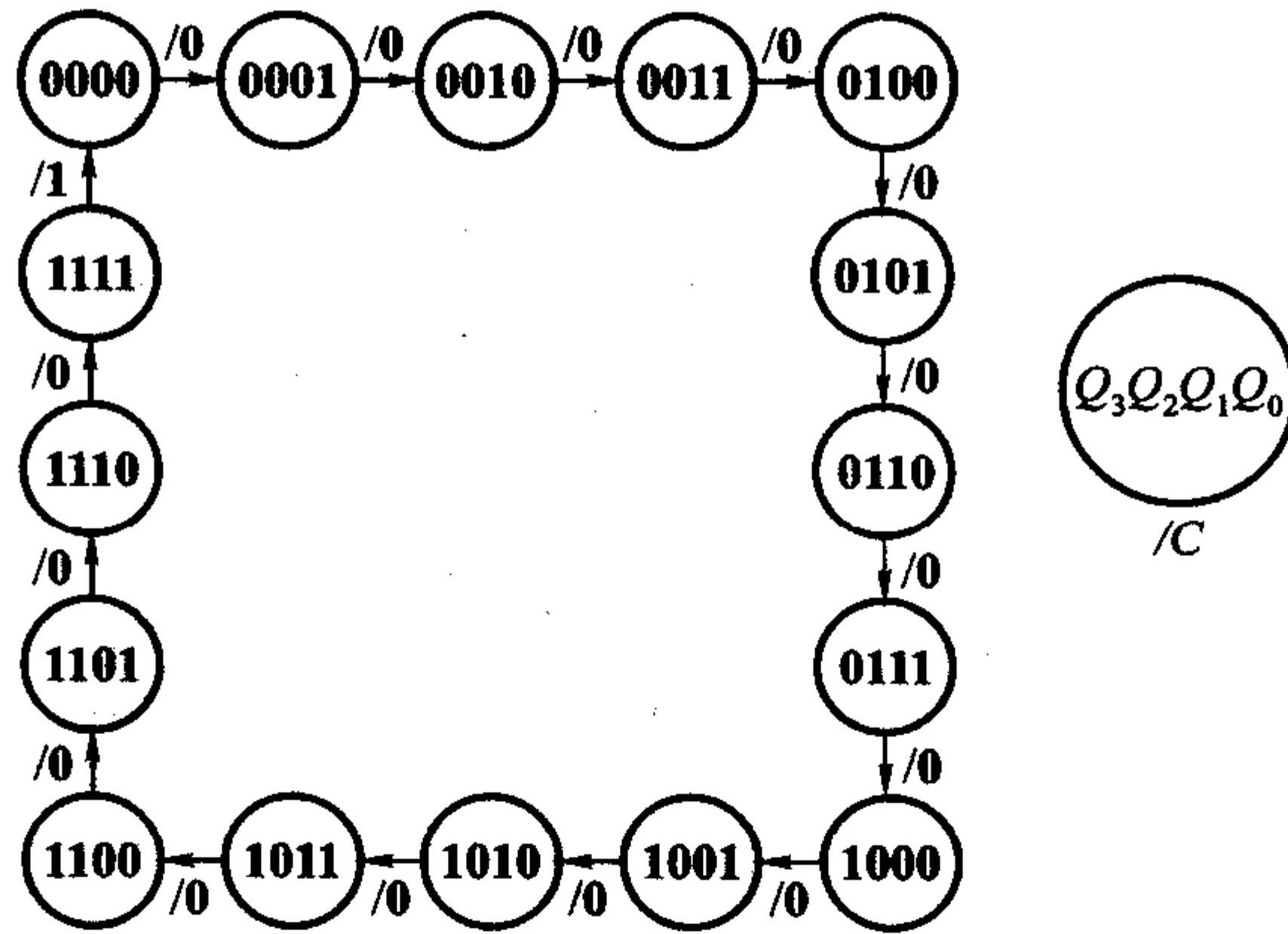


图 6.3.11 图 6.3.10 电路的状态转换图

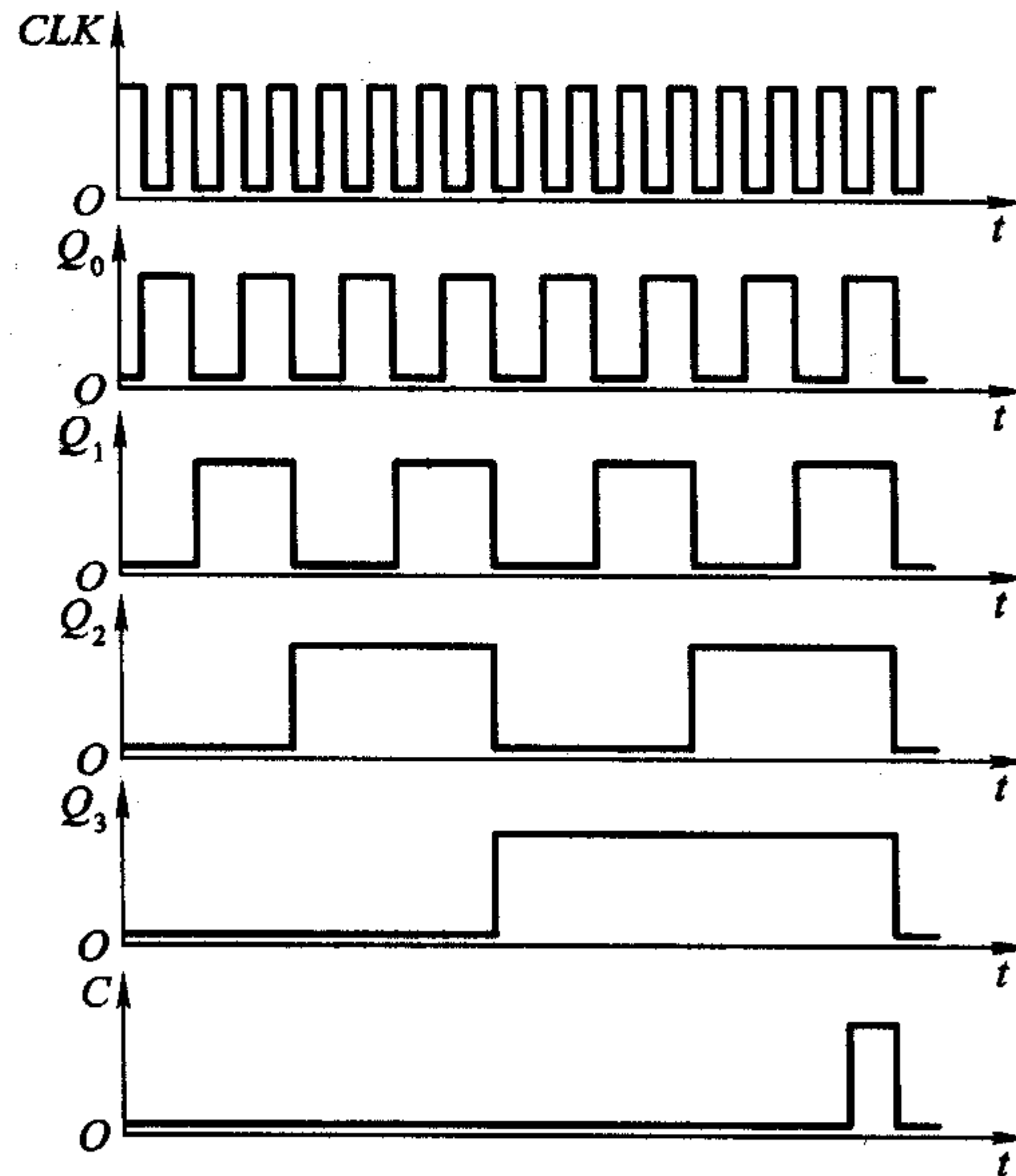


图 6.3.12 图 6.3.10 电路的时序图

的逻辑图。这个电路除了具有二进制加法计数功能外,还具有预置数、保持和异步置零等附加功能。图中  $LD'$  为预置数控制端,  $D_0 \sim D_3$  为数据输入端,  $C$  为进位输出端,  $R'_D$  为异步置零(复位)端,  $EP$  和  $ET$  为工作状态控制端。

表 6.3.4 是 74161 的功能表,它给出了当  $EP$  和  $ET$  为不同取值时电路的工作状态。

由图 6.3.13 可见,当  $R'_D = 0$  时所有触发器将同时被置零,而且置零操作不受其他输入端状态的影响。



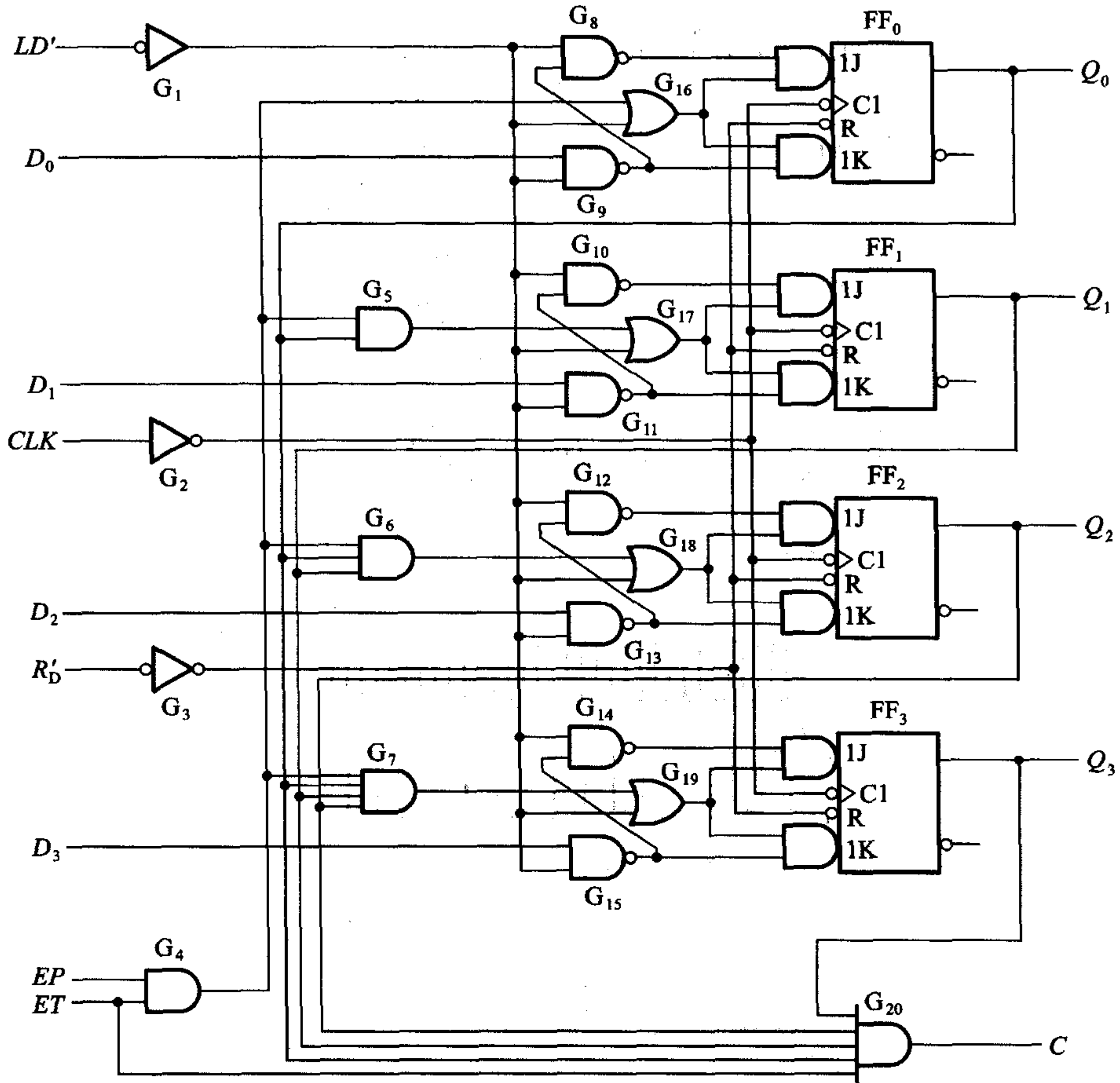


图 6.3.13 4 位同步二进制计数器 74161 的逻辑图

表 6.3.4 4 位同步二进制计数器 74161 的功能表

CLK	$R'_D$	$LD'$	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 $C=0$ )
↑	1	1	1	1	计数

当  $R'_D = 1$ 、 $LD' = 0$  时,电路工作在同步预置数状态。这时门  $G_{16} \sim G_{19}$  的输出始终是 1,所以  $FF_0 \sim FF_3$  输入端  $J$ 、 $K$  的状态由  $D_0 \sim D_3$  的状态决定。例如,若

$D_0 = 1$ , 则  $J_0 = 1$ 、 $K_0 = 0$ ,  $CLK$  上升沿到达后  $FF_0$  被置 1。

当  $R'_D = LD' = 1$  而  $EP = 0$ 、 $ET = 1$  时, 由于这时门  $G_{16} \sim G_{19}$  的输出均为 0, 亦即  $FF_0 \sim FF_3$  均处在  $J = K = 0$  的状态, 所以  $CLK$  信号到达时它们保持原来的状态不变。同时  $C$  的状态也得到保持。如果  $ET = 0$ , 则  $EP$  无论为何状态, 计数器的状态也将保持不变, 但这时进位输出  $C$  等于 0。

当  $R'_D = LD' = EP = ET = 1$  时, 电路工作在计数状态, 与图 6.3.10 所示电路的工作状态相同。从电路的 0000 状态开始连续输入 16 个计数脉冲时, 电路将从 1111 状态返回 0000 状态,  $C$  端从高电平跳变至低电平。可以利用  $C$  端输出的高电平或下降沿作为进位输出信号。

74LS161 在内部电路结构形式上与 74161 有些区别, 但外部引线的配置、引脚排列以及功能表都和 74161 相同。

此外, 有些同步计数器(例如 74LS162、74LS163)是采用同步置零方式的, 应注意与 74161 这种异步置零方式的区别。在同步置零的计数器电路中,  $R'_D$  出现低电平后要等下一个  $CLK$  信号到达时才能将触发器置零。而在异步置零的计数器电路中, 只要  $R'_D$  出现低电平, 触发器立即被置零, 不受  $CLK$  的控制。

图 6.3.14 给出了采用控制时钟信号方式构成的 4 位同步二进制计数器。由于每个触发的  $T$  输入端恒为 1, 所以只要在每个触发器的时钟输入端加一个

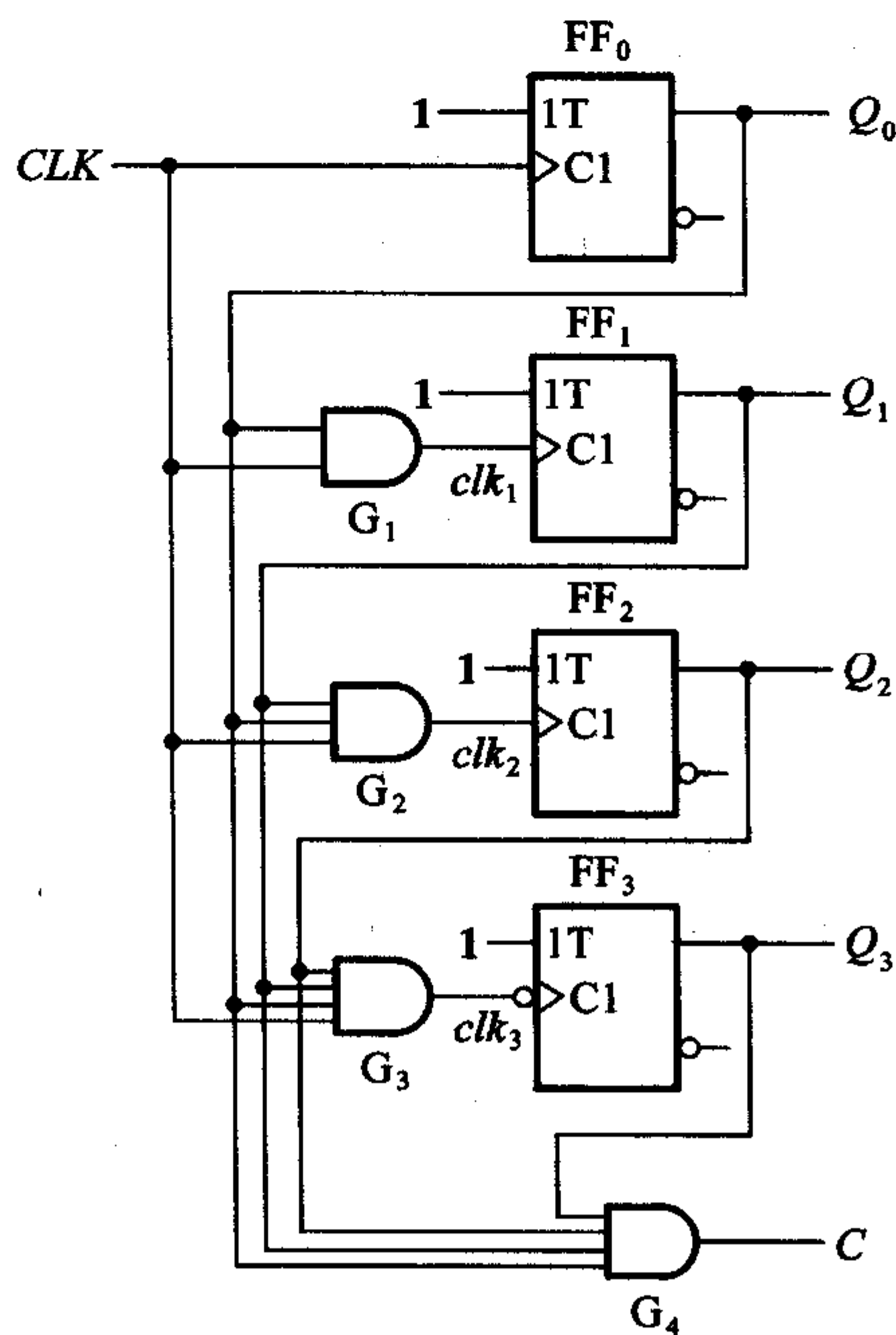


图 6.3.14 4 位同步二进制计数器的另一种结构形式