

所谓整体置零方式,是首先将两片  $N$  进制计数器按最简单的方式接成一个大于  $M$  进制的计数器(例如  $N \cdot N$  进制),然后在计数器计为  $M$  状态时译出异步置零信号  $R'_D = 0$ ,将两片  $N$  进制计数器同时置零。这种方式的基本原理和  $M < N$  时的置零法是一样的。

而整体置数方式的原理与  $M < N$  时的置数法类似。首先需将两片  $N$  进制计数器用最简单的连接方式接成一个大于  $M$  进制的计数器(例如  $N \cdot N$  进制),然后在选定的某一状态下译出  $LD' = 0$  信号,将两个  $N$  进制计数器同时置入适当的数据,跳过多余的状态,获得  $M$  进制计数器。采用这种接法要求已有的  $N$  进制计数器本身必须具有预置数功能。

当然,当  $M$  不是素数时整体置零法和整体置数法也可以使用。

**【例 6.3.4】** 试用两片同步十进制计数器 74160 接成二十九进制计数器。

**解:** 因为  $M = 29$  是一个素数,所以必须用整体置零法或整体置数法构成二十九进制计数器。

图 6.3.40 是整体置零方式的接法。首先将两片 74160 以并行进位方式连成一个百进制计数器。当计数器从全 0 状态开始计数,计入 29 个脉冲时,经门  $G_1$  译码产生低电平信号立刻将两片 74160 同时置零,于是便得到了二十九进制计数器。需要注意的是,计数过程中第(2)片 74160 不出现 1001 状态,因而它的  $C$  端不能给出进位信号。而且,门  $G_1$  输出的脉冲持续时间极短,也不宜作进位输出信号。如果要求输出进位信号持续时间为一个时钟信号周期,则应从电路的 28 状态译出。当电路计入 28 个脉冲后门  $G_2$  输出变为低电平,第 29 个计数脉冲到达后门  $G_2$  的输出跳变为高电平。

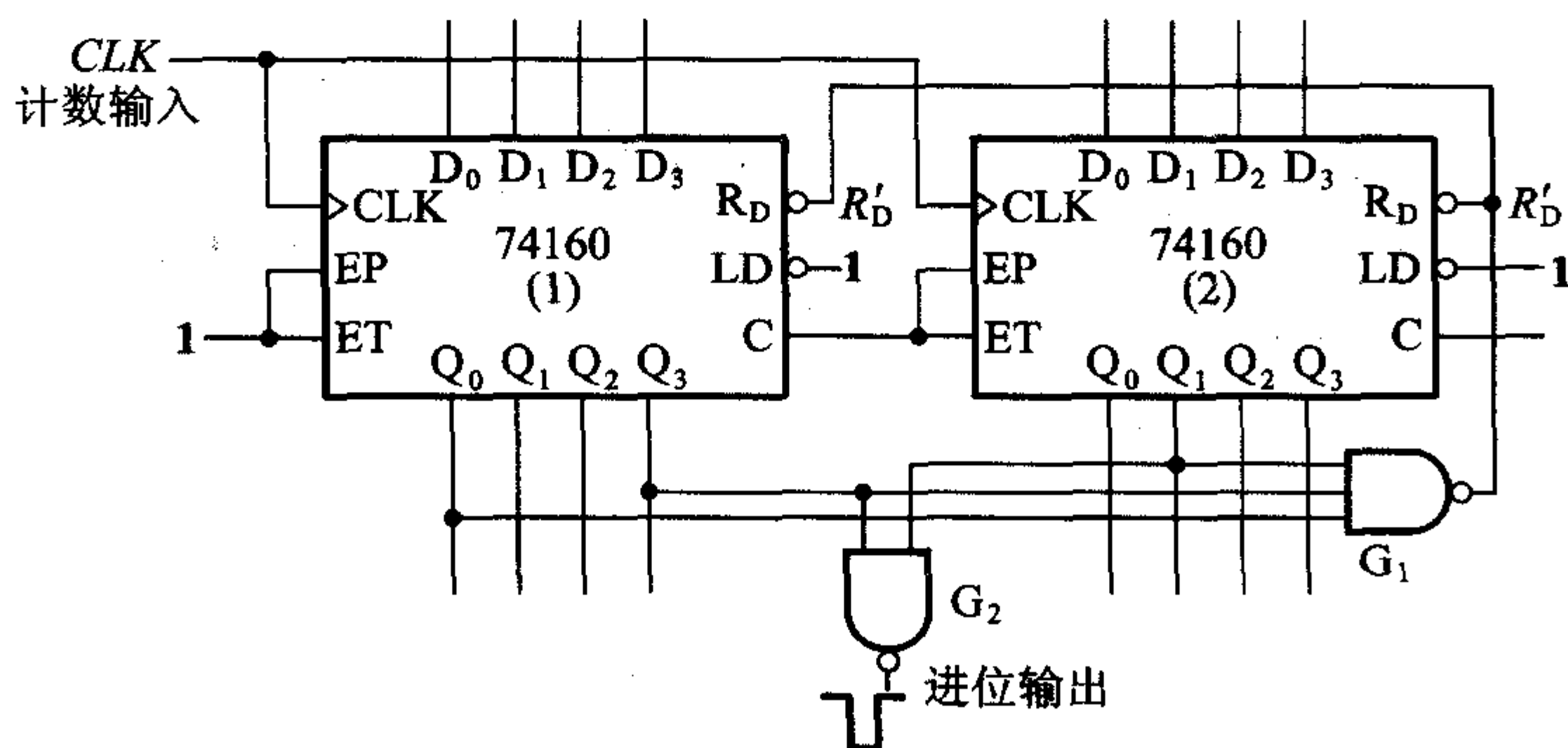


图 6.3.40 例 6.3.4 电路的整体置零方式

通过这个例子可以看到,整体置零法不仅可靠性较差,而且往往还要另加译码电路才能得到需要的进位输出信号。

采用整体置数方式可以避免置零法的缺点。图 6.3.41 所示电路是采用整体置数法接成的二十九进制计数器。首先仍需将两片 74160 接成百进制计数器。然后将电路的 28 状态译码产生  $LD' = 0$  信号,同时加到两片 74160 上,在下一个计数脉冲(第 29 个输入脉冲)到达时,将 **0000** 同时置入两片 74160 中,从而得到二十九进制计数器。进位信号可以直接由门 G 的输出端引出。

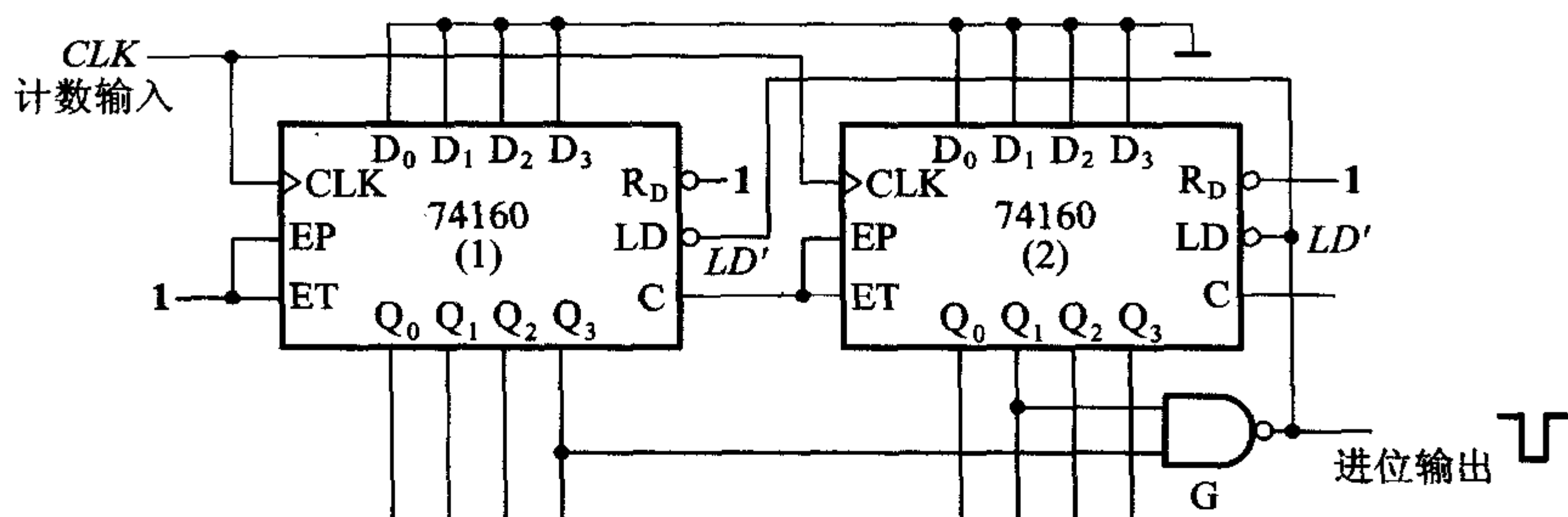


图 6.3.41 例 6.3.4 电路的整体置数方式

#### 四、移位寄存器型计数器

##### 1. 环形计数器

如果按图 6.3.42 所示的那样将移位寄存器首尾相接,即  $D_0 = Q_3$ ,那么在连续不断地输入时钟信号时寄存器里的数据将循环右移。

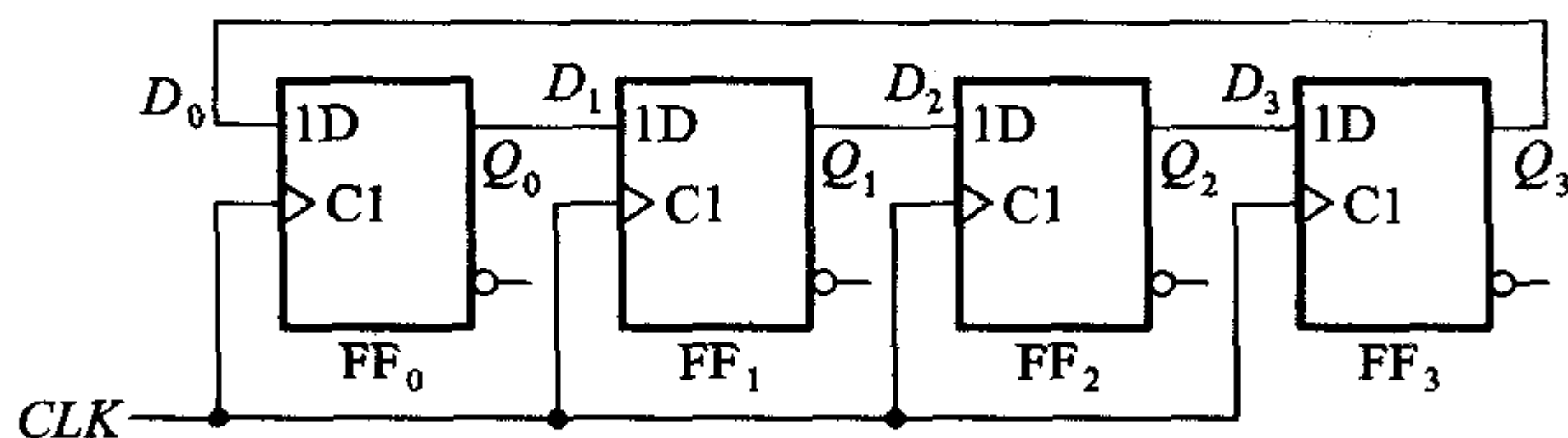


图 6.3.42 环形计数器电路

例如,电路的初始状态为  $Q_0Q_1Q_2Q_3 = 1000$ ,则不断输入时钟信号时电路的状态将按  $1000 \rightarrow 0100 \rightarrow 0010 \rightarrow 0001 \rightarrow 1000$  的次序循环变化。因此,用电路的不同状态能够表示输入时钟信号的数目,也就是说,可以把这个电路作为时钟脉冲的计数器。

根据移位寄存器的工作特点,不必列出环形计数器的状态方程即可直接画出图 6.3.43 所示的状态转换图。如果取由 **1000**、**0100**、**0010** 和 **0001** 所组成的状态循环为所需要有效循环,那么同时还存在着其他几种无效循环。而且,一旦脱离有效循环之后,电路将不会自动返回有效循环中去,所以图 6.3.42 所示的环形计数器是不能自启动的。为确保它能正常工作,必须首先通过串行输入端或并行输入端将电路置成有效循环中的某个状态,然后再开始计数。

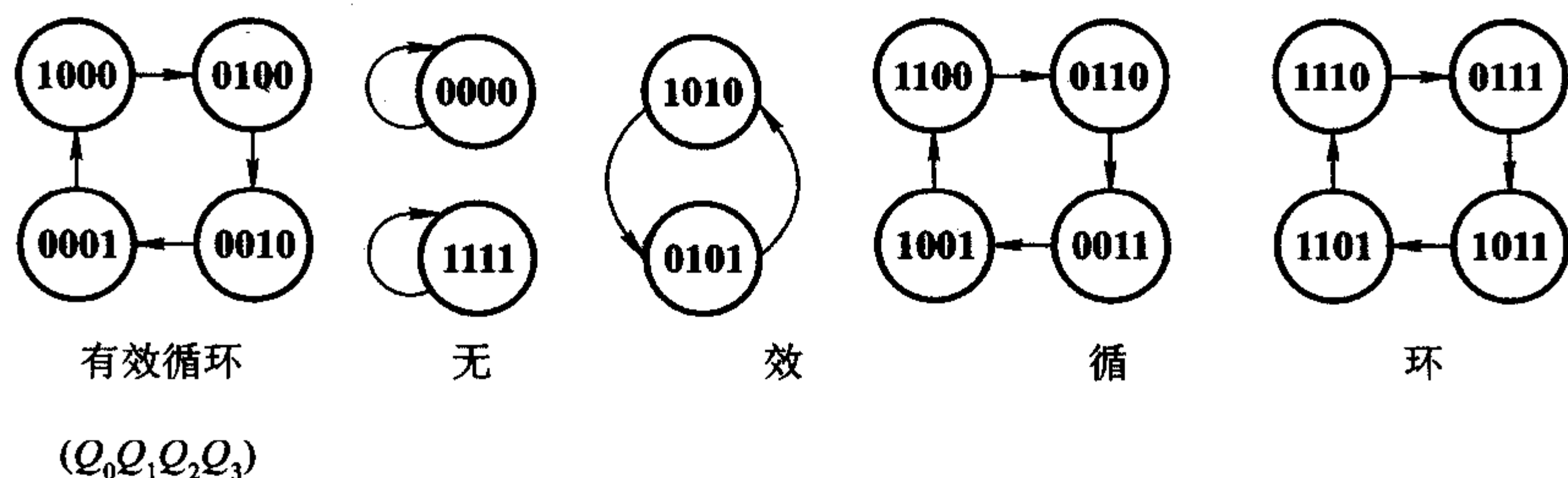


图 6.3.43 图 6.3.42 电路的状态转换图

考虑到使用的方便,在许多场合下需要计数器能自启动,亦即当电路进入任何无效状态后,都能在时钟信号作用下自动返回有效循环中去。通过在输出与输入之间接入适当的反馈逻辑电路,可以将不能自启动的电路修改为能够自启动的电路。图 6.3.44 所示电路是能自启动的 4 位环形计数器电路。

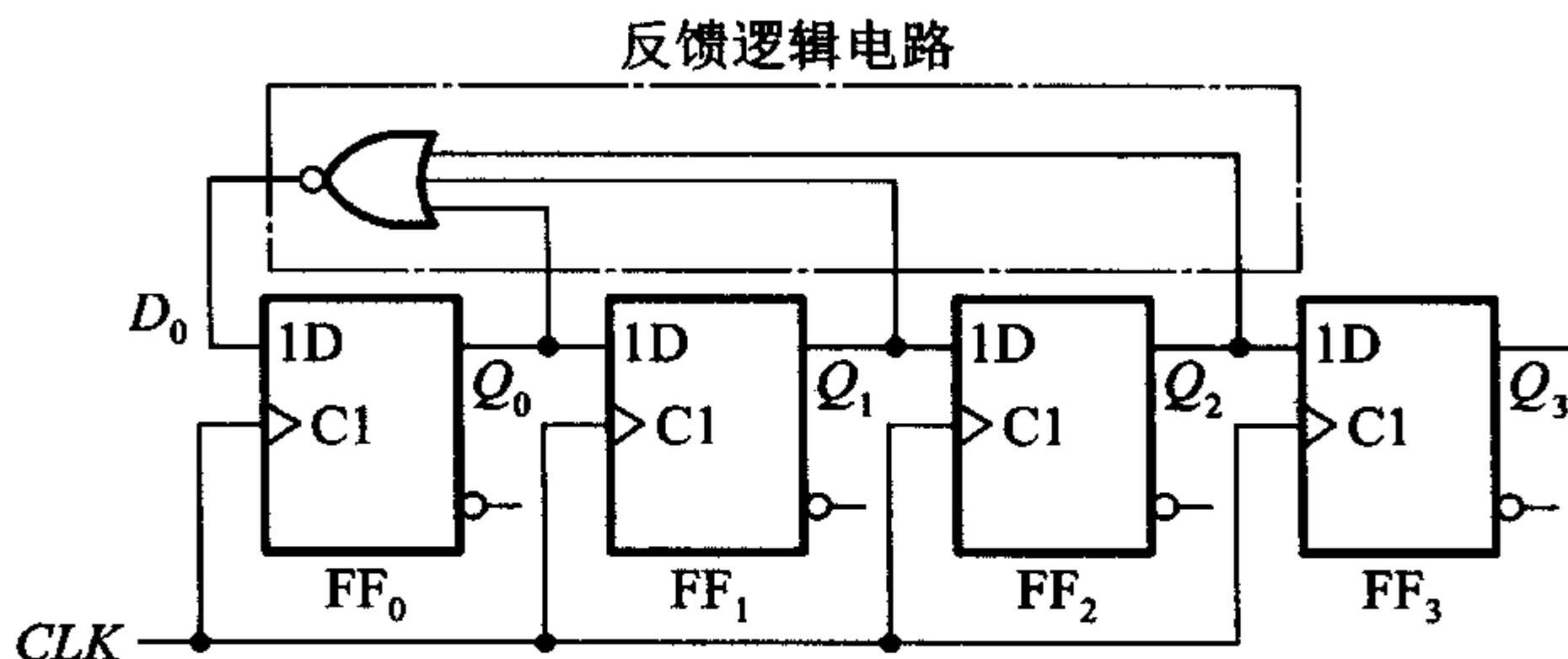


图 6.3.44 能自启动的环形计数器电路

根据图 6.3.44 所示的逻辑图得到它的状态方程为

$$\begin{cases} Q_0^* = (Q_0 + Q_1 + Q_2)' \\ Q_1^* = Q_0 \\ Q_2^* = Q_1 \\ Q_3^* = Q_2 \end{cases} \quad (6.3.14)$$

并可画出电路的状态转换图,如图 6.3.45 所示。

环形计数器的突出优点是电路结构极其简单。而且,在有效循环的每个状态只包含一个1(或0)时,可以直接以各个触发器输出端的1状态表示电路的一个状态,不需要另外加译码电路。

它的主要缺点是没有充分利用电路的状态。用  $n$  位移位寄存器组成的环形计数器只用了  $n$  个状态,而电路总共有  $2^n$  个状态,这显然是一种浪费。

## 2. 扭环形计数器

为了在不改变移位寄存器内部结构的条件下提高环形计数器的电路状态利

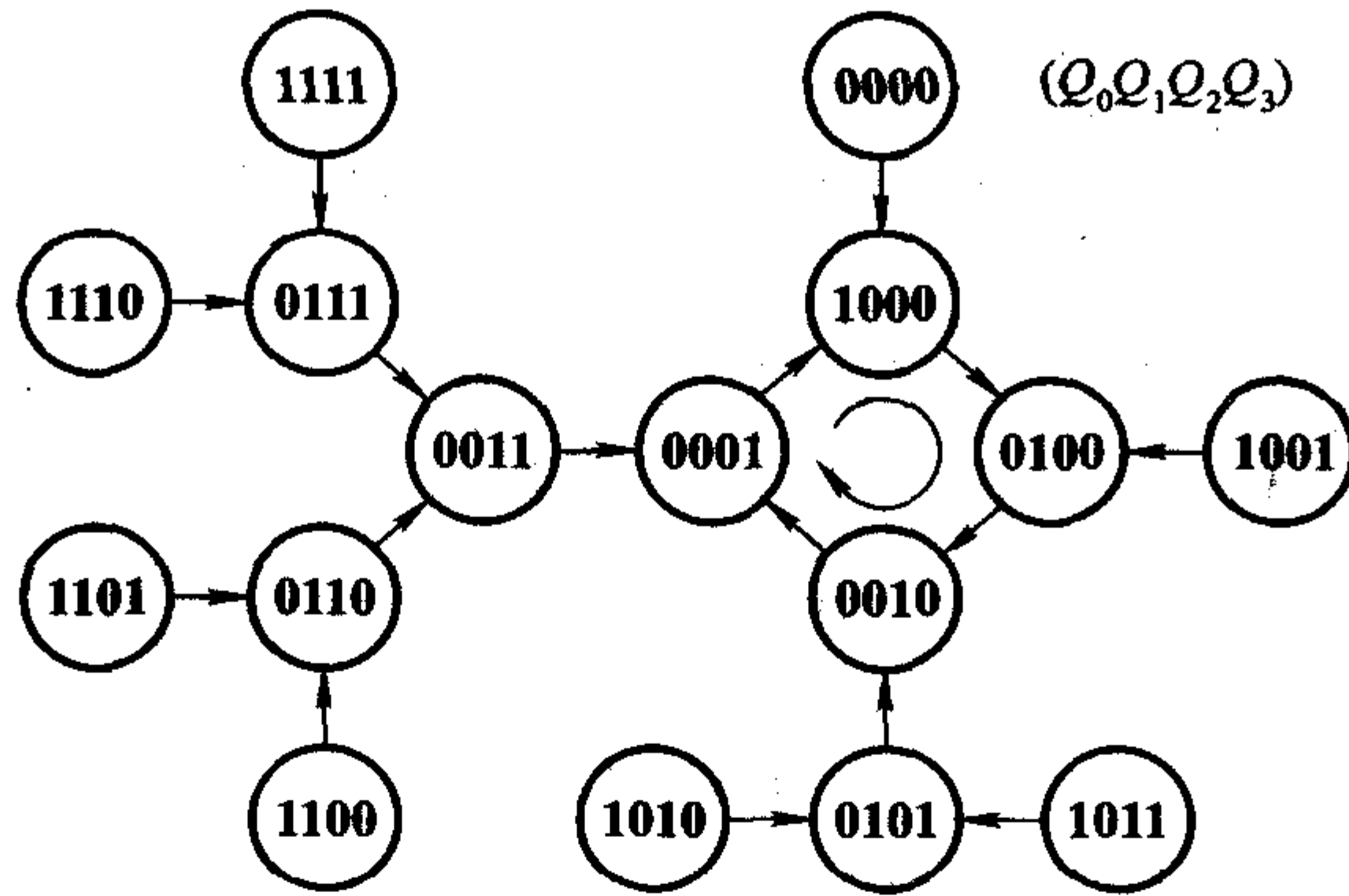


图 6.3.45 图 6.3.44 电路的状态转换图

用率,只能在改变反馈逻辑电路上想办法。

事实上任何一种移位寄存器型计数器的结构均可表示为图 6.3.46 所示的一般形式,其中反馈逻辑电路的函数表达式可写成

$$D_0 = F(Q_0, Q_1, \dots, Q_{n-1}) \quad (6.3.15)$$

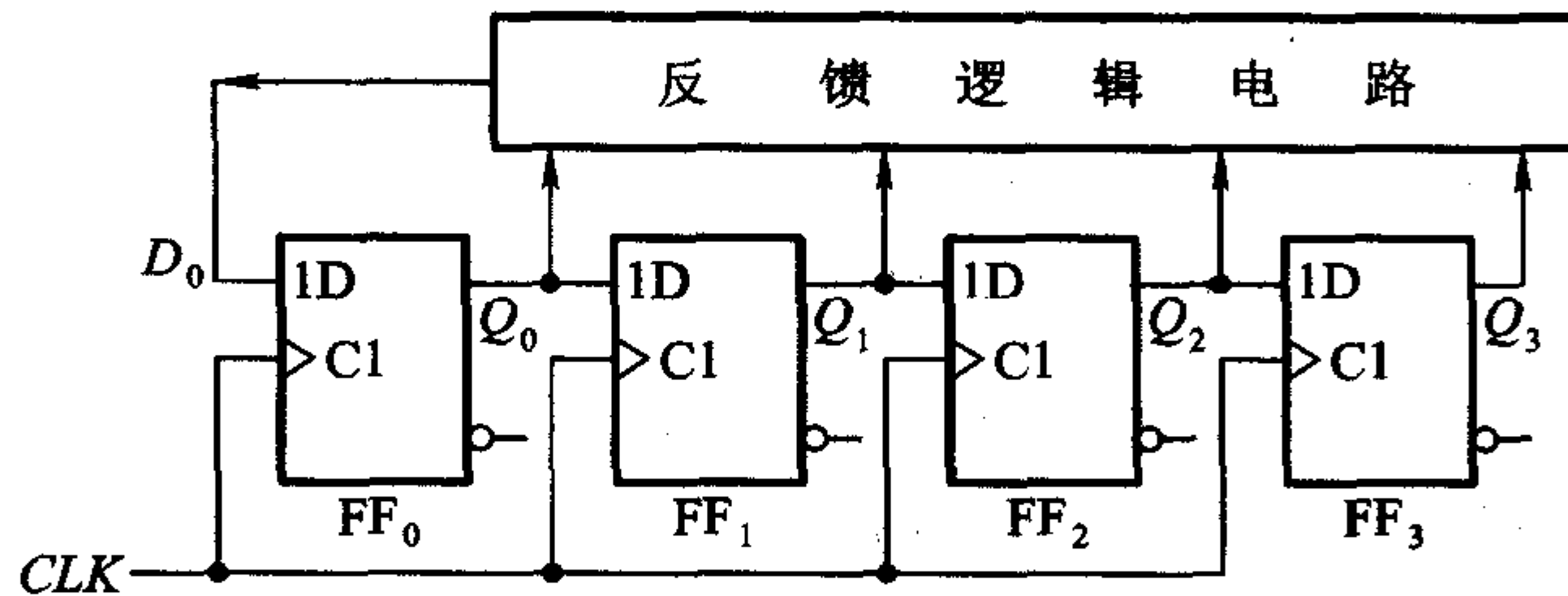


图 6.3.46 移位寄存器型计数器的一般结构形式

环形计数器是反馈逻辑函数中最简单的一种,即  $D_0 = Q_{n-1}$ 。若将反馈逻辑函数取为  $D_0 = Q'_{n-1}$ ,则得到的电路如图 6.3.47 所示。这个电路称为扭环形计数器(也称为约翰逊计数器)。如将它的状态转换图画出,则如图 6.3.48 所示。不难看出,它有两个状态循环,若取图中左边的一个为有效循环,则余下的一个就是无效循环了。显然,这个计数器不能自启动。

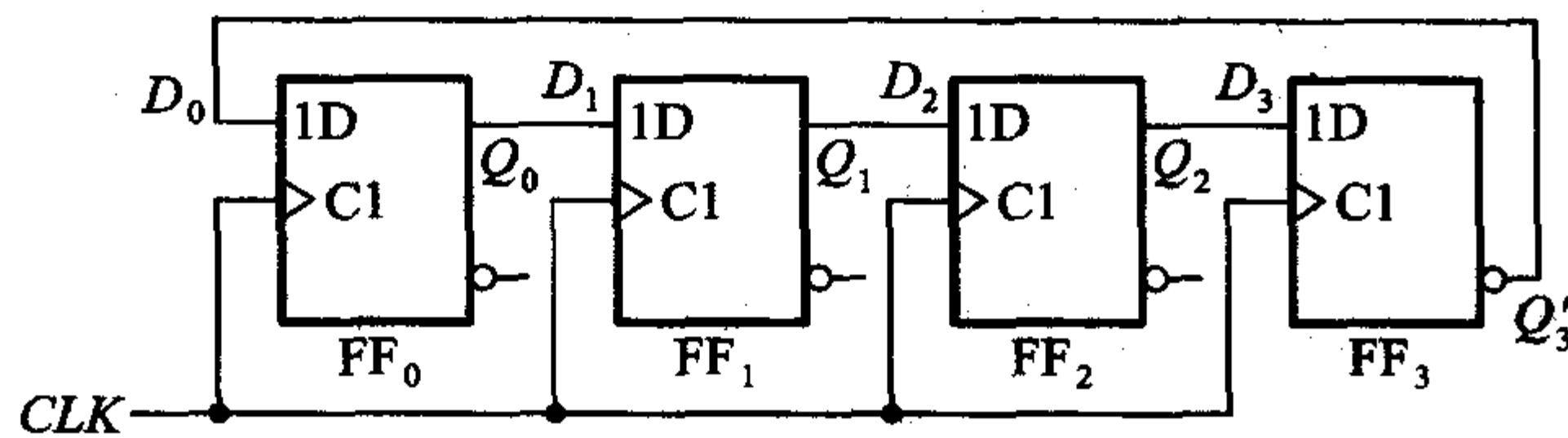


图 6.3.47 扭环形计数器电路

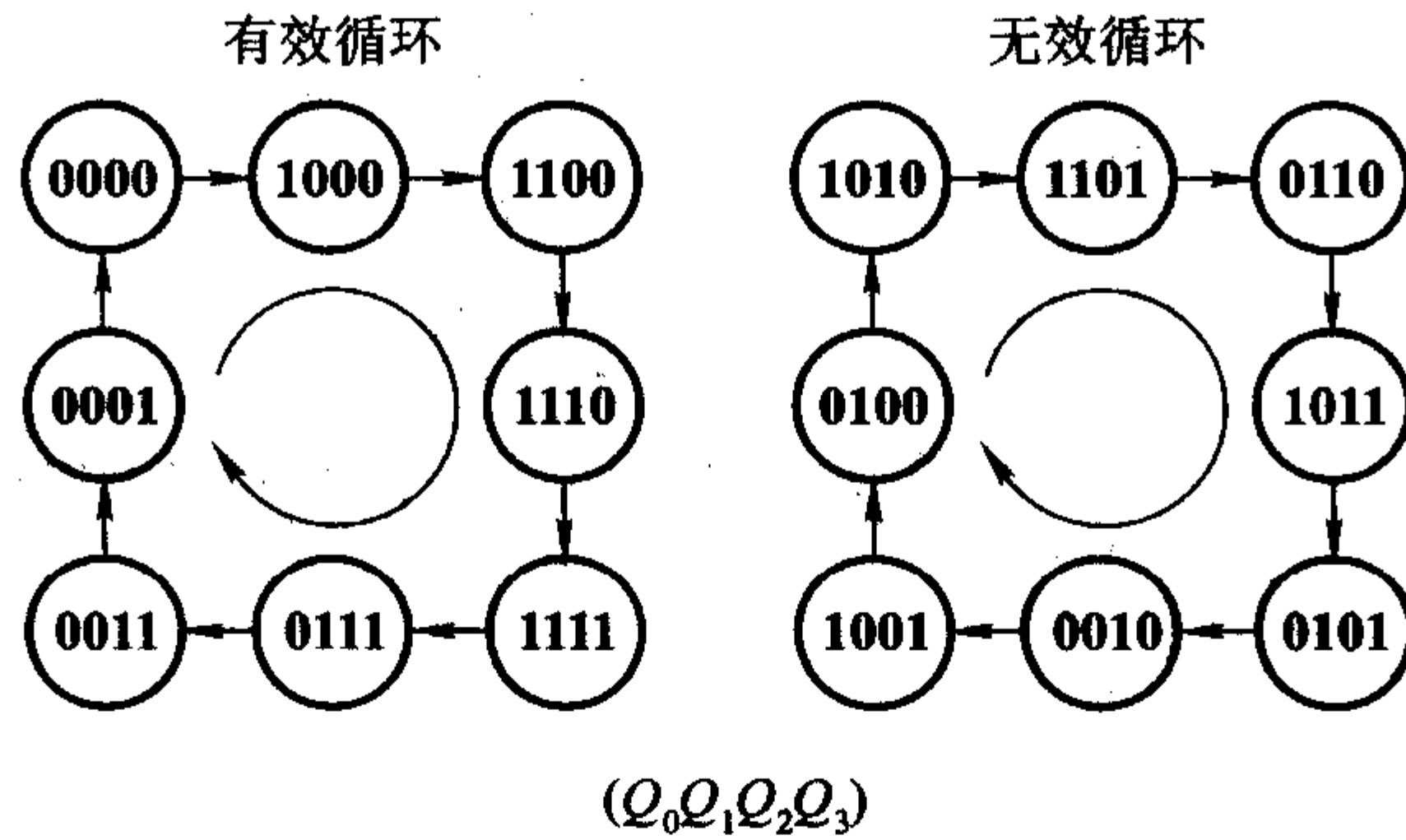


图 6.3.48 图 6.3.47 电路的状态转换图

为了实现自启动,可将图 6.3.47 所示电路的反馈逻辑函数稍加修改,令  $D_0 = Q_1Q_2' + Q_3'$ ,于是就得到了图 6.3.49 所示的电路和图 6.3.50 所示的状态转换图。

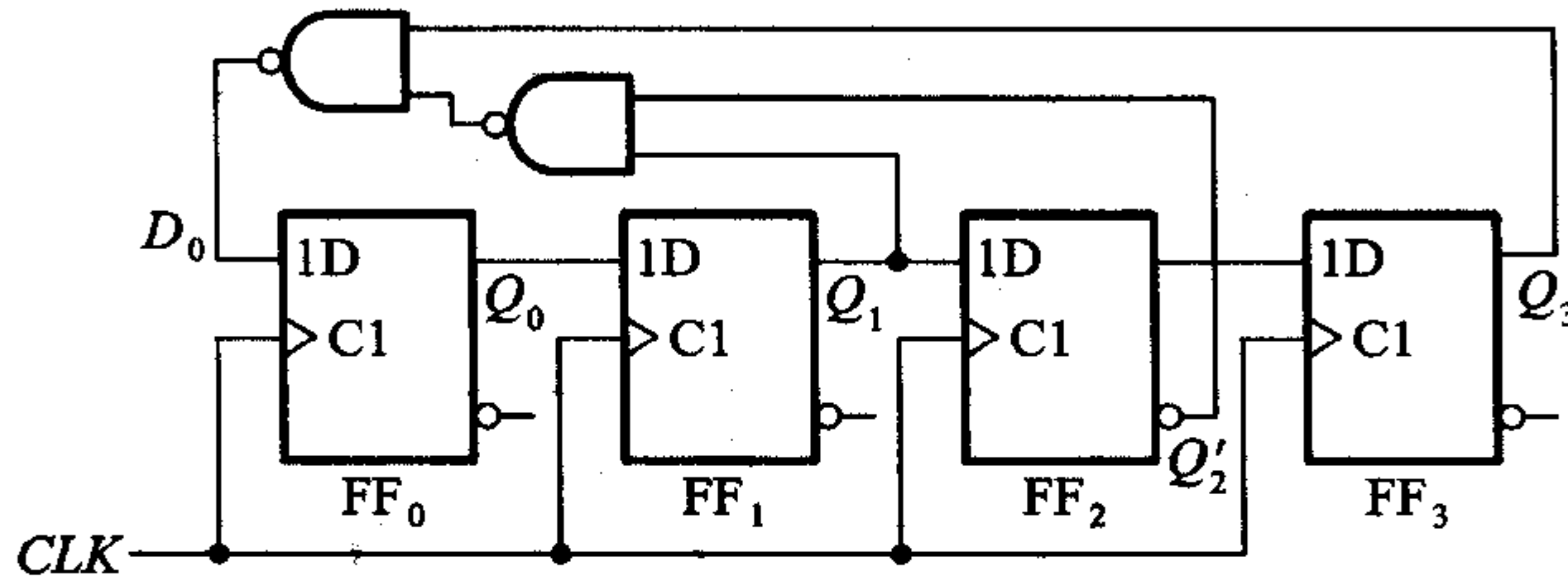


图 6.3.49 能自启动的扭环形计数器

不难看出,用  $n$  位移位寄存器构成的扭环形计数器可以得到含  $2n$  个有效状态的循环,状态利用率较环形计数器提高了一倍。而且,如采用图 6.3.50 中的有效循环,由于电路在每次状态转换时只有一位触发器改变状态,因而在将电路状态译码时不会产生竞争 - 冒险现象。

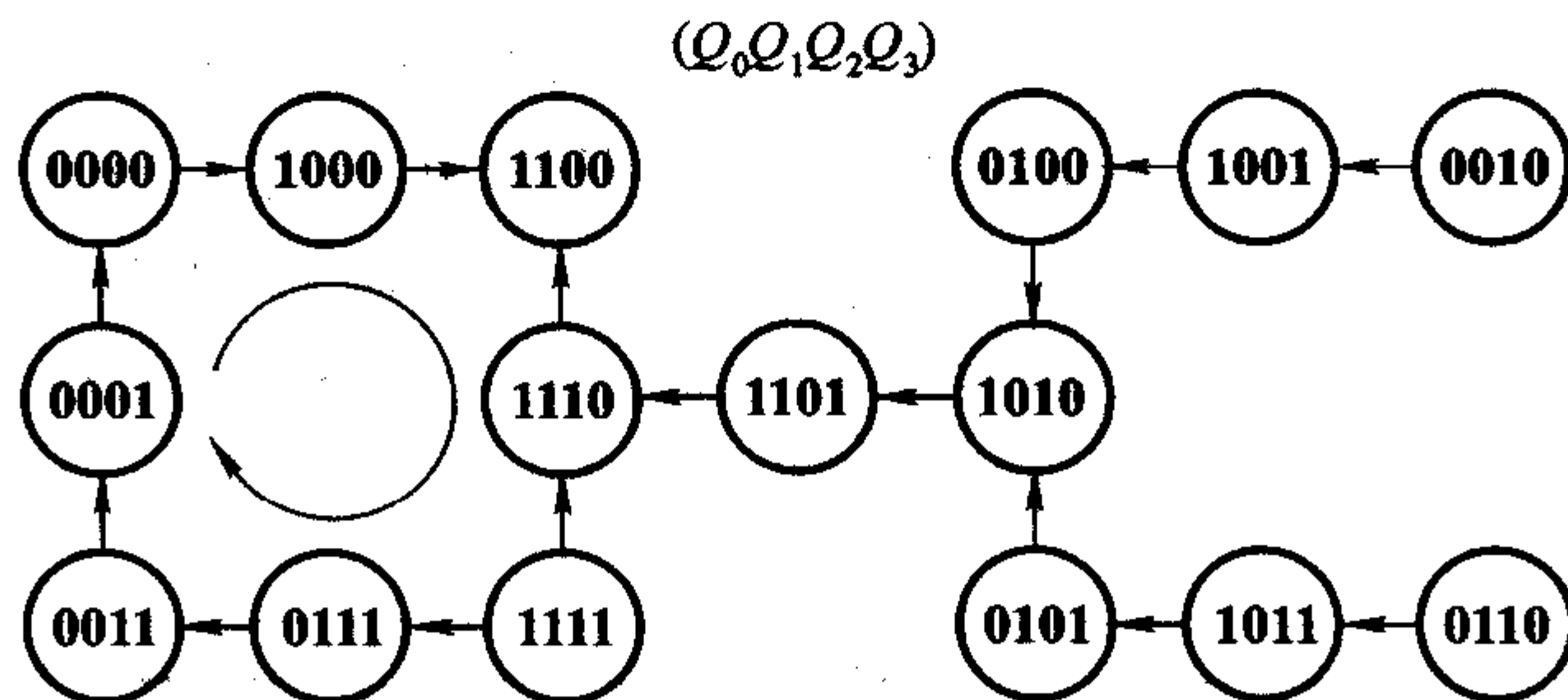


图 6.3.50 图 6.3.49 电路的状态转换图

虽然扭环形计数器的电路状态利用率有所提高,但仍有  $2^n - 2n$  个状态没有利用。使用最大长度移位寄存器型计数器可以将电路的状态利用率提高到  $2^n - 1$ ,有关内容可参阅本书第三版中的附录 5E。

### 复习思考题

R6.3.3 计数器的同步置零方式和异步置零方式有什么不同? 同步预置数方式和异步预置数方式有何不同?

R6.3.4 若将图 6.3.33 中异步置零方式的十进制计数器改用同步置零方式的十进制计数器, 电路应做何修改?

R6.3.5 在用十六进制计数器 74LS161 接成小于十六进制的计数器时, 什么情况下可以用 74LS161 上原有的进位输出端产生进位输出信号, 什么情况下则不行?

### \* 6.3.3 顺序脉冲发生器

在一些数字系统中, 有时需要系统按照事先规定的顺序进行一系列的操作。这就要求系统的控制部分能给出一组在时间上有一定先后顺序的脉冲信号, 再用这组脉冲形成所需要的各种控制信号。顺序脉冲发生器就是用来产生这样一组顺序脉冲的电路。

顺序脉冲发生器可以用移位寄存器构成。当环形计数器工作在每个状态中只有一个 1 的循环状态时, 它就是一个顺序脉冲发生器。由图 6.3.51 可见, 当  $CLK$  端不断输入系列脉冲时,  $Q_0 \sim Q_3$  端将依次输出正脉冲, 并不断循环。

这种方案的优点是不必附加译码电路, 结构比较简单。缺点是使用的触发器数目比较多, 同时还必须采用能自启动的反馈逻辑电路。

在顺序脉冲数较多时, 可以用计数器和译码器组合成顺序脉冲发生器。图

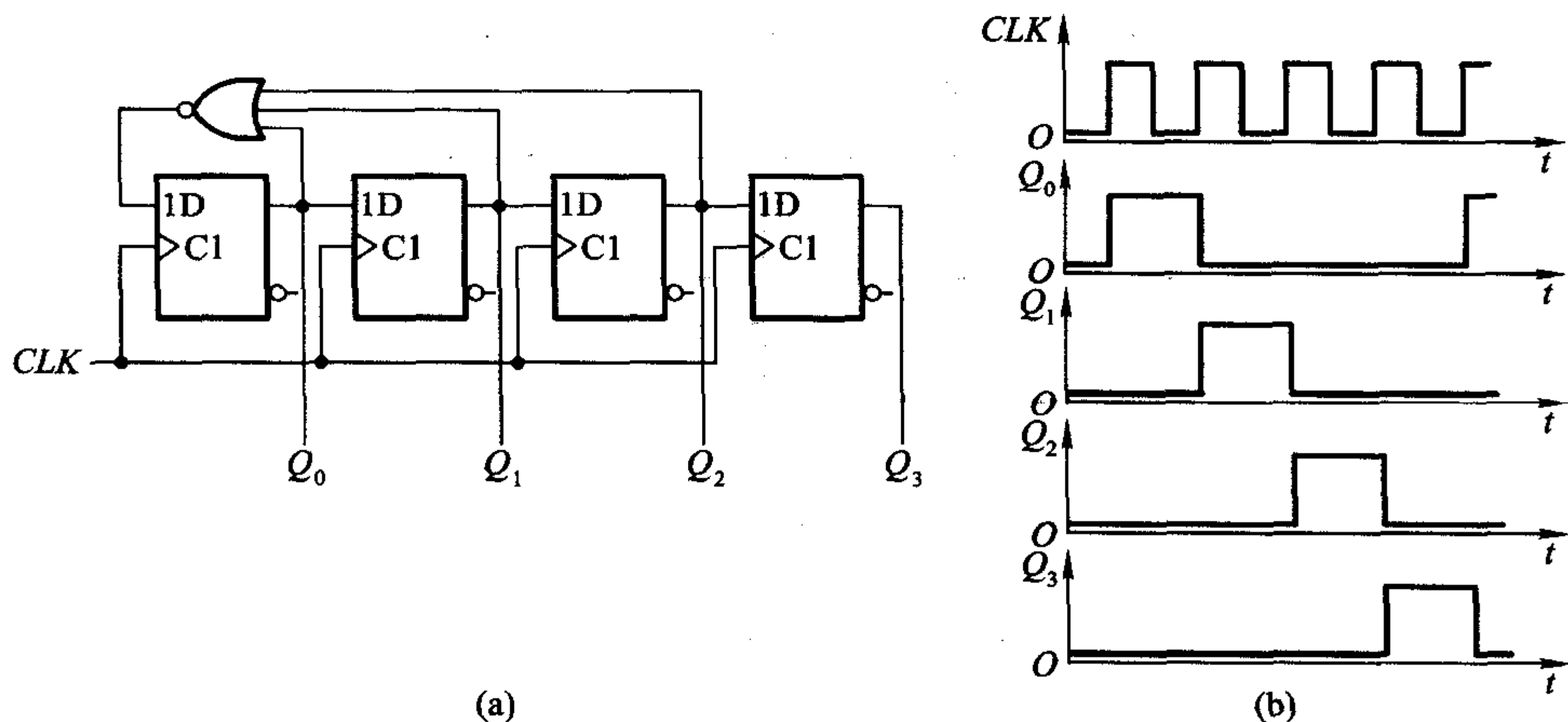


图 6.3.51 用环形计数器作顺序脉冲发生器

(a) 电路图 (b) 电压波形图

6.3.52(a)所示电路是有8个顺序脉冲输出的顺序脉冲发生器的例子。图中的三个触发器 $FF_0$ 、 $FF_1$ 和 $FF_2$ 组成3位二进制计数器,8个与门组成3线-8线译码器。只要在计数器的输入端 $CLK$ 加入固定频率的脉冲,便可在 $P_0 \sim P_7$ 端依次得到输出脉冲信号,如图6.3.52(b)所示。

由于使用了异步计数器,在电路状态转换时三个触发器在翻转时有先有后,

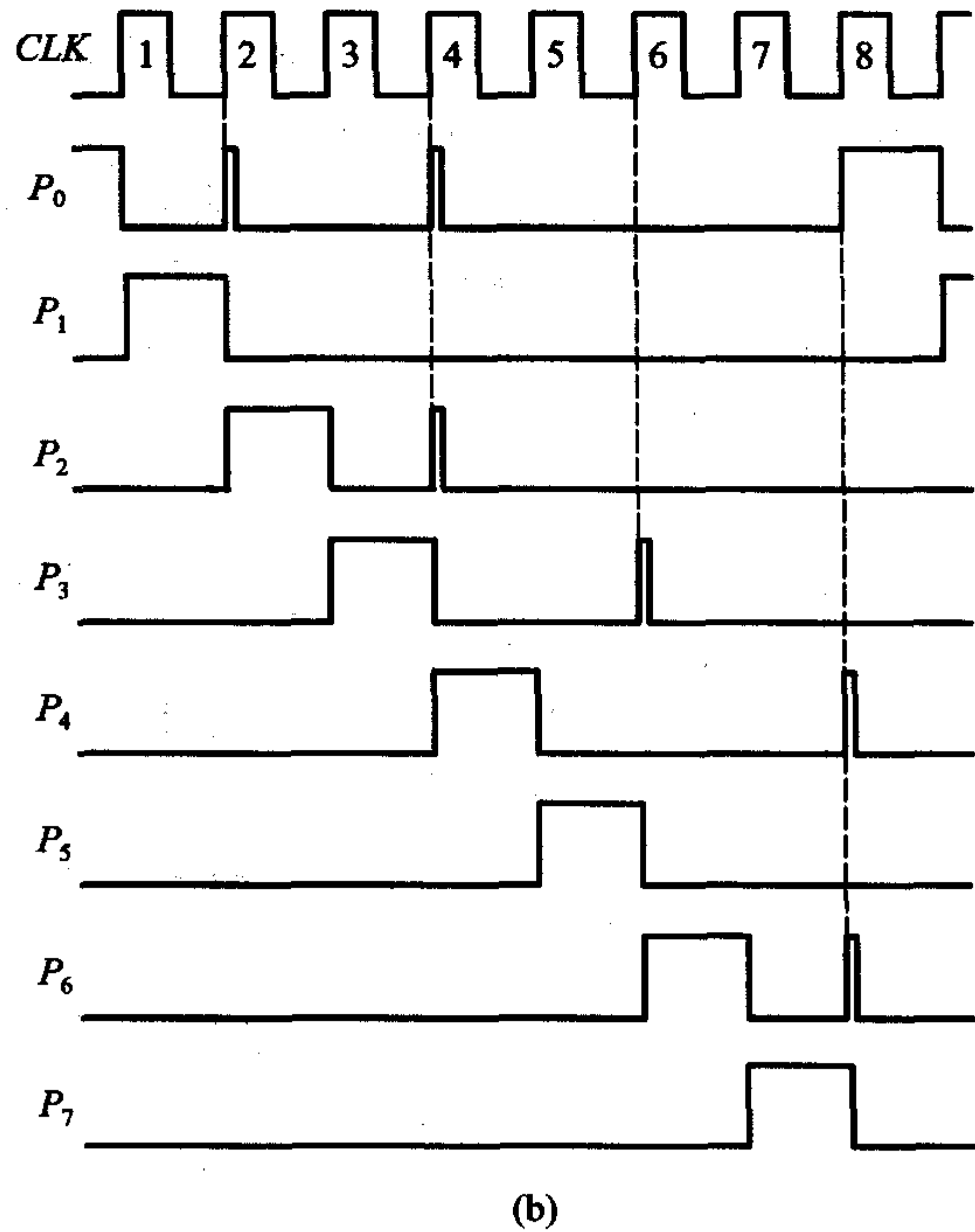
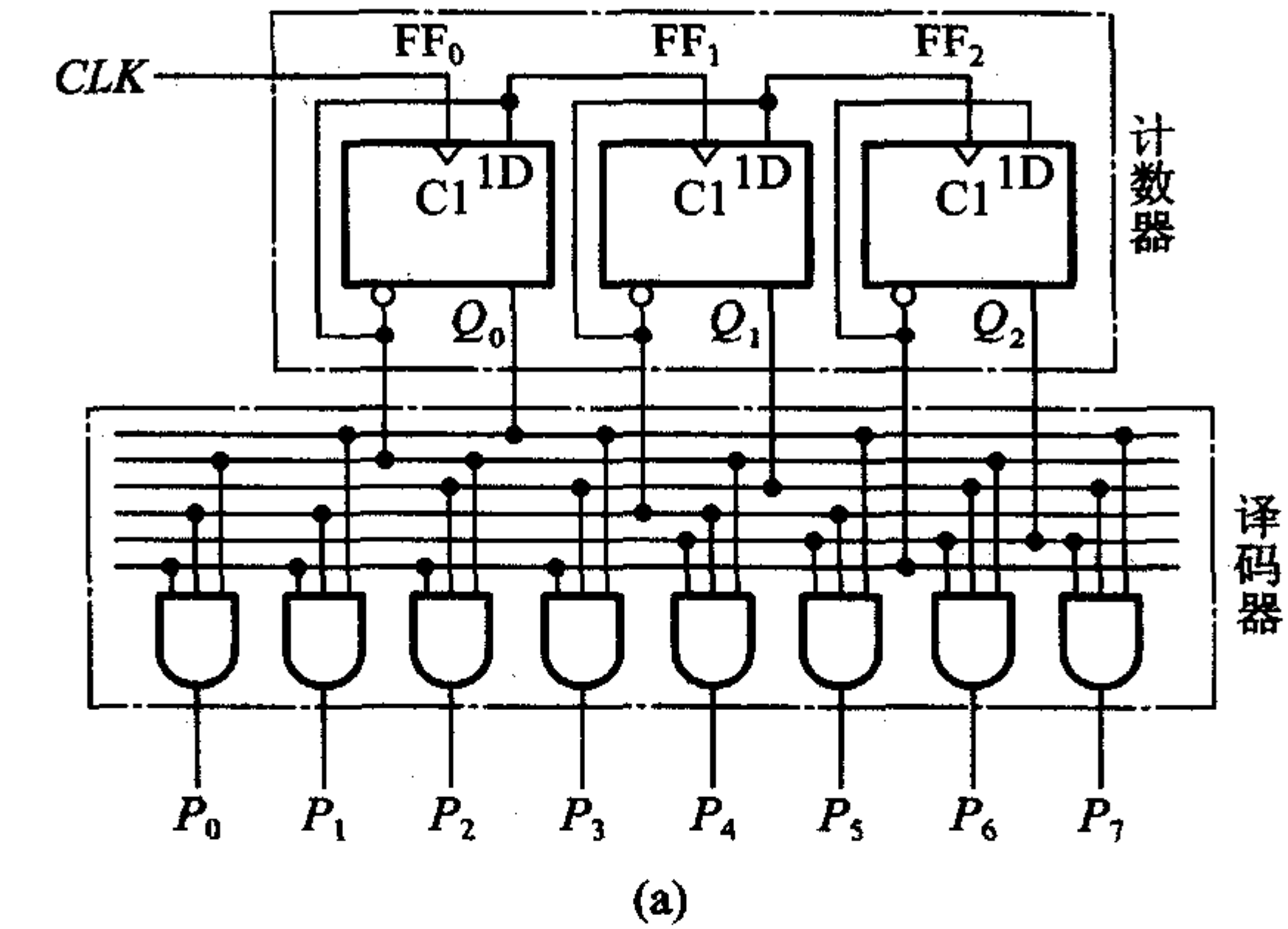


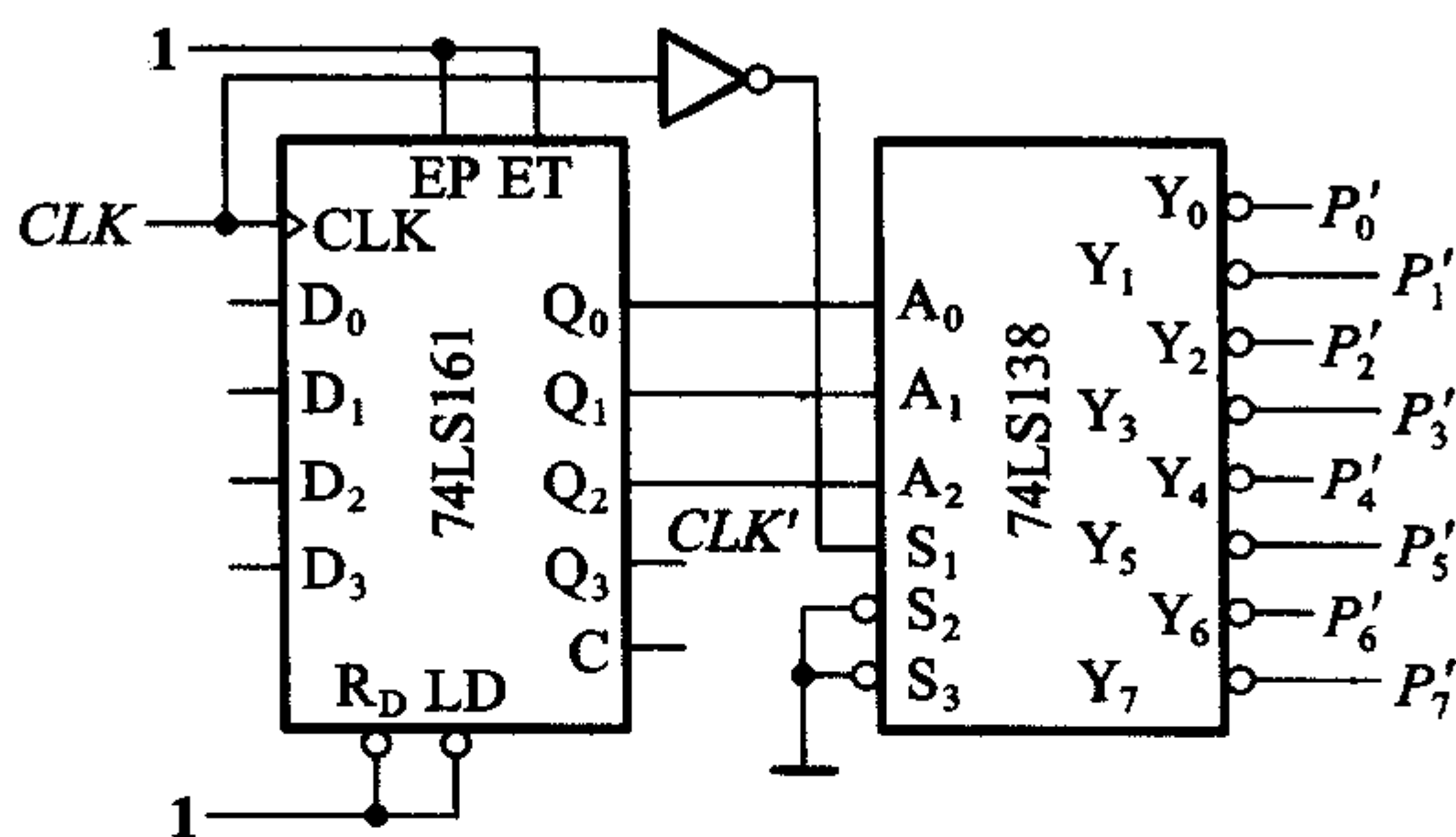
图 6.3.52 用计数器和译码器构成的顺序脉冲发生器

(a) 电路图 (b) 电压波形图

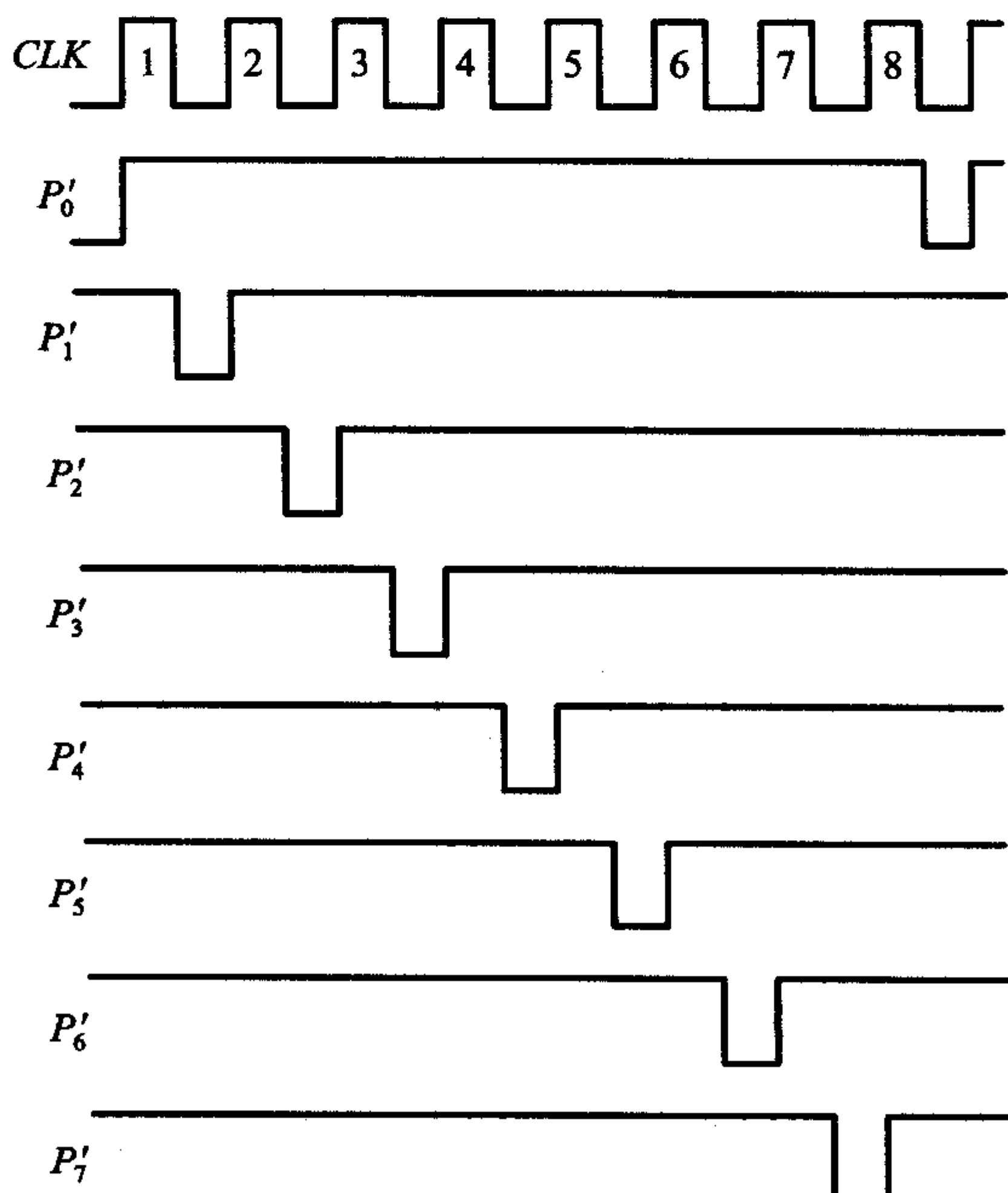
因此当两个以上触发器同时改变状态时将发生竞争-冒险现象,有可能在译码器的输出端出现尖峰脉冲,如图 6.3.52(b)上所表示的那样。

例如,在计数器的状态  $Q_2Q_1Q_0$  由 **001** 变为 **010** 的过程中,因  $FF_0$  先翻转为 **0** 而  $FF_1$  后翻转为 **1**,因此在  $FF_0$  已经翻转而  $FF_1$  尚未翻转的瞬间计数器将出现 **000** 状态,使  $P_0$  端出现尖峰脉冲。其他类似的情况请读者自行分析。

为了消除输出端的尖峰脉冲,可以采用 4.4.3 节中介绍的几种方法。在使用中规模集成的译码器时,由于电路上大多数均设有控制输入端,可以作为选通脉冲的输入端使用,所以采用选通的方法极易实现。图 6.3.53(a)所示电路是



(a)



(b)

图 6.3.53 用中规模集成电路构成的顺序脉冲发生器

(a) 电路图 (b) 电压波形图



用 4 位同步二进制计数器 74LS161 和 3 线 - 8 线译码器 74LS138 构成的顺序脉冲发生器电路。图中以 74LS161 的低 3 位输出  $Q_0$ 、 $Q_1$ 、 $Q_2$  作为 74LS138 的 3 位输入信号。

由 74LS161 的功能表(表 6.3.4)可知,为使电路工作在计数状态, $R'_D$ 、 $LD'$ 、 $EP$  和  $ET$  均应接高电平。由于它的低 3 位触发器是按八进制计数器连接的,所以在连续输入  $CLK$  信号的情况下, $Q_2Q_1Q_0$  的状态将按 **000** 一直到 **111** 的顺序反复循环,并在译码器输出端依次输出  $P'_0 \sim P'_7$  的顺序脉冲。

虽然 74LS161 中的触发器是在同一时钟信号操作下工作的,但由于各个触发器的传输延迟时间不可能完全相同,所以在将计数器的状态译码时仍然存在竞争 - 冒险现象。为消除竞争 - 冒险现象,可以在 74LS138 的  $S_1$  端加入选通脉冲。选通脉冲的有效时间应与触发器的翻转时间错开。例如图中选取  $CLK'$  作为 74LS138 的选通脉冲,即得到图 6.3.53(b)所示的输出电压波形。

如果将图 6.3.53(a)电路中的计数器改成 4 位的扭环形计数器,并取图 6.3.48 所示的有效循环,组成如图 6.3.54 所示的顺序脉冲发生器电路,则可以从根本上消除竞争 - 冒险现象。因为扭环形计数器在计数循环过程中任何两个相邻状态之间仅有一个触发器状态不同,因而在状态转换过程中任何一个译码器的门电路都不会有两个输入端同时改变状态,亦即不存在竞争现象。

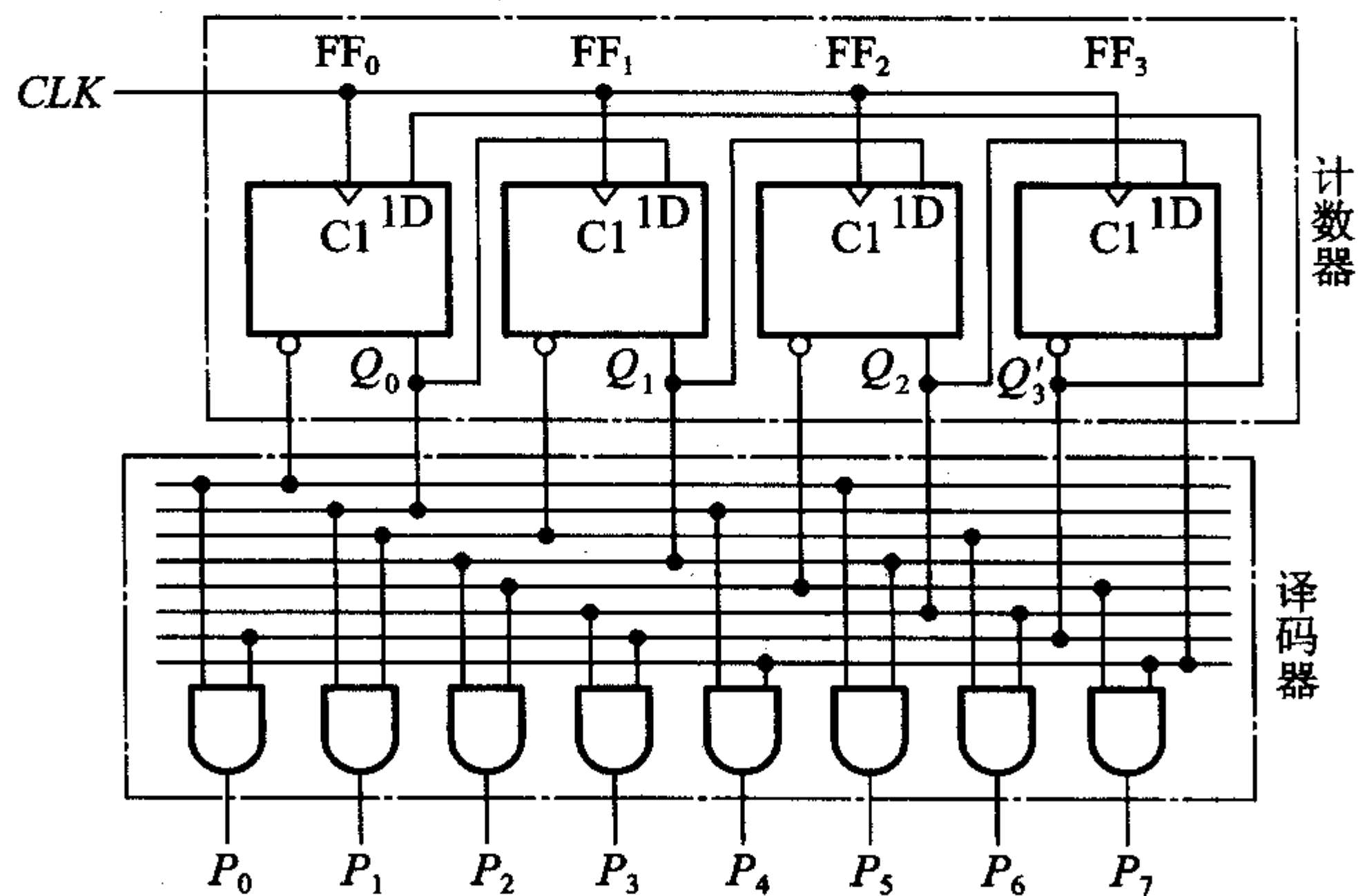


图 6.3.54 用扭环形计数器和译码器构成的顺序脉冲发生器

### \* 6.3.4 序列信号发生器

在数字信号的传输和数字系统的测试中,有时需要用到一组特定的串行数字信号。通常将这种串行数字信号称为序列信号。产生序列信号的电路称为序列信号发生器。

序列信号发生器的构成方法有多种。一种比较简单、直观的方法是用计数

器和数据选择器组成。例如,需要产生一个 8 位的序列信号 **00010111**(时间顺序为自左而右),则可用一个八进制计数器和一个 8 选 1 数据选择器组成,如图 6.3.55 所示。其中八进制计数器取自 74LS161(4 位二进制计数器)的低 3 位。74LS152 是 8 选 1 数据选择器。

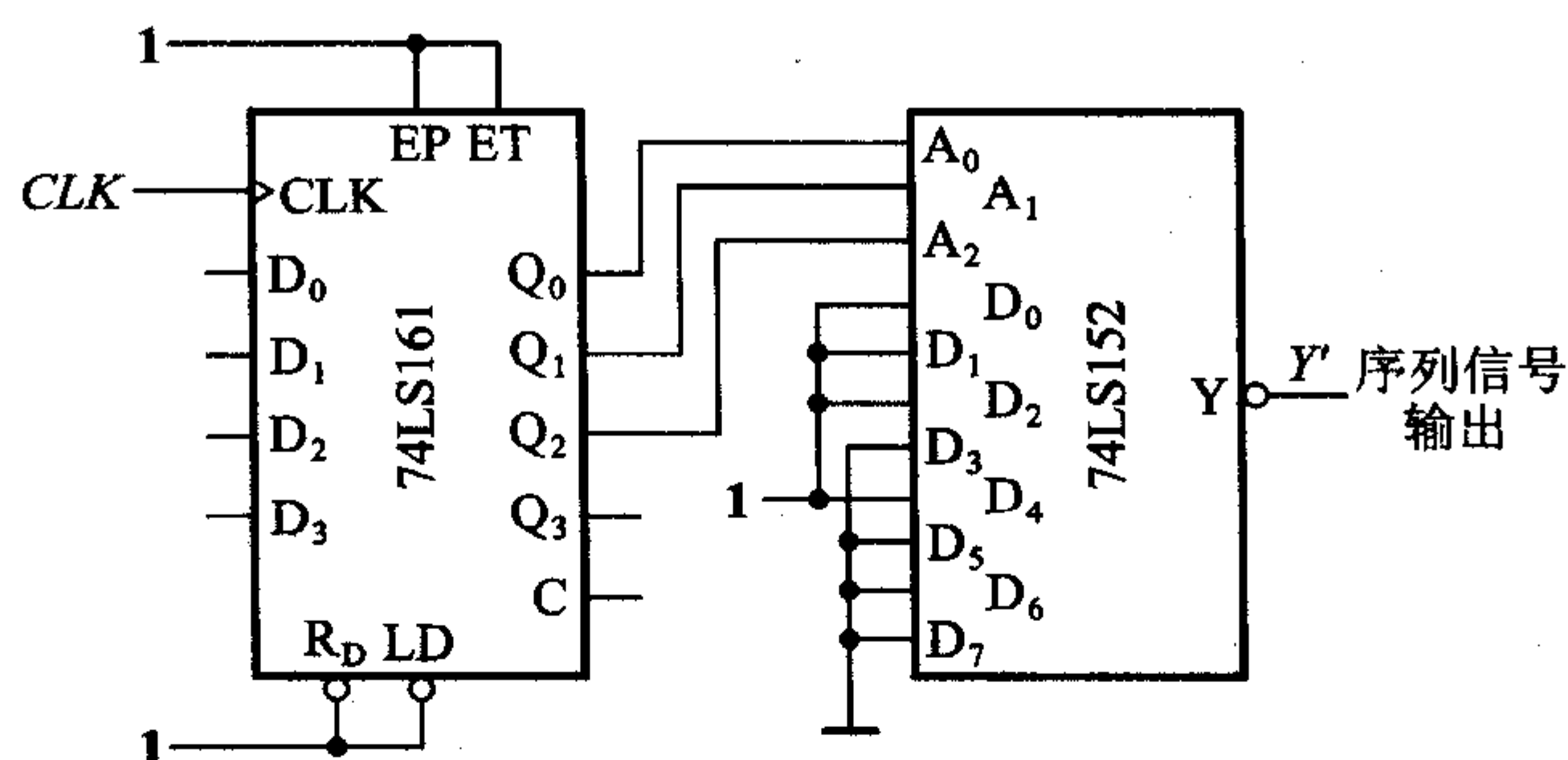


图 6.3.55 用计数器和数据选择器组成的序列信号发生器

当  $CLK$  信号连续不断地加到计数器上时,  $Q_2Q_1Q_0$  的状态(也就是加到 74LS152 上的地址输入代码  $A_2A_1A_0$ )便按照表 6.3.8 中所示的顺序不断循环,  $D'_0 \sim D'_7$  的状态就循环不断地依次出现在  $Y'$  端。只要令  $D_0 = D_1 = D_2 = D_4 = 1$ 、 $D_3 = D_5 = D_6 = D_7 = 0$ ,便可在  $Y'$  端得到不断循环的序列信号 **00010111**。在需要修改序列信号时,只要修改加到  $D_0 \sim D_7$  的高、低电平即可实现,而不需对电路结构做任何更动。因此,使用这种电路既灵活又方便。

表 6.3.8 图 6.3.55 电路的状态转换表

$CLK$ 顺序	$Q_2$ ( $A_2$ )	$Q_1$ ( $A_1$ )	$Q_0$ ( $A_0$ )	$Y'$
0	0	0	0	$D'_0(0)$
1	0	0	1	$D'_1(0)$
2	0	1	0	$D'_2(0)$
3	0	1	1	$D'_3(1)$
4	1	0	0	$D'_4(0)$
5	1	0	1	$D'_5(1)$
6	1	1	0	$D'_6(1)$
7	1	1	1	$D'_7(1)$
8	0	0	0	$D'_0(0)$

构成序列信号发生器的另一种常见方法是采用带反馈逻辑电路的移位寄存器。如果序列信号的位数为  $m$ ,移位寄存器的位数为  $n$ ,则应取  $2^n \geq m$ 。例如,若仍然要求产生 **00010111** 这样一组 8 位的序列信号,则可用 3 位的移位寄存器加上反馈逻辑电路构成所需的序列信号发生器,如图 6.3.56 所示。移位寄存器从