

# 一种多码率 LDPC 码编码器的设计与实现

陈广, 赵旦峰, 李加洪

哈尔滨工程大学信息与通信工程学院, 哈尔滨 (150001)

E-mail: [chenguang@hrbeu.edu.cn](mailto:chenguang@hrbeu.edu.cn)

**摘要:** 本文针对多码率低密度奇偶校验 (LDPC) 码编码器实现复杂度较高的特点, 讨论了具有低编码复杂度的准循环 LDPC 码, 文中提出了一种码长一定, 仅对低码率的基矩阵的进行合并的校验矩阵构造方法。利用串行准循环电路的准循环特性, 设计了多码率 LDPC 码编码器。并采用 Verilog HDL 语言, 在 Xilinx 公司的 Virtex2 Pro 的 FPGA 芯片上实现了编码器的设计。综合报告表明: 与单一码率相比, 在仅增加少量硬件资源消耗的情况下, 编码器能够根据信道条件的改变来调整码率, 从而提高信息的传输效率。

**关键词:** 多码率编码器; 准循环低密度奇偶校验码; 行合并; FPGA

**中图分类号:** TP911.22

## 1. 引言

低密度奇偶校验码<sup>[1]</sup>(LDPC)码是迄今为止性能最接近香农限的纠错码。最初由Gallager于1962年提出, 但基于高斯消去的传统编码算法复杂度较高, 在中长码长时不易实现。为了降低LDPC码的编码复杂度, Richardson和Urbanke<sup>[2]</sup>提出一种编码复杂度与码长成线性关系的有效编码算法(也叫贪婪算法), 但该算法所需存储单元过多限制了它的应用。因此, 近年来出现了一种利用移位寄存器的QC-LDPC<sup>[3-4]</sup>编码算法, 降低了编码器所需要的存储资源。通信系统为了适应不同的传输环境, 需要纠错码的码率和码长能够根据信道环境的改变做出相应的调整, 从而提高系统传输的有效性和可靠性。如DVB-S2<sup>[5]</sup>中采用的LDPC码就设置了2种编码长度以及21种码率, IEEE 802.16e<sup>[6]</sup>中规定了19种矩阵以及6种码率。而在某些特定的系统中要求码长一定, 仅通过改变码率来适应不同的信道环境, 从而提高信息的传输效率, 因而如何设计复杂度较低的多码率编码器显得尤为重要。在文中, 首先对QC-LDPC编码进行深入研究, 提出了一种固定码长的多种码率<sup>[7-8]</sup>校验矩阵的构造方法, 最后完成了2种码率的编码器的设计与实现。

## 2. QC-LDPC 码

LDPC 码的校验矩阵主要有随机构造法和结构化构造法两种。QC-LDPC 码结合了随机化构造和结构化构造的优点, 能够灵活的选择码字参数, 编码复杂度与码长成线性关系。

文中介绍的 QC-LDPC 码校验矩阵采用随机构造构造出基矩阵, 然后用单位阵或其循环移位阵对其进行扩展得到的, 校验矩阵的具体形式如 (1):

$$H = \begin{bmatrix} A_{11} & A_{12} & \cdots & A_{1n} \\ A_{21} & A_{22} & \cdots & A_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ A_{m1} & A_{m2} & \cdots & A_{mn} \end{bmatrix} \quad (1)$$

其中,  $m, n$  为正整数,  $A_{ij}$  为  $p \times p$  的单位阵的循环移位矩阵或零阵, 移位系数为  $a_{ij}$  ( $a_{ij} \leq p$ )。如式 (1) 所示的校验矩阵  $H$  中,  $l$  个循环体构成围长不超过  $2l$  的环, 则  $a_{ij}$  应满足:

本课题得到国防预研项目 (xxxx607010102) 资助。

$$a_{ij} - a_{(i+1)j} + \dots - a_{(i+l)j} \neq 0 \quad (2)$$

文中构造的校验矩阵消除了四环，即  $l=2$ 。当式 (1) 所示的矩阵满秩时， $H$  对应的 LDPC 码码率为  $(n-m)/n$ ，码长为  $pn$ 。

### 3. 多码率 QC-LDPC 校验矩阵的构造

目前，构造多码率 QC-LDPC 码校验矩阵主要有打孔和校验位分离两种方法。打孔是通过低码率的校验位进行打孔来实现高码率。而校验位分离则是通过对高码率的校验比特进行分离，得到低码率的校验矩阵。文中先构造了一个低码率的校验矩阵，然后通过对其进行合并来实现多码率 QC-LDPC 码。

行合并法是在构造出低码率的校验矩阵后，保持变量节点不变，对校验矩阵中的行进行合并，通过减少校验节点来改变码率。行合并法需满足下面的规则：

- (1) 只允许行之间合并，矩阵  $H$  的列保持不变。
- (2) 行合并时，各循环体对应位置上的元素进行异或，结果作为新的元素。合并后的矩阵  $B_{ij}$  也具有（准）循环特性。

将式 (1) 的两行合并成一行时，得到的校验矩阵的码率为  $(n-m/2)/n$ ，当  $t$  行合并成一行时码率为  $(n-m/t)/n$ 。因此，对较低码率的矩阵的行进行合并，可以得到一组码率越来越高的矩阵，而码长保持不变。

### 4. 多码率 QC-LDPC 编码器的设计

基于行合并的多码率 QC-LDPC 码编码器，主要由码率控制模块、生成矩阵存储模块、串行准循环编码模块、串/并模块、复用模块、并/串模块等部分组成。其整体框图如图 1 所示，下面对主要的模块作进一步的介绍。

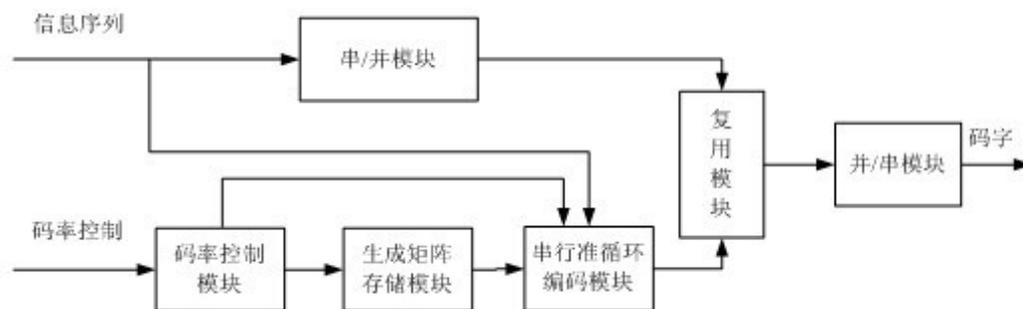


图 1 编码模块整体框图  
Fig1 the diagram of the encoder

#### 4.1 串行准循环编码模块

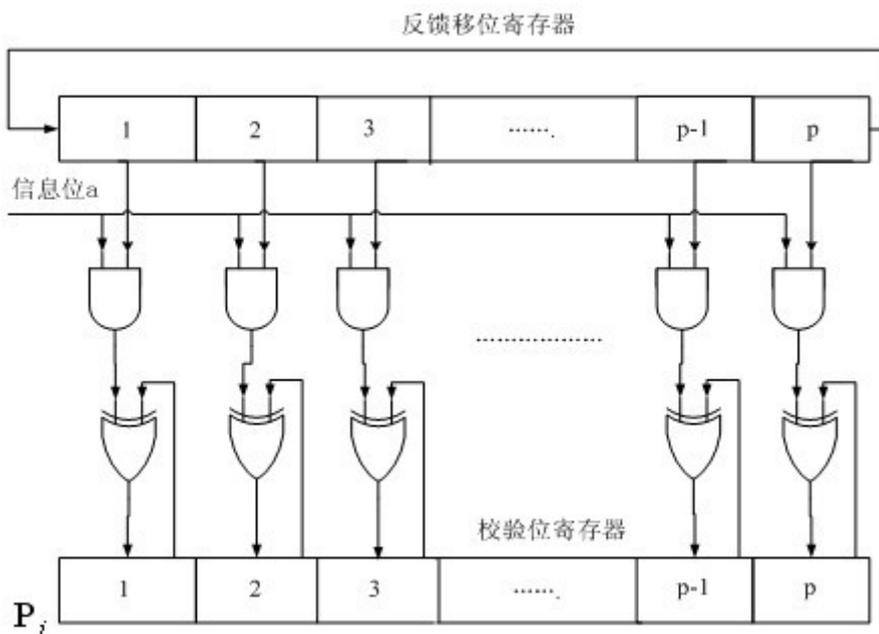


图2 SRAA 反馈电路结构  
Fig2 the structure of SRAA feedback circuits

基于生成矩阵的准循环的特点，串行编码模块可用基于移位累加器（SRAA）的电路作为基本单元来实现。SRAA 电路结构如图 2 所示，整个编码过程可以分为信息位与子生成多项式相乘以及相乘结果累加 2 个步骤。图 2 中的反馈移位寄存器用于存储子生成多项式及其循环移位，校验位寄存器用于存储计算的中间结果和累加后的校验位  $P_j$ 。采用  $m$  个 SRAA 电路同时工作，就可以在  $(n-m)p$  个时钟周期完成编码，此时需要  $2m$  个反馈移位寄存器， $m \times p$  个与门， $m \times p$  个二输入异或门。

## 4.2 生成矩阵存储模块

生成矩阵存储模块用来存储生成矩阵的子生成多项式。在单一码率时，需要  $m$  个位长为  $p$ ，深度为  $n-m$  的 ROM 来存储生成矩阵。在多码率时，将每个 SRAA 电路中的子生成多项式存储到一个 ROM 中，在码率控制信息到来时读取相应的子生成多项式。在文中低码率的校验矩阵采用  $6 \times 12$  的，故需要 6 个  $6 \times 128$  的 ROM 和 3 个  $9 \times 128$  的 ROM 来存储生成矩阵的子生成多项式。

## 4.3 码率控制模块

码字控制模块实际上是一个状态机，有效的状态个数主要由码率的个数决定。在码率控制信息到来时，不同的状态选择相应的子生成多项式写入串行准循环编码模块。同时，码率控制模块也控制着信息位的到来时间和编码模块的编码过程。

## 5. 仿真结果与验证

选用 Virtex 2 XC2VP30-7ff896 芯片，在 ISE9.2i 软件下采用 Verilog HDL 语言实现了多码率 LDPC 码编码器。文中 LDPC 码的码长为 1536，码率分别为  $1/2$  和  $3/4$ ， $p$  为 128。图 3 和图 4 分别给出了  $1/2$  和  $3/4$  码率时编码器的 ModIsim 仿真波形。

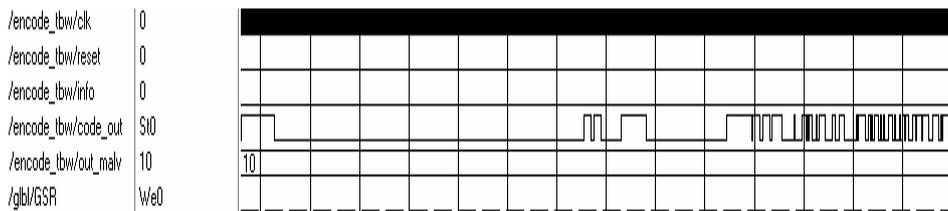


图3 1/2 码率时 Modelsim 仿真波形图

Fig3 simulation waveform by Modelsim ,rate r=1/2

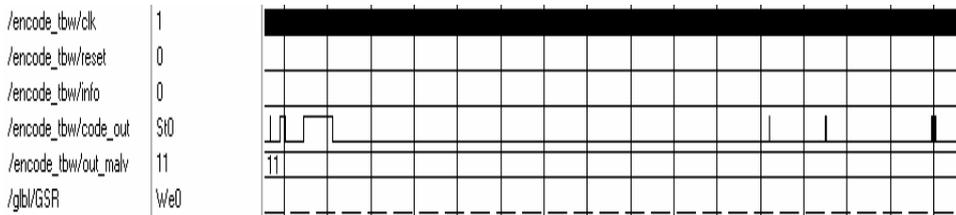


图4 3/4 码率时 Modelsim 仿真波形图

Fig4 simulation waveform by Modelsim ,rate r=3/4

在图3和图4中，info为输入的信息位，code\_out为编码后的码字，out\_malv为输出码字对应的码率。将编码后输出的码字与matalab软件仿真的结果进行对比，验证了编码结果完全正确。

表 1 和表 2 分别给出了多码率编码器和单一码率（1/2）编码器综合报告中的资源占用情况。从表中可以看出，多码率编码器仅比单一码率多消耗了少量的硬件资源就可以实现两种码率的编码。

表 1 多码率资源占用表

Tab.1 consumption resources tab of Multiple-Rate

资源名称	占用数量	占用率/%
Slices	6043	44
Slices Flip Flop	10863	39
4 input LUTs	5920	22
Block RAM	18	13

表 2 1/2 码率资源占用表

Tab.2 consumption resources tab of 1/2 rate

资源名称	占用数量	占用率/%
Slices	4271	31
Slices Flip Flop	7862	29
4 input LUTs	4930	18
Block RAM	12	8

## 6. 结论

本文对行合并法构造多码率的校验矩阵与 QC-LDPC 码编码进行了研究和分析。利用 FPGA 实现了固定码长多码率的 LDPC 码编码器的设计。综合报告表明，多码率编码器与单一码率编码器相比，仅增加了少量的硬件资源消耗。满足了通信系统中在码长一定时，提高信息的传输速率的要求。为多码率 LDPC 码的实际应用提供了一种参考。

## 参考文献

- [1] Gallager. Low-Density Parity-Check codes[D]. Cambridge, Massachusetts: Department of Electrical Engineering, MIT, 1963.
- [2] Richardson T J, Urbanke R L. Efficient encoding of Low-Density Parity-Check codes[J]. IEEE Transaction on Information Theory, 2001,47(2):638-656.
- [3] Fossorier M P C. Quasi-cyclic Low-Density Parity-Check codes from circulant permutation matrices[J]. IEEE Trans Infrom Theory, 2004,50:1788-1793.
- [4] Honary B, Moinian A, Ammar B. Construction of well- structured quasi-cyclic low density parity check codes[J]. IEEE Proc-Commun, 2005, 152(6):1081-1085.
- [5] 范先荣, 王华, 夏添琦. 基于 DVB-S2 的高速多码率 LDPC 编码器的 FPGA 设计与实现[J]. 北京理工大学学报, 2008,28(9):813-816.
- [6] IEEE P802.16e Sepecification[S]. 2007.
- [7] Badri N Vellambi, Faramarz Fekri. Finite-Length Rate-Compatible LDPC Codes: A Novel Puncturing Scheme[J]. IEEE Transaction on communication, 2009,57(2):297-301.
- [8] Andres I. Vila Casado, Wen-Yen Weng. Mutiple-Rate Low-Density Parity-Check Codes with Constant Blocklength[J]. IEEE Transaction on communication, 2009,57(1):75-83.
- [9] 武学彬, 薛永林. 用于 DVB-S2 的 LDPC 编码器设计[J]. 电视技术. 2007,31(8):114-116.
- [10] Jaehong Kim, Aditya Ramamoorthy. The Design of Efficiently-Encodable Rate-Compatible LDPC Codes[J]. IEEE Transaction on communication,2009,57(2): 365-375.

## A Designer and Implementation of Multiple-Rate LDPC encoder

CHEN Guang, ZHAO Danfeng, LI Jia Hong

College of Information and Communications Engineering, Harbin Engineering University, Harbin, PRC, (150001)

### Abstract

In view of the characteristics of higher complexity of multi-rate low-density parity-check (LDPC) code encoder, the construction of Quasi-cyclic Low-Density Parity-Check (QC-LDPC) codes was studied. This paper describes a construction-method of Multi-Rate LDPC check matrix: combining rows of the lowest-rate parity-check matrix produces the parity-check matrices for higher rates, and it can keep the same code length. Considering to the characteristics of Serial Shift-Register-Adder-Accumulator (SRAA), the multi-rate encoder was designed and implemented with Verilog HDL language based on the FPGA chip of Virtex 2Pro. The synthesis report shows that: compared with the single rate, the encoder which only increases a small amount of hardware consumption can adjust the rates according to the channel's condition, and improve the efficiency of information transmission.

**Keywords:** multi-rate encoder; QC-LDPC; row-combination; FPGA

**作者简介:** 陈广, 男, 1984 年生, 硕士研究生, 主要研究方向现代数字通信系统与通信技术。