

4、复位和时钟控制

4.1、复位

STM32 有三种复位类型：系统复位、电源复位和备份域复位。

4.1.1 系统复位

系统复位时，除了时钟控制 CSR 寄存器里的那些复位标志和在备份域的寄存器没有复位，其它的寄存器都将复位。（see Figure 3）

当以下条件任何一个发生时，将产生一个系统复位：

- 1、在 NRST 脚上出现低电平。（External Reset）
- 2、窗口看门狗计时到。（WWDG Reset）
- 3、独立看门狗计时到。（IWDG Reset）//这两个看门狗的名称如译得不对，望见谅
- 4、软件复位。（SW Reset）(see [Section : Software Reset](#))
- 5、低电压管理复位。（see [Section : Low-power management Reset](#))

通过检查控制/状态寄存器RCC_CSR里的复位标志可以识别复位源。（see [Section 4.3.10: Control/status register \(RCC_CSR\)](#)）。

软件复位

如要强行软件复位芯片，必须将在Cortex-M3应用中断和复位控制寄存器里的SYSRESETREQ位置1。如需了解更多的细节，请参考Cortex-M3技术参考手册。

低电压管理复位

有两种方式产生低电压复位：

- 1、当进入STANDBY模式时，产生复位。
通过复位用户选项字节里的_nRST_STDBY位来使能这种复位，在这种情况下，只要进入STANDBY模式被成功的执行，进入STANDBY模式被器件复位所取代。
- 2、当时入STOP模式时，产生复位。
通过复位用户选项字节里的_Nrst_STOP位来使能这种复位，在这种情况下，只要进入STOP模式被成功的执行，进入STOP模式被器件复位所取代。

为了得到更多的用户选项字节里信息，请参考STM32F10X FLASH编程手册。

4.1.2、电源复位

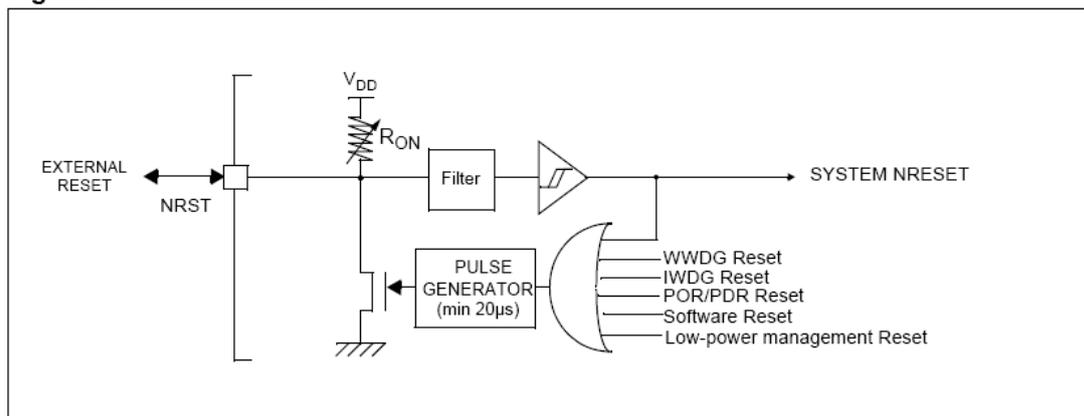
当以下条件任何一个发生时，将产生一个电源复位：

- 1、上电/掉电复位。(POR/PDR RESET)
- 2、退出 STANDBY 模式时。

电源复位时，除了备份域的寄存器没有复位，其它的寄存器都将复位。(see Figure 3)

这些复位源产生在#RESET 脚,并且他在延时阶段一直保持低电平状态。复位中断向量地址固定在 RAM 区的 0X00000000-0X00000004 位置。

Figure 6. Reset circuit



The Backup domain has two specific resets that affect only the Backup domain (see [Figure 3](#))

4.1.3、备份域复位

当以下条件任何一个发生时，将产生一个备份域复位：

- 1、通过设置备份域寄存器 (RCC_BDCR) 里的 BDRST 位来触发软件复位。
- 2、V_{DD} 或 V_{BAT} 上电。(如果两个都供给了，并且掉电过)

4.2、时钟

有三个不同的时钟源可以被用来驱动系统时钟：

HIS 振荡时钟

HSE 振荡时钟

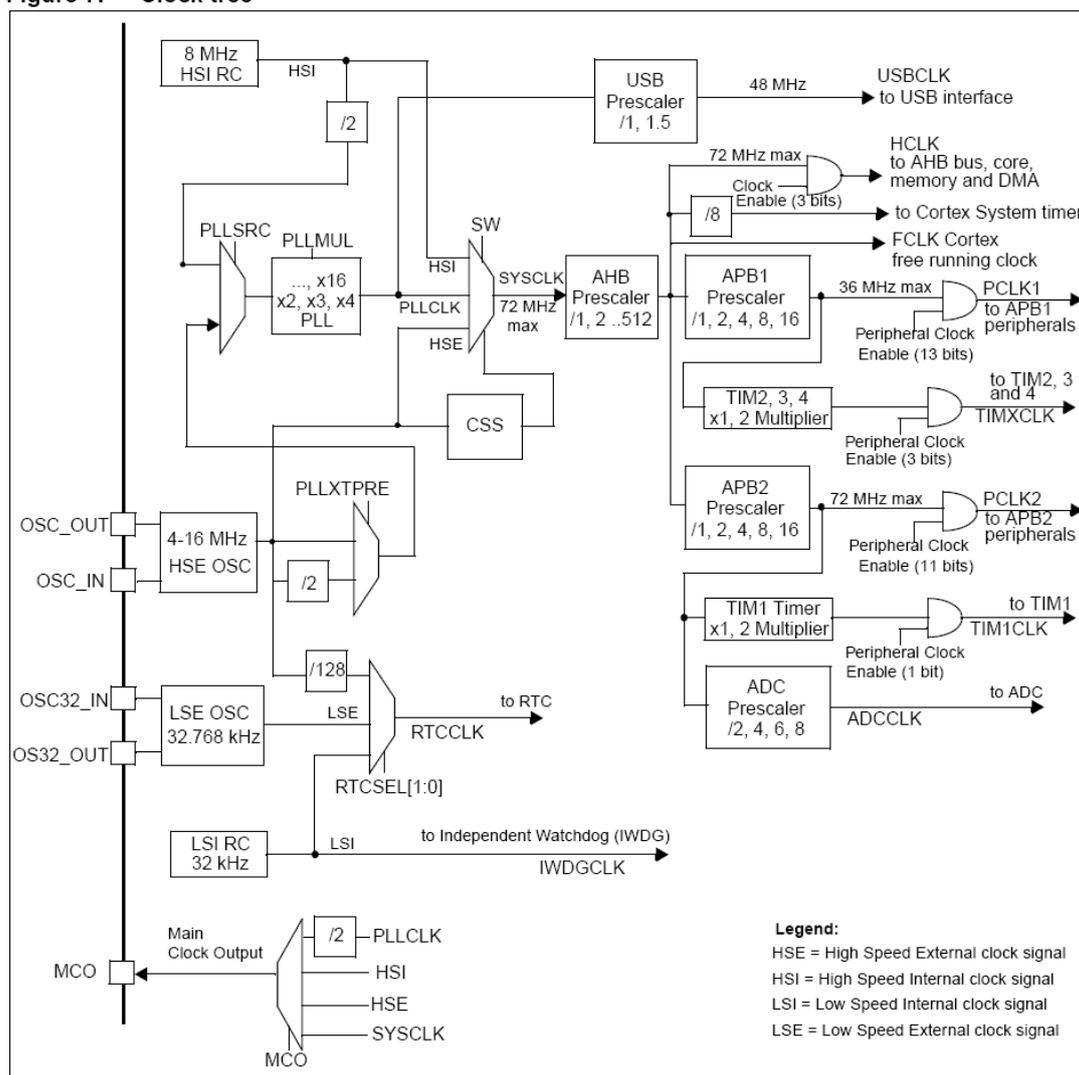
PLL 时钟

STM32 有以下两个次级时钟源：

- 1、32KHz 低速内置 RC，以驱动独立看门狗，当 RTC 用作自动唤醒 STOP/STANDBY 模式时，也可选作 RTC 时钟源。
- 2、32.768KHz 低速外部晶振，选作实时时钟源。

每一个时钟源都可以独立的开或关，当它不用时可以优化电源的损耗。

Figure 7. Clock tree



一些预分频器允许 AHB 频率、高速 APB (APB2) 和低速 APB (APB1) 域名的配置。AHB 和 APB2 最高的频率可达 72MHz。APB1 最高可达 36MHz。RCC 系统通过 AHB 时钟 8 分频供给 Cortex 系统定时器的外部时钟,通过配置系统定时器的控制状态寄存器, 这个系统定时器可以工作于这个时钟或 Cortex 时钟(AHB)。ADCs 的时钟由高速域名 (APB2) 时钟 2、4、6 或 8 分频后提供。

定时器的时钟频率是所连接的 APB 域时钟频率的两倍, 但是, 如果 APB 的预分频是 1, 定时器的时钟频率和所连接的 APB 域的时钟频率一样。

FCLK 作为 Cortex-M3 的自由运行时钟, 如需了解更多的细节, 请参考 Cortex-M3 技术参考手册。

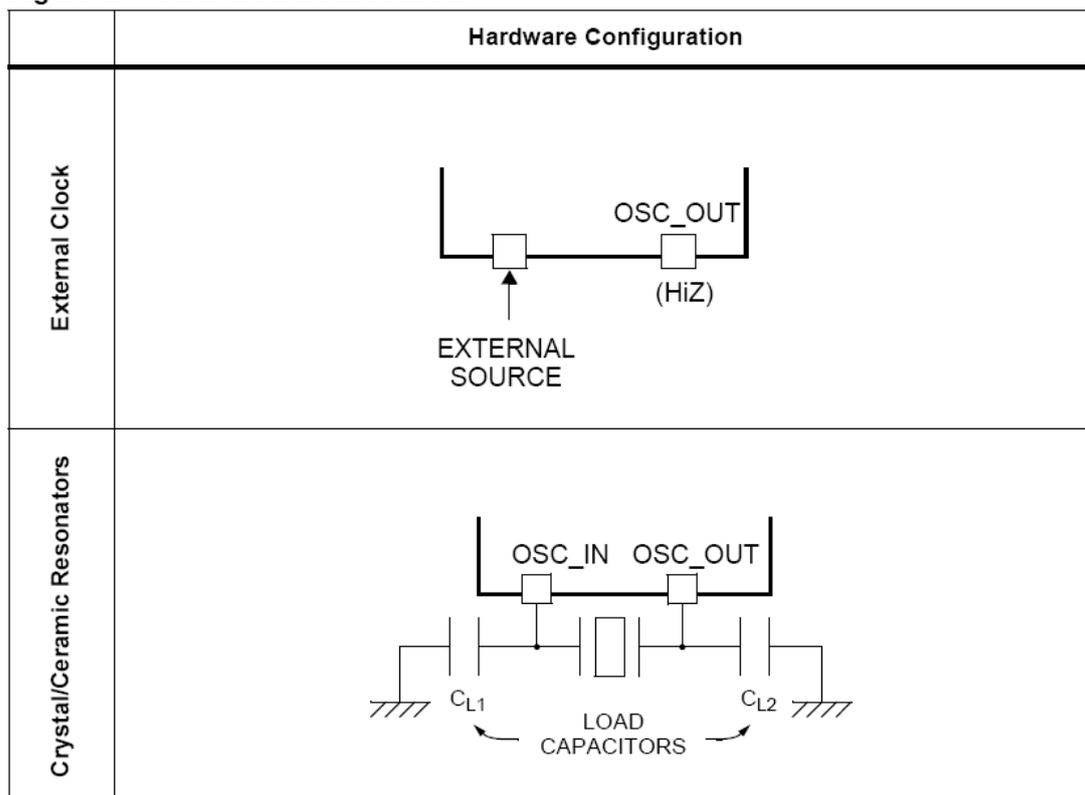
4.2.1、HSE 时钟

高速外部时钟信号可以产生于两种可能的时钟源：

- 1、HSE 外部晶振/陶瓷振荡器。
- 2、HSE 用户外部时钟。

为了减小失真及启动稳定时间，振荡器和负载电容最好尽可能的靠近振荡接引脚。负载电容必须根据所选择的振荡器来调整合适的值。

Figure 8. HSE/ LSE clock sources



外源（HSE 旁路）

在这种模式下，一个外部时钟必须提供。最高可达25MHz. 你可以通过设置时钟控制寄存器 RCC_CR里的HSEBYP和HSEON位来选择这个模式。将OSC_IN脚接上50%占空比的外部时钟信号（方波、正弦波或三角波），OSC_OUT脚悬空为高阻态。 See [Figure 8](#)。

外部晶振/陶瓷振荡器

4~16MHz 的外部振荡器用来产生精确的主时钟占优势。

与硬件相关联的配置请看 [Figure 8](#)。如需进一步了解，请参考数据手册的电气特性段。

时钟控制寄存器里的 HSERDY 标志可以说明高速外部振荡器是否稳定。启动时，该时钟直到硬件置位 HSERDY 位时才释放。如果使能时钟中断寄存器 RCC_CIR 将产生一个中断。

通过时钟控制寄存器 RCC_CR 里的 HSEON 位，可以切换 HSE 晶振的开和关。

4.2.2、HSI 时钟

HSI 时钟信号产生于一个内部 8MHz RC 振荡器，可以直接作为系统时钟，或 2 分频后作为 PLL 的输入。

HIS 作为时钟源的好处是低成本，并且它比外部晶振振荡器的启动快，然而，在频率校准方面，没有外部晶振或陶瓷振荡器的精度高。

校准

由于制造过程的变化，这个芯片的RC振荡器的频率可能和另一个芯片的不同，有所变化。这就是ST出厂校准每个一芯片，控制精度！%（TA=25°C）的原因。

复位后，出厂校准值就会装载在时钟控制寄存器RCC_CR里的HSICAL[7: 0]位。

如果应用受制于电压或温度的变化，可能影响RC振荡器的速度，应用时，你可以用时钟控制寄存器RCC_CR的HSITRIM[4: 0]位来修正HIS频率。

时钟控制寄存器里的 HSIRDY 标志可以说明 HIS RC 振荡器是否稳定。启动时，该时钟直到硬件置位 HSIRDY 位时才释放。

通过时钟控制寄存器 RCC_CR 里的 HSION 位，可以切换 HIS RC 的开和关。

如果HSE 晶振失败，HIS信号可以用作备份源（辅助时钟）。Refer to [Section 4.2.7: Clock security system \(CSS\) on page 51](#)。

4.2.3、PLL

内部 PLL 可以用来倍频 HIS RC 的输出或 HSE 晶振输出的时钟频率。参考 Figure 7 和时钟控制寄存器 RCC_CR。

PLL 配置（选择 HIS 的 2 分频或 HSE 振荡器作为 PLL 时钟输入，及倍频率）必须在使能 PLL 之前完成。一旦 PLL 使能，这些参数不能改变。

当 PLL 准备就绪时，如果使能时钟中断寄存器 RCC_CIR 将产生一个中断。

如果应用 USB 接口，PLL 必须编程成 48MHz 或 72MHz 输出，以便提供 48MHz 的 USBCLK。

4.2.4、LSE 时钟

LSE 晶振是 32.768KHz 低速外部晶振或陶制振荡器。它的优点是提供一个低能量但精确度

高的时钟源给外围设备实时时钟，以实现时钟/日历或其它的时间功能。

通过备份域寄存器 `RCC_BDCR` 里的 `LSEON` 位，可以切换 `LSE` 晶振的开和关。

备份域控制寄存器里的 `LSERDY` 标志可以说明低速外部振荡器是否稳定。启动时，该时钟直到硬件置位 `LSERDY` 位时才释放。如果使能时钟中断寄存器 `RCC_CIR` 将产生一个中断。

外源（LSE 旁路）

在这种模式下，一个外部时钟必须提供。外部时钟频率必须为 32.768KHz。你可以通过设置备份域控制寄存器 `RCC_BDCR` 里的 `LSEBYP` 和 `LSEON` 位来选择这个模式。将 `OCS_IN` 脚接上 50% 占空比的外部时钟信号（方波、正弦波或三角波），`OSC_OUT` 脚悬空为高阻态。 See [Figure 8](#)。

4.2.5、LSI 时钟

`LSIRC` 是一个低能量时钟源，这样可以为独立看门狗（`IWDG`）和自动唤醒单元（`AWU`）的 `STOP` 和 `STANDBY` 模式下保持运行。时钟频率在 32KHz 左右（30KHz~60KHz）。如需进一步了解，请参考数据手册的电气特性段。

通过控制/状态寄存器 `RCC_CSR` 里的 `LSION` 位，可以切换 `LSIRC` 的开和关。

控制/状态寄存器 `RCC_CSR` 里的 `LSIRDY` 位可以说明低速内部振荡器是否稳定。启动时，该时钟直到硬件置位 `LSIRDY` 位时才释放。如果使能时钟中断寄存器 `RCC_CIR` 将产生一个中断。

4.2.6、系统时钟（SYSCLK）选择

在系统复位后，`HSI` 振荡器被选择作为系统时钟。当一个时钟源直接或通过 `PLL` 倍频后作为系统时钟时，停止它是不可能的。

切换一个时钟源到另一个时钟源时，最好目标时钟源准备就绪了（在启动延时或 `PLL` 锁定后时钟稳定）。如果一个没有准备就绪的时钟源被选择后，切换将在这个时钟源稳定后发生。时钟控制寄存器 `RCC_CR` 里的状态位可以说明哪些时钟准备就绪和哪个时钟是作为当前系统时钟。

4.2.7 时钟安全系统（CSS）

时钟安全系统可以被软件激活，在这种情况下，时钟检测器在 `HSE` 振荡器启动延时后使能，在振荡器停止后禁止。

如果发觉 HSE 振荡时钟是失败的，振荡器自动停止，一个时钟失败事件将发送一个突变输入给 TIM1 高级控制定时器，并且产生一个中断通知软件，关于这个失败（时钟安全系统中断 CSSI），以便 MCU 执行拯救行动。CSSI 连接到 Cortex-M3 NMI(无屏蔽中断)特殊向量。

注意：一旦 CSS 使能，并且 HSE 时钟失败，CSS 中断就会发生，并且 NMI 会自动产生。如果 CSS 中断位悬而不清除，NMI 将会不确定的执行。因而，在 NMI ISR 里用户必须置位时钟中断寄存器 RCC_CIR 里的 CSSC 位来清除 CSS 中断。

如果 HSE 振荡器直接或间接作为系统时钟（间接的意思：HSE 作为 PLL 的输入时钟，而 PLL 的时钟作为系统时钟），一个探测失败会将系统时钟切换到 HIS 振荡器，并且禁止 HSE 振荡器。如果 HSE 振荡时钟（分频与否）是作为系统时钟 PLL 的输入时钟，当这个失败发生时，PLL 也会被禁止。

4.2.8、RTC 时钟

RTCCLK 时钟源可以是 HSE/128、LSE 或 LSI 时钟，由备份域寄存器 RCC_BDCR 的 RTCSEL[1: 0]编程选择。这个选择在没有复位备份域时是不能修改的。

LSE 时钟在备份域里，然而 HSE 和 LSI 时钟没有。

因而：

- 1、如果 LSE 选择作为 RTC 时钟：
——即使 V_{DD} 掉电而 V_{BAT} 继续维持，RTC 也会持续工作。
- 2、如果 LSI 作为自动唤醒单元时钟：
——如果 V_{DD} 掉电，AWU 状态不会得到保证。
- 3、如果 HSE 时钟 128 分频后作为 RTC 时钟：
——如果 V_{DD} 掉电或内部电压调节器掉电(从备份域里去除 1.8V),RTC 状态不会得到保证。

4.2.9、看门狗时钟

如果通过硬件选项或软件访问，启动独立看门狗（IWDG），LSI 振荡器被强制使能并且不能停止。在 LSI 振荡器妥协后，将供给独立看门狗（IWDG）。

4.2.10、时钟输出性能

微控制器时钟输出（MCO）性能允许时钟输出到外部 MCO 脚，相应的 GPIO 端口配置寄存器必须编程为交流功能模式。有四种时钟信号可以选择作为 MCO 时钟：

- 1、SYSCLK

2、HIS

3、HSE

4、PLL /2 (PLL 时钟 2 分频)

能过时钟配置寄存器 RCC_CFGR 里的 MCO[2: 0]位来选择。

4.3、RCC 寄存器描述

本部分请参考原文相应段！

本部分翻译主要是为了自己以后查阅，及能给像我一样还在 STM32 大门口的朋友们带来帮助，由于本人英语能力有限，难免出错，望朋友们不惜指正批评！