Xilinx IP Core 的使用

-, IP Core

1、IP Core概述

2、分类

根据实现的不同,可以分为软 IP、固 IP、硬 IP。 软 IP:用 HDL 语言的形式描述功能的行为,不涉及行为。 固 IP:完成了综合的功能块,有较大的设计深度,以网表的形式提供使用 硬 IP:提供最终阶段的



- 3、IP核的使用
 - ◆ 启动 Core Generater 有两种方法
 - ◆ IP Core 的名字中不能有大写字母
 - ◆ 结合 View Data Sheet 掌握该 IP 核的功能,如下图

北京至芯 FPGA 学院 <u>http://www.zxopen.com</u> 010-62670708

		Component Name comp	
a[15:0] 	→a_eq_b		
	→a_ne_b		
e[reco]	→a_t_b		
cik>	→a le b	Input Options	
○e →	→a_ge_b	Data Type	
	>qa_eq_b	Signed Unsigned	
acir ——	>qa_ne_b	Input Width 16 Range: 2256	
solr	→qa_lt_b	Port B Constant 000000000000 Badiy 2	
	→qa_gt_b	Pialia Chana Dan	
aset	→ qa_le_b	Tipeline Stages	
	A978470	Output Options	
		Registered Output	
		V Non-Registered Output	

- ◆ 生成后,可以双击*.xco文件重新配置参数。
- ◆ 还可以查看源码

🔤 Xilinx - ISE - E:\lab\p2s2p\p2s2p.ise - [comp.	v]
File Edit Miew Project Source Process Mindow Help	
E 🖸 🖻 🗑 🖓 E X 🛱 🛱 X 🗠 🖓 E 🖉 🖗 🗍 E	X 🖉 🖻 🔊 🖻 🗖 🗖 🖗 🖗 🕅 🖓
I< ▶ 🗌 🗄 🖻 🖆 🔺 % % 🏵 🕸	
Sources X	26 // be modified. This file cannot be synthesized and sho
Sources for: Implementation 💌	27 // with supported simulation tools.
- @p2s2p	28 //
🖃 🛄 xc3s400-5pq208	29 // Reference:
	30 // Development System Reference Guide, Chapter 23 and S
ptosda (ptosda.v)	31 //
	32 ////////////////////////////////////
	34 `timescale 1 ns/1 ps
	35
	36 module comp (
	37 a_eq_b, ce, ga_eq_b, clk, a
	38);
	39 output a_eg_b;
	40 input ce;
Sources Files & Snapshots CLibraries	42 input clk:
Processes	43 input [15] 0] at
Processor for one	44
All Printing Common	45 // synthesis translate_off
Create Ner Serves	46
CORE Converter	<pre>47 wire NlwRenamedSig_OI_a_eg_b;</pre>
Manage Cores	48 Wire \BU2/NUI;
Berenerate Core	50 wire \BU2/U0/gen_structure logic.gen_hompipelined.a_equal
View HUE Functional Model	51 wire \BU2/U0/gen structure logic.gen nonpipelined.a equal
	52 wire \BU2/a_ge_b;
	53 WING NIN VCC D INCOMMECTED.
Trocesses	
	What's New in ISE Design Suite 10.1 🔉 Design Summary 🛛 ptosda.v 🔡 comp.v

- ◆ 为了更好的管理 IP Core 的文件,在工程下建立一个文件,在开始设置 文件名对话框时时,修改路径,即把 IP Core 文件放到不同的子目录中。
- ◆ 技巧1: 仿真时找不到*.XCO 文件,可以手工加入*.v 文件
- ◆ 技巧 2: 综合时再手工加*.XCO 文件

二、DLL核

目的:通过设计掌握 DLL 的各种应用: 倍频,分频,锁相,以及移相的操作,编程 演示,通过示波器观察和比较波形。

DCM : Digital Clock Manager

CLKDV: 分频

CLK90: 90 度移相

倍频是有限制的,输入 50M,输出 280M;

分频也有限制, 16 分频;

MEMORY-RAM

- 1、基本操作
- ◆ Memory 类型
- ◆ Write Width 可以设置
- ◆ Read width 和 Write 相同
- ◆ Write Depth 可以设置
- ◆ Ram/Rom 的位宽等于宽度乘以深度
- ◆ Enable 可以设置
- ◆ 在 Optional Output Registers 选择过程中,一般都选择 "Register Port A Output of Memory Core"

2. Memory Initialization

- ◆ Core Generator--->建立一个项目
- ◆ 选择与器件匹配的配置后点击 "OK", 如下图

🖣 E: \	dddd. cgp*					6
<u>P</u> art	Generation	Advanced]			
	Select t	he Part for	the Project:	, 		
	Family			Spartan3		
	De <u>v</u> ice			xc3s400	~	
P <u>a</u> ckage			pq208	~		
	<u>S</u> peed Gr	ade		-5	v	
<u>0</u>	K <u>C</u> an	cel				<u>H</u> elp

- ◆ 点击菜单的 Tools→Memory Editor,出现 Memory Editor 对话框
- ◆ 点击 Add Block,填写块名称
- ◆ 修改 Block Depth、Block width 等参数的值
- ◆ 修改 Memory Contents 的值,实现初始化,还可以使用"Configure Values for Address range",实现多地址初始化。
- ◆ 点击 "File→generator"
- ◆ 选中 "COE File(s)(for CORE Generator)",修改保存路径,点击 "OK"完成 COE 文件的保存。

- ◆ 双击项目中要使用该初始化文件的 IP CORE,并点击"NEXT"到"Memory Initialization",点击 Browse,找到上面建立的 COE 文件,确认后 load 成功。
- ◆ 若显示红色,说明初始值与项目设置不匹配,应重新调整。

3、自设测试 NOCHANG 模式的性质

若采用 NOCHANGE 模式,则若写为1时,RAM 输出0;若写为0时 RAM 的值仍维持 RAM 的初始值。