

# Xilinx IP Core 的使用

## 一、IP Core

### 1、IP Core概述

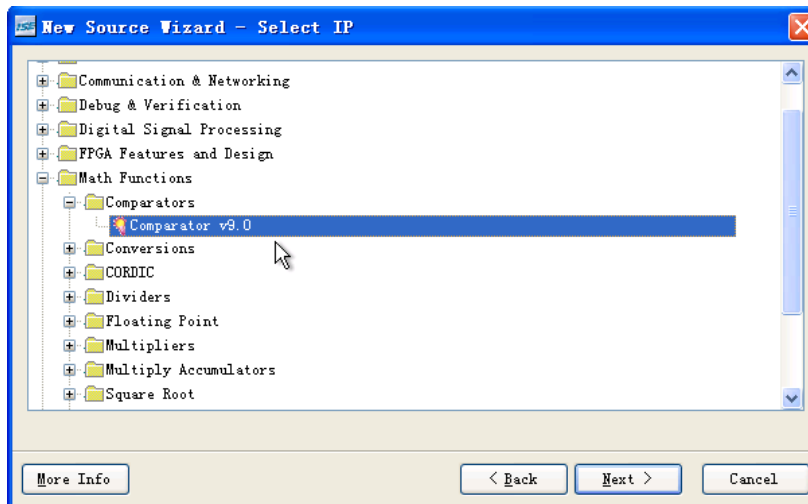
### 2、分类

根据实现的不同，可以分为软 IP、固 IP、硬 IP。

软 IP: 用 HDL 语言的形式描述功能的行为，不涉及行为。

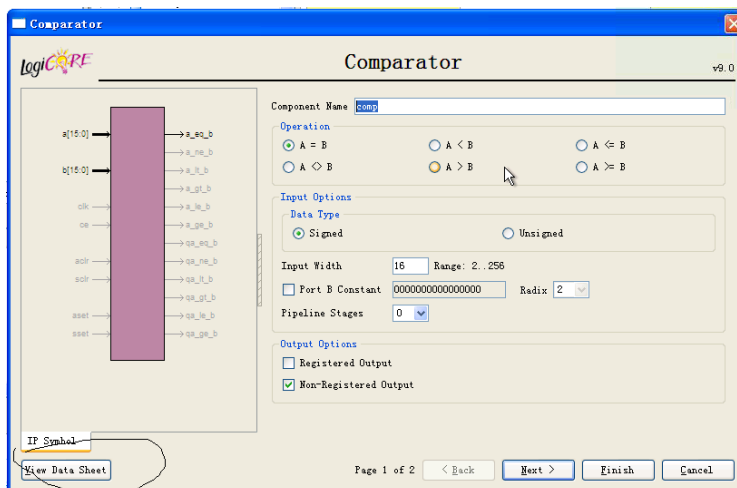
固 IP: 完成了综合的功能块，有较大的设计深度，以网表的形式提供使用

硬 IP: 提供最终阶段的

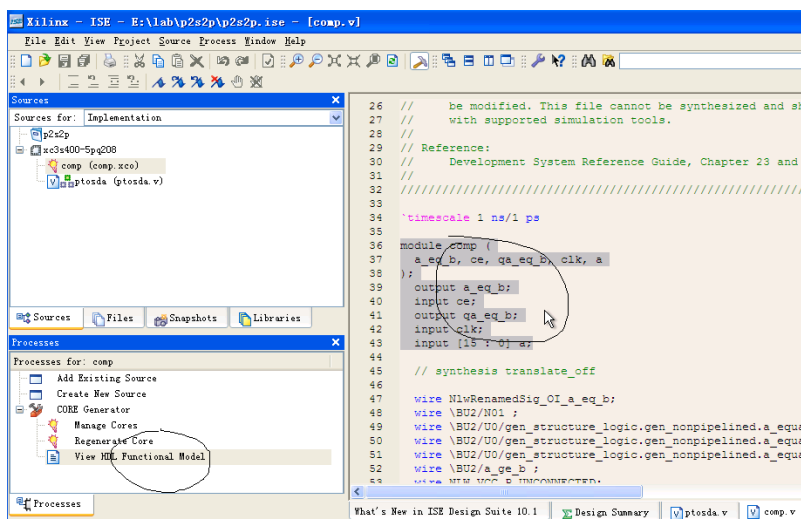


### 3、IP核的使用

- ◆ 启动 Core Generater 有两种方法
- ◆ IP Core 的名字中不能有 大写 字母
- ◆ 结合 View Data Sheet 掌握该 IP 核的功能，如下图



- ◆ 生成后，可以双击\*.xco 文件重新配置参数。
- ◆ 还可以查看源码



- ◆ 为了更好的管理 IP Core 的文件，在工程下建立一个文件，在开始设置文件名对话框时时，修改路径，即把 IP Core 文件放到不同的子目录中。
- ◆ 技巧 1：仿真时找不到\*.XCO 文件，可以手工加入\*.v 文件
- ◆ 技巧 2：综合时再手工加\*.XCO 文件

## 二、DLL核

目的：通过设计掌握 DLL 的各种应用：倍频，分频，锁相，以及移相的操作，编程演示，通过示波器观察和比较波形。

DCM : Digital Clock Manager

CLKDV: 分频

CLK90: 90 度移相

倍频是有限制的，输入 50M，输出 280M；

分频也有限制，16 分频；

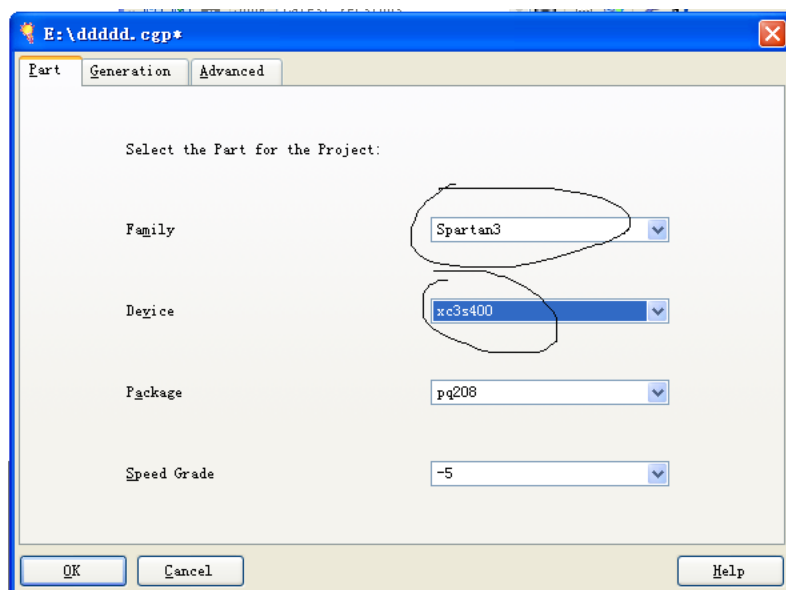
## MEMORY-RAM

### 1、基本操作

- ◆ Memory 类型
- ◆ Write Width 可以设置
- ◆ Read width 和 Write 相同
- ◆ Write Depth 可以设置
- ◆ Ram/Rom 的位宽等于宽度乘以深度
- ◆ Enable 可以设置
- ◆ 在 Optional Output Registers 选择过程中，一般都选择“Register Port A Output of Memory Core”

### 2、Memory Initialization

- ◆ Core Generator--->建立一个项目
- ◆ 选择与器件匹配的配置后点击“OK”，如下图



- ◆ 点击菜单的 Tools→Memory Editor，出现 Memory Editor 对话框
- ◆ 点击 Add Block，填写块名称
- ◆ 修改 Block Depth、Block width 等参数的值
- ◆ 修改 Memory Contents 的值，实现初始化，还可以使用“Configure Values for Address range”，实现多地址初始化。
- ◆ 点击“File→generator”
- ◆ 选中“COE File(s)(for CORE Generator)”，修改保存路径，点击“OK”完成 COE 文件的保存。

- ◆ 双击项目中要使用该初始化文件的 IP CORE，并点击“NEXT”到“Memory Initialization”，点击 Browse，找到上面建立的 COE 文件，确认后 load 成功。
- ◆ 若显示红色，说明初始值与项目设置不匹配，应重新调整。

### 3、自设测试 NOCHANG 模式的性质

若采用 NOCHANGE 模式，则若写为 1 时，RAM 输出 0；若写为 0 时 RAM 的值仍维持 RAM 的初始值。