

## 第十六章 复杂时序逻辑电路设计实践

### 一、对 I2C 机制的理解

#### 1、I2C 程序编写的关键：

- ◆ 一是理解各个状态的工作以及转移时机；
- ◆ 二是对时钟的控制：源时钟 clk 和输出时钟 SCL 的周期、相位不同，巧妙利用它们之间的关系来实现 sda 信号的控制；
- ◆ 三是对 inout 信号 (DATA、ADDR、SDA) 的管理：使用信号开关实现双向通信；
- ◆ Ack 信号的管理：用来从 Signal 模块读取数据。

2、数据读写时机：在 SCL 为 1 时读数据，在 SCL 为 0 时写数据。目的是在数据稳定的时机读取。一般来说，要避免数据变化时读取数据，即激活时钟和数据同时变化的瞬间取数据会发生结果不固定的情况，不同的仿真器结果不同，实际布线时结果虽然固定，但不一定正确。

3、I2C 与信号生成模块 (Signal.v) 的通信是通过一个 Ack 信号来控制的，每次写/读过程完成后，发送 Ack==1 给 Signal 模块。此时 Signal 模块负责更新 Addr 和 Data 的值，并在接下来一直给 I2C 模块发送。

4、红色信号（不定态）和蓝色信号（高阻）：每个写（读）过程完成后，EEPROM 通过 SDA 线发送 1bit 控制信号，若时序

不正确，则信号线其它位置可能为红色。在仿真时，一般只有开始时（即信号没有赋值时）信号为红色，后来的红色都可能有问题。

## 二、FPGA 编程经验

1、 **状态机第二段激励信号取舍**：在三段式状态机的第二段中，可以只用 1 比特变量作为激活信号，在第三段中的状态转移位置使变量反转（即若为 1 则变为 0，若为 0 则变为 1），这种方法简单实用。该方法要注意状态 NS 的初始化。

2、 **疑难错误**：有时仿真错误，但状态机第三段相应代码正确（例如 Recv），此时很可能是对状态转移的控制不严谨造成的。推荐采用 1 中的方法写三段状态机的第二段。

3、 **#、@的使用**：Signal.v 和 EEPROM.v 两个模块中，大量使用了，来实现对时序的控制。

4、 **文件读写**：Signal.v 中，通过来获取和保存测试数据，方法具有通用性。

5、 **inout 信号使用**：inout 信号使用一个开关（其实就是一个变量）来控制，该变量为 1 时输出，0 时设为高阻（此时允许信号进入）。例如：

```
assign SDA = (link_sda)? sda_buf: 1'bz;
assign DATA= (link_read)? data_from_rm : 8'hzz;
```

6、 **阻塞与非阻塞**：进一步理解并行与串行的含义。

7、 **实现并行的方法**：一是使用多个 always 块、initial

块；二是使用非阻塞赋值。