

DDS 原理简介

www.fpga.com.cn



1 直接数字频率合成器原理简介

直接数字频率合成器（Direct Digital Synthesizer）是从相位概念出发直接合成所需波形的一种频率合成技术。一个直接数字频率合成器由相位累加器、加法器、波形存储 ROM、D/A 转换器和低通滤波器（LPF）构成。DDS 的原理框图如图下所示：

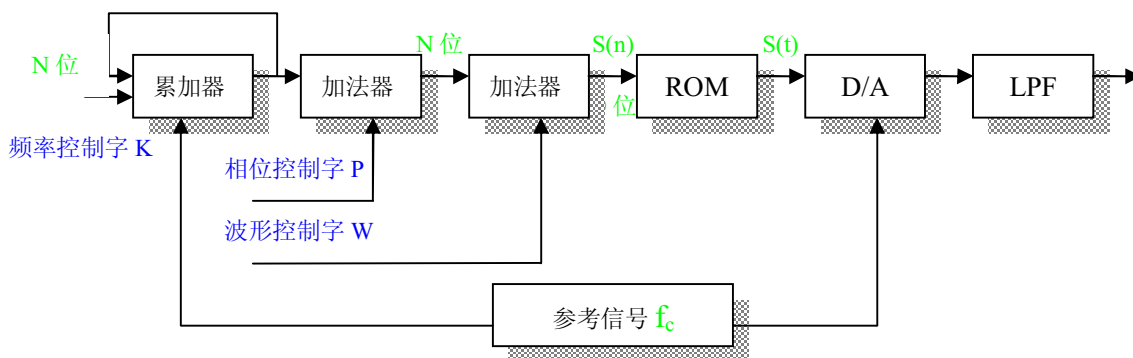


图 1.1 DDS 的原理框图

其中 K 为频率控制字、 P 为相位控制字、 W 为波形控制字、 f_c 为参考时钟频率， N 为相位累加器的字长， D 为 ROM 数据位及 D/A 转换器的字长。相位累加器在时钟 f_c 的控制下以步长 K 作累加，输出的 N 位二进制码与相位控制字 P 、波形控制字 W 相加后作为波形 ROM 的地址，对波形 ROM 进行寻址，波形 ROM 输出 D 位的幅度码 $S(n)$ 经 D/A 转换器变成阶梯波 $S(t)$ ，再经过低通滤波器平滑后就可以得到合成的信号波形。合成的信号波形形状取决于波形 ROM 中存放的幅度码，因此用 DDS 可以产生任意波形。这里我们用 DDS 实现正弦波的合成作为说明介绍。

a) 频率预置与调节电路

K 被称为频率控制字，也叫相位增量。DDS 方程为： $f_0 = f_c K / 2^N$ ， f_0 为输出频率， f_c 为时钟频率。当 $K=1$ 时，DDS 输出最低频率（也即频率分辨率）为 $f_c / 2^N$ ，而 DDS 的最大输出频率由 Nyquist 采样定理决定，即 $f_c / 2$ ，也就是说 K 的最大值为 $2^N - 1$ 。因此，只要 N 足够大，DDS 可以得到很细的频率间隔。要改变 DDS 的输出频率，只要改变频率控制字 K 即可。

b) 累加器

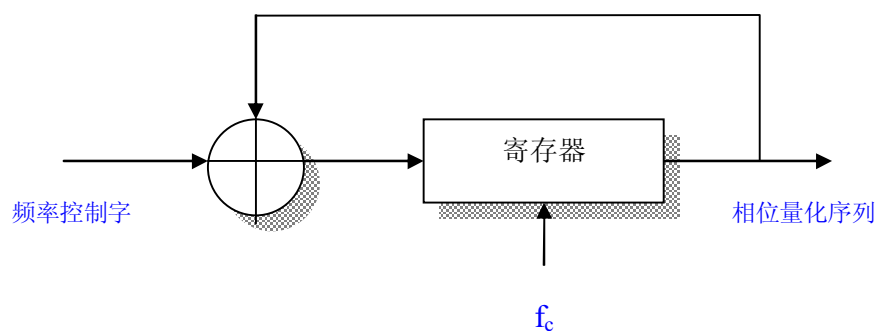


图 1.2 累加器框图

相位累加器由 N 位加法器与 N 位寄存器级联构成。每来一个时钟脉冲 f_c ，加法器将频率控制字 K 与寄存器输出的累加相位数据相加，再把相加后的结果送至寄存器的数据输入端。寄存器将加法器在上一个时钟作用后所产生的相位数据反馈到加法器的输入端；以使加法器在下一个时钟作用下继续与频率控制字进行相加。这样，相位累加器在时钟的作用下，进行相位累加。当相位累加器累加满量时就会产生一次溢出，完成一个周期性的动作。

c) 控制相位的加法器

通过改变相位控制字 P 可以控制输出信号的相位参数。令相位加法器的字长为 N ，当相位控制字由 0 跃变到 P ($P \neq 0$) 时，波形存储器的输入为相位累加器的输出与相位控制字 P 之和，因而其输出的幅度编码相位会增加 $P/2^N$ ，从而使最后输出的信号产生相移。

d) 控制波形的加法器

通过改变波形控制字 W 可以控制输出信号的波形。由于波形存储器中的不同波形是分块存储的，所以当波形控制字改变时，波形存储器的输入为改变相位后的地址与波形控制字 W （波形地址）之和，从而使最后输出的信号产生相移。

e) 波形存储器

用相位累加器输出的数据作为波形存储器的取样地址，进行波形的相位—幅值转换，即可在给定的时间上确定输出的波形的抽样幅值。 N 位的寻址 ROM 相当于把 $0^\circ \sim 360^\circ$ 的正弦信号离散成具有 2^N 个样值的序列，若波形 ROM 有 D 位数据位，则 2^N 个样值的幅值以 D 位二进制数值固化在 ROM 中，按照地址的不同可以输出相应相位的正弦信号的幅值。

相位—幅度变换原理图如下图所示：

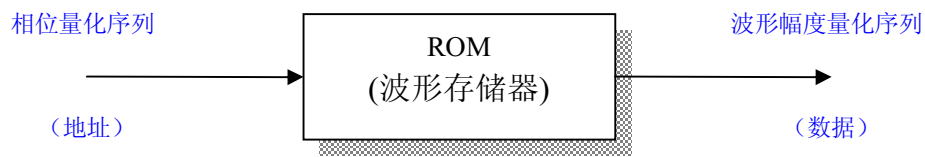


图 1.3 相位—幅度变换原理图

f) D/A 转换器

D/A 转换器的作用是把合成的正弦波数字量转换成模拟量。正弦幅度量化序列 $S(n)$ 经 D/A 转换后变成了包络为正弦波的阶梯波 $S(t)$ 。需要注意的是，频率合成器对 D/A 转换器的分辨率有一定的要求，D/A 转换器的分辨率越高，合成的正弦波 $S(t)$ 台阶数就越多，输出的波形的精度也就越高。

g) 低通滤波器

对 D/A 输出的阶梯波 $S(t)$ 进行频谱分析，可知 $S(t)$ 中除主频 f_0 外，还存在分布在 $f_c, 2f_c, \dots$ 两边 $\pm f_0$ 处的非谐波分量，幅值包络为辛格函数。因此，为了取出主频 f_0 ，必须在 D/A 转换器的输出端接入截止频率为 $f_c/2$ 的低通滤波器。

2 系统设计与实现

2.1 参数选取

由已知条件 $N = 8$, $D = 8$, $f_c = 4.19\text{MHz}$, 存储器容量 2K 可知:

1. 存储器可分为 256×8 bit 使用

2. 频率步进 $\Delta f = f_{o\min} = \frac{f_c}{2^N} = 16.4\text{KHz}$, 此时 $K = 1$

3. 最大频率 $f_{o\max} = \frac{f_c}{2} = 2.1\text{MHz}$ 。然而, 此时每周期只采样 2 点, 难以保

证输出精度。为了保持输出精度, 规定最低每周期采样 8 点, 此时 $K = \frac{2^N}{8} = 32$,

则:

$$f_{o\max} = \frac{f_c}{2^N} K = 524\text{KHz}$$

4. 相位步进 $\frac{2\pi}{256}$

综上所述, 每个波形存储器存储 256 个 8 位采样点; 频率控制 $1 \leq K \leq 32$, 频率步进 (最小输出频率) 16.4KHz, 最大输出频率 524KHz; 相位控制 $1 \leq P \leq 256$, 步进 $\frac{2\pi}{256}$ 。

2.2 系统设计

2.2.1 波形存储

由于本设计要实现两种波形选择输出, 故存储在 RAM 中的波形数据可以有两种存储方式:

- 连续存储: 即“正弦波 (1...n) | 三角波 (1...n)”;
- 间隔存储: 即“正弦 (1) | 三角 (1), 正弦 (2) | 三角 (2) ..., 正弦 (n) | 三角 (n)”。

本设计要实现两种波形的循环输出以及相位控制, 选取第 2 种存储方式, 即间隔存储。同时, 第奇数位存储正弦波, 第偶数位存储三角波。

下面我们看一下在这种方式下地址码的产生：

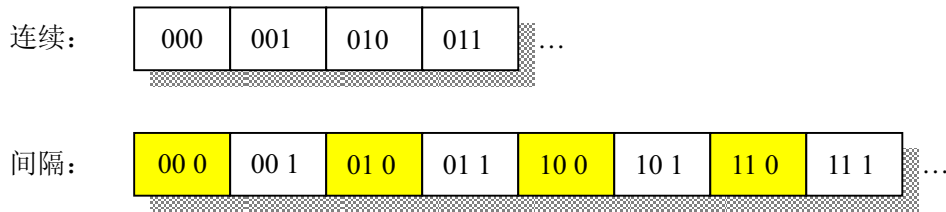


图 2.1 连续存储与间隔存储的地址码

由上图可以看出，间隔方式的地址码只不过是连续方式下左移 1 位（2 倍）；同时，最低位区别不同波形。

2. 2. 2 系统设计

由波形间隔存储方式，设计以下系统模型：

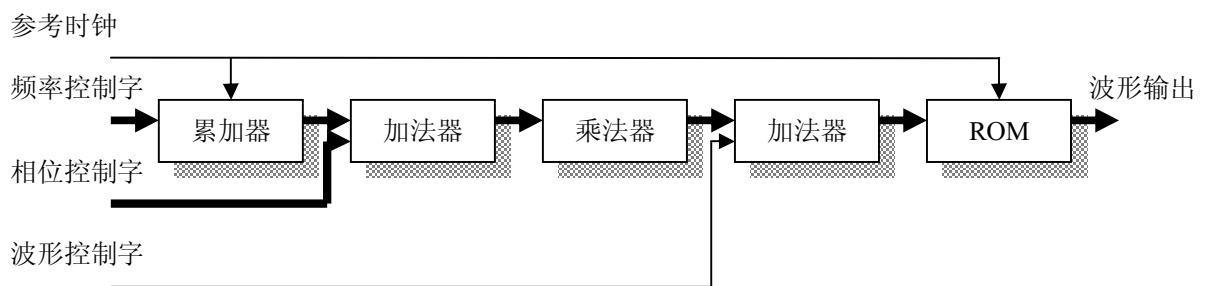


图 2.2 DDS 系统模型

2. 3 系统实现

本次实现系统的环境如下：

1硬件：Acer TravelMate 230 (Celeron IV 1.7GHz + 256M DDR2100 + 20GHD)

2系统：WindowsXP (SP1 + KB823980) 英文版 + 中文语言包

3软件：Xilinx ISE 6.1.02i (SP2) + ModelSim XE II 5.7C

1. 各端口说明

频率控制字：8 位，最大 32（00100000），0 输出直流；

相位控制字：8 位，0 无位移，128（10000000）位移 π ；

波形控制字：1 位，0 输出正弦波，1 输出三角波；

2. 累加器

由于 ISE 提供的 IP Core 具有功能齐全、安全可靠、使用方便等特点，故累加器模块选取 IP Core 中的 Accumulator 单元。

3. 加法器

本设计共用到 2 个加法器，一个是频率控制字和相位控制字的 8 位输入 8 位输出加法器；另一个是上述输出信号左移 1 位后与波形控制字的 8 位与 1 位输入 9 位输出加法器。通过 IP Core 中的 Adder & Subtractor 单元实现。

4. 乘法器

本设计中的乘法器用来实现信号的左移 1 位功能，要求不丢位、最低位添 0。通过 IP Core 中的 Multiplier 单元实现，恒乘以 2。

5. 波形存储器

波形存储器用来存储波形数据，数据以间隔方式存储。通过 IP Core 中的 Single Port Block Memory 实现。波形初始化文件由 Matlab 生成（见附件）。

最后完成的原理图如下：

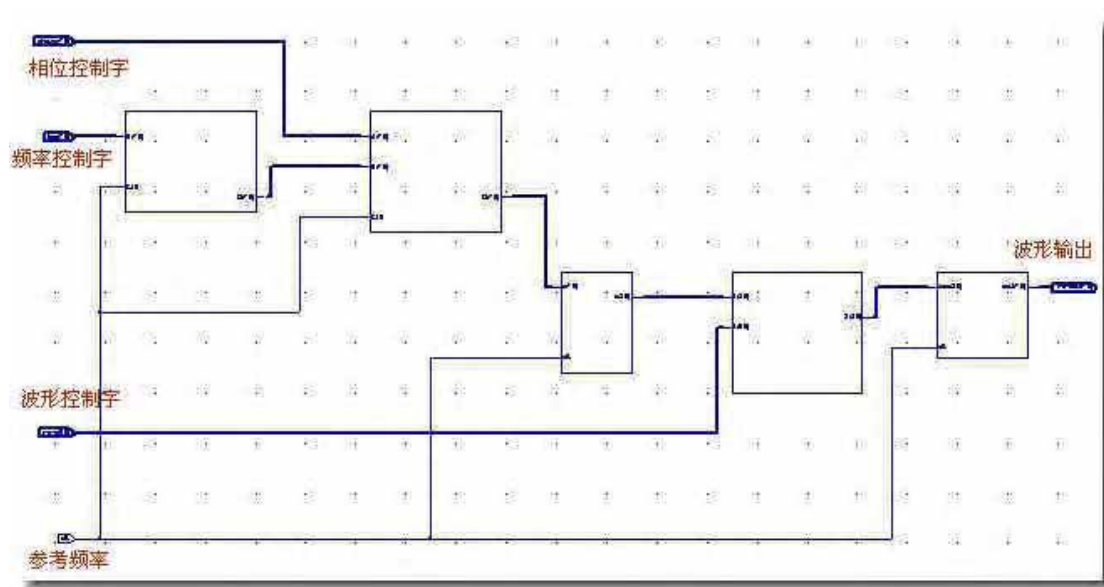


图 2.3 DDS 原理图

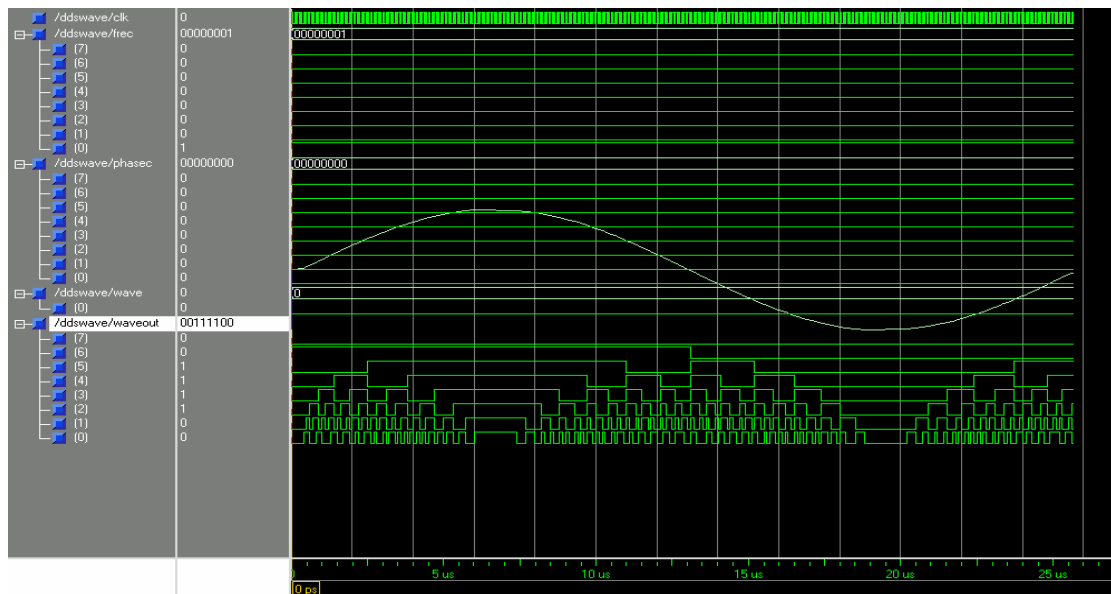
2. 4 系统仿真

1. 最小步长的正弦波

频率控制字: 00000001

相位控制字: 00000000

波形控制字: 0

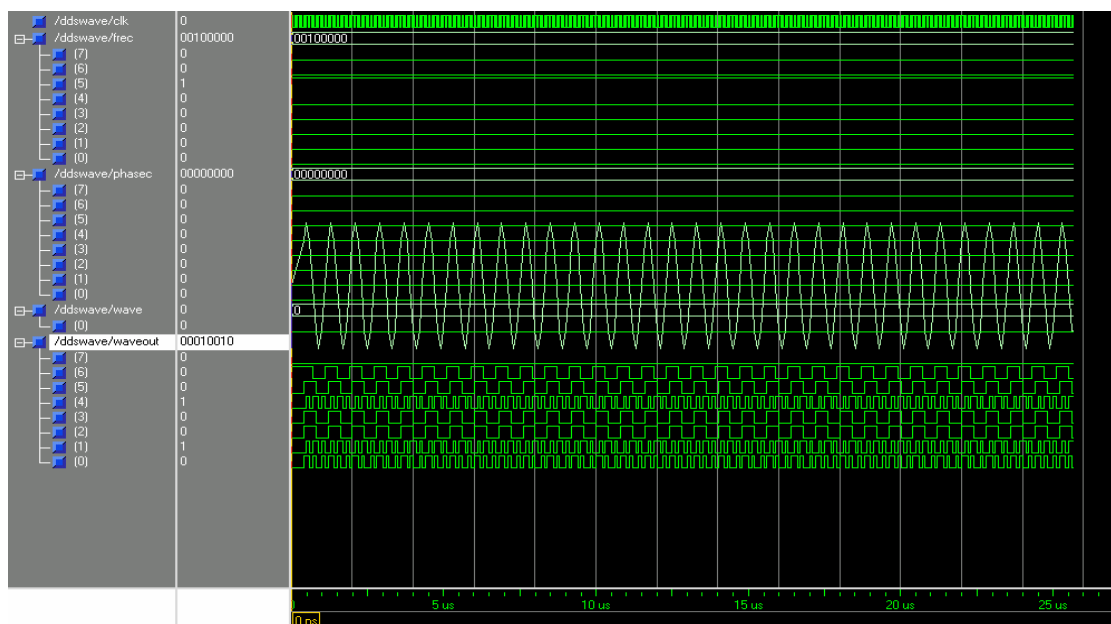


2. 最大步长的正弦波

频率控制字: 00100000

相位控制字: 00000000

波形控制字: 0

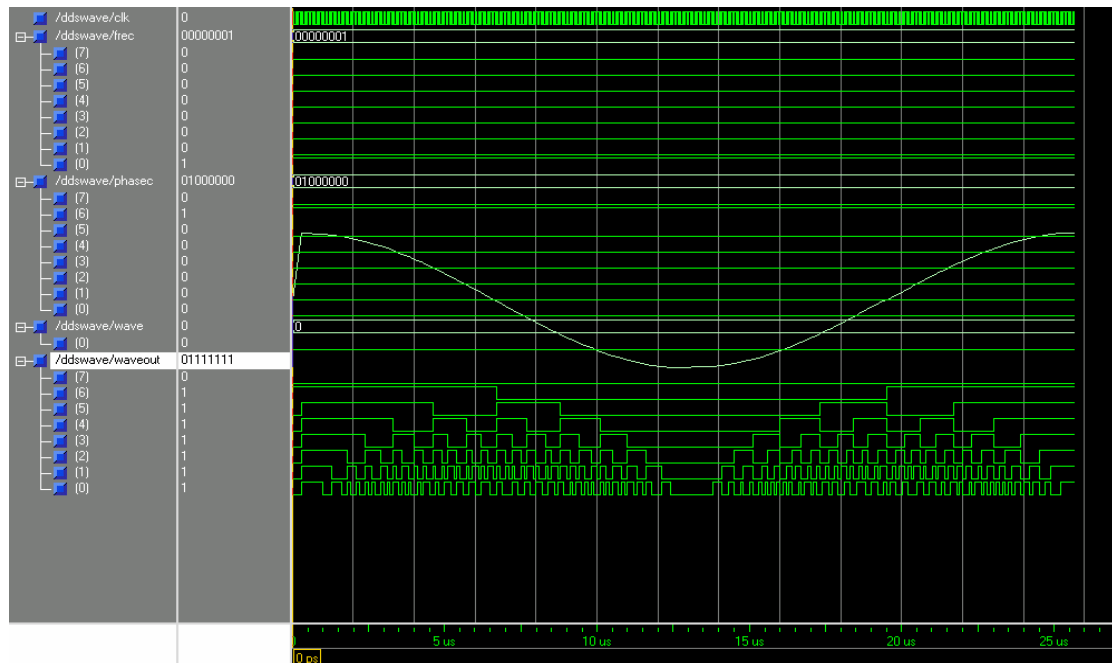


3. 最小步长的余弦波

频率控制字: 00000001

相位控制字: 01000000

波形控制字: 0

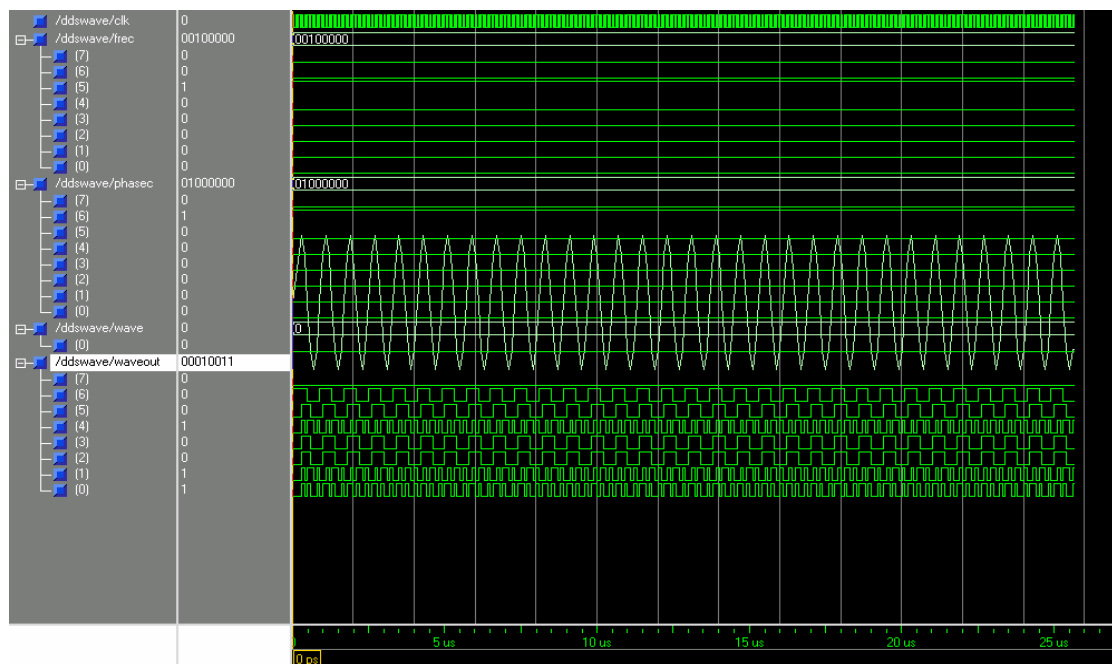


4. 最大步长的余弦波

频率控制字: 00100000

相位控制字: 01000000

波形控制字: 0

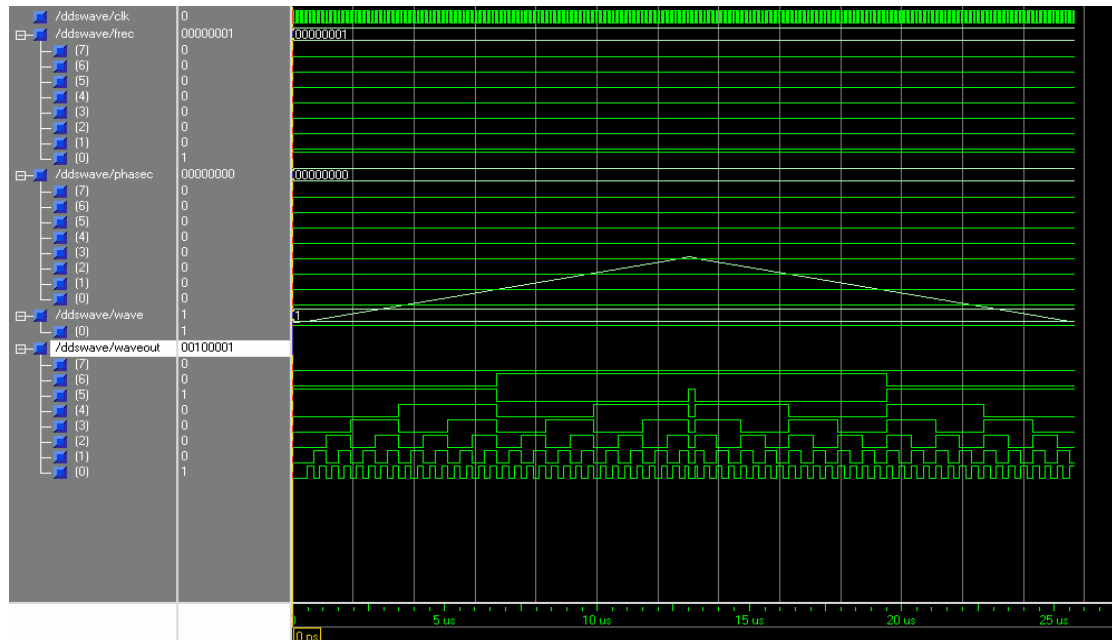


5. 最小步长的三角波

频率控制字: 00000001

相位控制字: 00000000

波形控制字: 1

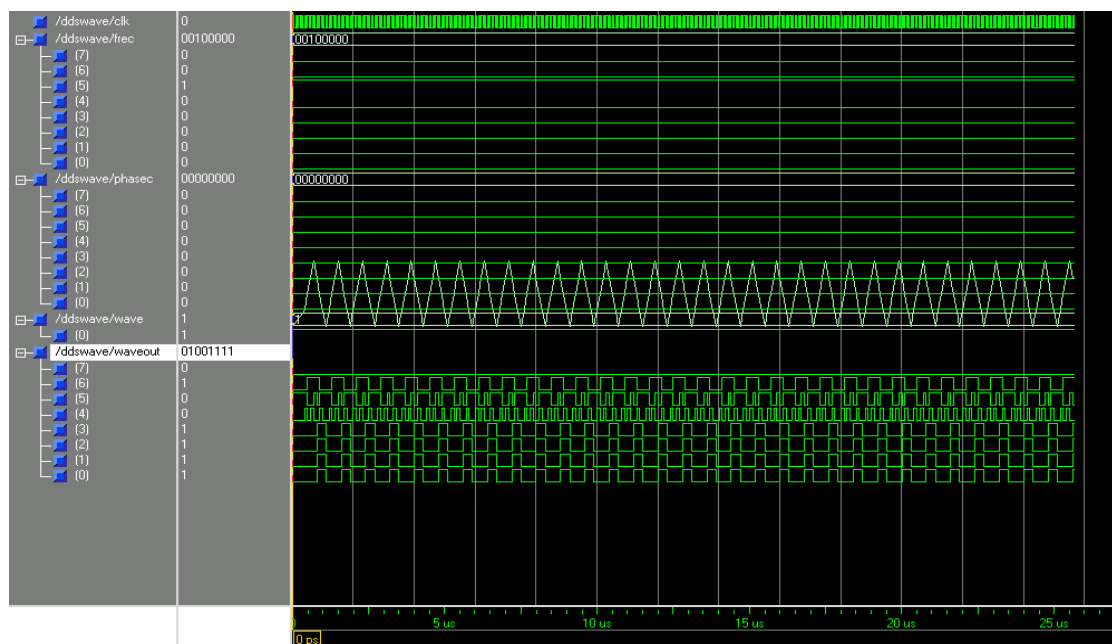


6. 最大步长的三角波

频率控制字: 00100000

相位控制字: 00000000

波形控制字: 1



结 论

本设计采用现场可编程门阵列（FPGA）实现了一个直接数字频率合成器，主要由累加器、加法器、乘法器、存储器组成。直接数字频率合成器具有变频范围广、频率步进小、幅度和频率精度高、调谐方便等优点。本系统允许频率调谐、相位调谐、波形选择，可以产生正弦、三角波及其移相信号。具有设计简单可靠、调谐方便等优点。不过频率步进较大、步长大时波形精度较差，但这些都不是系统设计缺陷，可以通过增加控制字位数、增大存储器容量简单解决。

参考文献

1. Dan Morelli。Modulating Direct Digital Synthesizer in a QuickLogic FPGA。QuickLogic, 2002
2. 周俊峰, 陈涛。基于FPGA的直接数字频率合成器的设计和实现。电子技术应用, 2001
3. 庞健涛。基于DDS技术高精度移相器的实现。西安电子工程研究所, 2000
4. 任晓东, 文博。CPLD/FPGA高级应用开发指南。电子工业出版社, 2003
5. 徐志军, 徐光辉。CPLD/FPGA的开发与应用。电子工业出版社, 2002
6. 侯伯亨, 顾新。VHDL硬件描述语言与数字逻辑电路设计。西安电子科技大学出版社, 1997
7. James R. Armstrong, F. Gail Gray, 李宗伯, 王蓉晖译。VHDL设计表示和综合。机械工业出版社, 2002
8. 王诚, 薛小刚, 钟信潮。Xilinx ISE 5.x使用详解。人民邮电出版社, 2003
9. Xilinx。Xilinx ISE 6 Software Manuals。Xilinx, 2003