

C8051F020 与 SPI 串行 Flash 存储器的接口

程水英, 武传华

(解放军电子工程学院, 安徽省合肥市 230037)

【摘要】 介绍了 C8051F020 单片机 SPI 模块的内部结构和相关配置寄存器的定义和使用, 以及 SPI 串行 Flash 存储器 AT45DB081B 的外部引脚、存储空间的划分和相应的软件操作指令; 着重阐述 C8051F020 与 AT45DB081B 之间的接口技术, 包括硬件连线方法、硬件连线及配置中需要注意的问题、软件驱动和测试程序的编写方法及流程。

关键词: C8051F020, AT45DB081B, SPI, Flash 存储器, 接口技术

中图分类号: TP334.7

0 引言

C8051F 是 Cygnal 公司的 8 位片上系统 (SoC) 型单片机系列, 采用该公司的 CIP-51 微控制器内核, 即在原有的 8051 内核基础上, 根据不同的应用场合增加相应的智能外设 (IP) 及接口, 使得应用系统整个控制电路部分的设计开发变得简便迅捷, 稳定性和可靠性大大提高。C8051F020 是该系列中功能较强、内部集成资源相当丰富的一款。在某些场合, 需要处理和存储的代码或数据量相当大, 但像单片机这样的控制芯片其外部引脚也是一种宝贵资源, 因此给系统的高速及大容量存储器外扩带来局限。AT45DB081B 是 Atmel 公司的 8 MB 串行外围接口 (SPI) 的串行 Flash 存储器, 存储容量大, 工作速度快, 读写电压低, 所需的接口连线少, 而且其 SPI 接口正好可以与 C8051F 系列单片机的 SPI 总线接口相配。但由于是串行接口的存储器, 所以软件的读写操作控制稍显复杂。

1 C8051F020 中 SPI 总线的结构及其配置

C8051F020 在片内集成了一个 SPI 总线接口模块 SPI0。SPI0 可完成 4 线全双工串行总线的访问操作, 在同一 SPI 总线上, 可挂接多个从设备和主设备, SPI0 提供了多主访问冲突检测的功能。当 SPI0 工作在主模式时, 其最大的数据传输速率可达系统时钟频率的一半。该模块共有 4 个外部接口引脚: MOSI (主输出从输入)、MISO (主输入从输出)、SCK (串行时钟) 和 NSS (从选择)。这 4 条信号线的功能与使用符合 SPI 总线的通用规范, 在此不予赘述。

图 1 所示为 SPI0 模块的结构框图。由图可见, SPI 总线的 4 条引线通过片内的交叉开关网络定义到

片外的通用 I/O 引脚, 这也是 Cygnal 单片机的独特之处。具体可通过配置端口 I/O 交叉开关配置寄存器 XBR0、XBR1 和 XBR2 以及端口 0 输出方式寄存器 POMDOUT 设置^[1]。

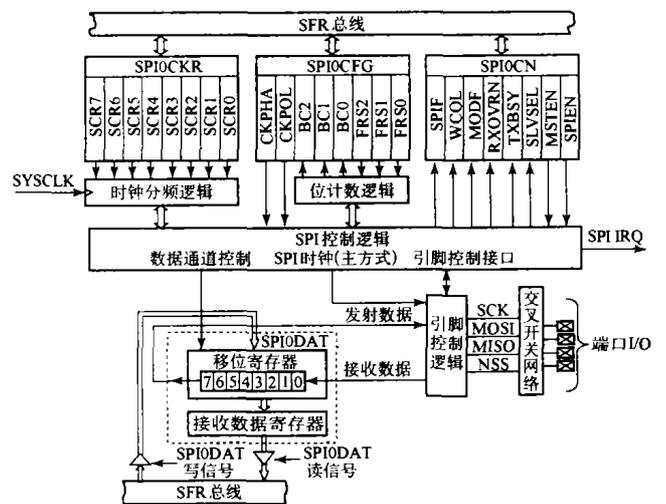


图 1 SPI0 的结构框图

C8051F020 提供 4 个用来对 SPI0 模块进行访问和控制的 SFR 寄存器: 配置寄存器 SPI0CFG、控制寄存器 SPI0CN、时钟速率寄存器 SPI0CKR 和数据寄存器 SPI0DAT。这 4 个寄存器的定义见表 1 ~ 表 4。

表 1 SPI0 配置寄存器 SPI0CFG (字节地址: 0x9A; 复位值: 0x07)

位号	名称	说明	读写特性
D7	CKPHA	时钟相位	R/W
D6	CKPOL	时钟极性	R/W
D5	BC2	发送位计数	R
D4	BC1	发送位计数	R
D3	BC0	发送位计数	R
D2	SPIFRS2	主方式帧长度	R/W
D1	SPIFRS1	主方式帧长度	R/W
D0	SPIFRS0	主方式帧长度	R/W

表2 SPI0 控制寄存器 SPI0CN (字节地址:0xF8;复位值:0x00)

位号	名称	说明	读写特性
D7	SPIF	中断标志	R/W
D6	WCOL	写冲突标志	R/W
D5	MODF	方式错标志	R/W
D4	RXOVRN	接收溢出标志	R/W
D3	TXBSY	发送忙标志	R
D2	SLVSEL	从选择标志	R
D1	MSTEN	主方式使能	R/W
D0	SPIEN	SPI0 使能	R/W

表3 SPI0 时钟速率寄存器 SPI0CKR
(字节地址:0x9D;复位值:0x00)

位号	名称	读写特性
D7	SCR7	R/W
D6	SCR6	R/W
D5	SCR5	R/W
D4	SCR4	R/W
D3	SCR3	R/W
D2	SCR2	R/W
D1	SCR1	R/W
D0	SCR0	R/W

注:D7~D0为SPI0时钟速率设置位。

表4 SPI0 数据寄存器 SPI0DAT
(字节地址:0x9B;复位值:0x00)

位号	读写特性
D7	R/W
D6	R/W
D5	R/W
D4	R/W
D3	R/W
D2	R/W
D1	R/W
D0	R/W

注:D7~D0为SPI0发送和接收数据寄存器位。

寄存器 SPI0CN 中的 SPIF 位是接收和发送中断标志,二者共用。每当一帧数据(位数由 SPI0CFG 中的 D2~D0 位设置)传送完毕, SPIF 被置 1,如 SPI0 中断被允许,将产生一次中断请求。注意, SPIF 被置位后,硬件不会对其清零,必须由软件复位。

时钟速率寄存器 SPI0CKR 决定了主方式时从 SCK 引脚输出的时钟信号速率 f_{SCK} ,该时钟信号是从系统时钟 SYSCLK 分频而来。 f_{SCK} 、SYSCLK 设置的数值 N_{SYSCLK} 与时钟速率寄存器 SPI0CKR 设置的数值 $N_{SPI0CKR}$ 之间的关系为:

$$f_{SCK} = \frac{N_{SYSCLK}}{2(N_{SPI0CKR} + 1)} \quad (0 \leq N_{SPI0CKR} \leq 255) \quad (1)$$

另外,在对 SPI0 访问控制时,需要注意,无论是发送还是接收,只有 SPI 主设备才能启动一次数据传输操作。

2 AT45DB081B 及其存储器组织和操作指令

AT45DB081B 所需供电电压低,有 2.5 V~3.6 V 和 2.7 V~3.6 V 两种型号,各自所支持的最高时钟频率分别为 15 MHz 和 20 MHz;可进行单周期擦除重写;控制引脚少,主要有片选信号 \overline{CS} 、复位信号 \overline{RESET} 、准备好/忙信号 $\overline{RDY}/\overline{BUSY}$ 、写保护信号 \overline{WP} 以及与 SPI 总线操作相关的 3 个引脚:时钟信号 SCK、串行数据输入信号 SI 和串行输出信号 SO。事实上,AT45DB081B 的存储容量为 8 MB。整个存储空间按地址从低往高又被分为 4 096 页,每页占 264 字节;每 8 页又被指定为 1 个块(Block)。此外,为了提高读写速度,片内还集成了 2 个独立的大小均为 264 字节的高速 SRAM 数据缓冲区,用户在操作时可以自由地选择其中之一。AT45DB081B 的结构框图如图 2 所示。由图可见,无论是读还是写操作,均提供了多种操作模式,例如:可以自由地选择是否经由缓冲区读写;即使是经过缓冲区缓冲,也可以选择是按指令控制经由缓冲区,还是由芯片自动操作(仅对写操作)。

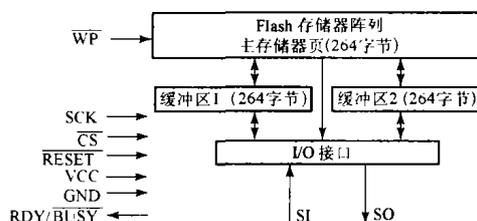


图2 AT45DB081B 结构框图

另外,AT45DB081B 还提供了其他操作控制,例如页擦除、块擦除、指定页与缓冲区进行比较操作、页内容经由缓冲区自动重写和状态寄存器读取等。这些操作均通过向 AT45DB081B 写入相应的操作码来控制。表 5 所示为其指令表。

具体操作如下:先通过 SI 引脚写入相应操作的 8 位指令代码,再写入 24 位地址信息(可能包括页地址、字节地址或缓冲区字节地址,但当读状态寄存器时忽略此步);接着写入 0、1 或 4 个任意字节,用于等待启动相应的操作,这样就完成了初始化操作。后面若是数据的读写操作,则会按照时钟的节拍在 SI 引脚流入或从 SO 引脚流出数据;若是其他内部操作,则在 \overline{CS} 信号变成无效时启动相应的操作^[2]。

表 5 AT45DB081B 操作指令表

指令	代码	指令	代码
读指令	★ 68H	写 Buffer1	84H
	# E8H	写 Buffer2	87H
	★ 52H	及 Buffer1 数据写主存自带擦写	83H
	# D2H	擦 Buffer2 数据写主存自带擦写	86H
	★ 54H	除 Buffer1 数据写主存不带擦写	88H
	# D4H	指令 Buffer2 数据写主存不带擦写	89H
Buffer1 读	★ 56H	页擦写	81H
	# D6H	块擦写	50H
Buffer2 读	★ 57H	经 Buffer1 写主存页自带擦写	82H
	# D7H	经 Buffer2 写主存页自带擦写	85H
其他	主存页数据写 Buffer1	主存页与 Buffer2 比较	61H
	主存页数据写 Buffer2	经 Buffer1 自动重写主存页	58H
	主存页与 Buffer1 比较	经 Buffer2 自动重写主存页	59H

注: ★表示时钟极性低或高无效;#表示 SPI 模式 0 或 3。

3 C8051F020 与 AT45DB081B 的接口方法

3.1 接口的硬件连线及关键配置

图 3 所示是用 AT45DB081B 扩展 C8051F020 串行存储器的硬件连线。显然,这里只能设置 C8051F020 为 SPI 主模式(置 SPI0CN.1 = 1),AT45DB081B 为从模式。

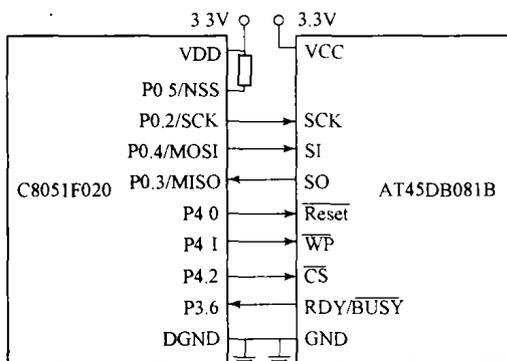


图 3 C8051F020 与 AT45DB081B 接口的硬件连线

需要说明的是:

a) 当单片机工作在主方式时,若 NSS 引脚为低电平,将禁止 SPI0 模块工作,所以为了系统工作可靠,虽然这里该引脚未用,仍需将它通过上拉电阻接电源。

b) 为了使单片机的引线 P4.0、P4.1 和 P4.2 产生 AT45DB081B 所需的输入控制信号,需要配置端口 P4 的低 4 位为推挽输出方式(置端口 7~4 输出方式寄存器 P74OUT.0 = 1)。

c) 为了读取 AT45DB081B 的状态输出信号 RDY/BUSY,设置 P3.6 为漏极开路输出(缺省方式),并再向 P3.6 写 1 即可。

该系统时钟取自外部晶振,频率为 22.1184 MHz,

设置为晶振方式,允许时钟丢失检测功能,为此需写外部振荡器控制寄存器 OSCXCN = 0x67,内部振荡器控制寄存器 OSCICN = 0x88。设置每帧数据大小为 8 位,传输速率为 4 MHz,由式(1)易知,SPI 时钟速率寄存器 SPIOCKR 应置为 0x01。

3.2 接口的软件驱动及测试

软件的开发是在 Cygnal IDE 集成开发环境下采用 Keil C51 编写完成的。应用模块化设计的思想,参照表 5,AT45DB081B 的所有指令被分成读操作、写及擦除操作和其他 3 类,对应地编写了 3 个可供调用的子函数:Flash_Read()、Flash_WriteErase()和 Flash_Additional(),各函数的说明如下:

```
unsigned char xdata * Flash_Read ( unsigned char
OpCode, unsigned int PageAddr, unsigned int PByteAddr,
unsigned int BByteAddr, unsigned int ByteNum);
```

```
void Flash_WriteErase ( unsigned char OpCode, unsigned
int PageAddr, unsigned int PByteAddr, unsigned
int BByteAddr, unsigned int ByteNum, unsigned char
xdata * wrtptr);
```

```
void Flash_Additional ( unsigned char OpCode, unsigned
int PageAddr);
```

上述函数的接口参数说明如下:OpCode 为指令代码;PageAddr 为所访问的主存页地址;PByteAddr 为主存页中所访问的的字节地址;BByteAddr 为所访问的缓冲区中的字节地址;ByteNum 为需读写的字节数;wrtptr 为待写入数据的指针。函数 Flash_Read 调用成功后返回已读取数据所存放区域的起始地址,而 Flash_WriteErase 和 Flash_Additional 无返回值。

图 4 所示的 N-S 程序流程专为测试上述子函数的正确性而设计。图中,UART0 是单片机的一个异步串

行接口,在程序中一是可以用做调试,二是可以作为该调试程序的上位机控制接口。

关看门狗定时器		
系统时钟初始化		
交叉开关及端口初始化		
UART0初始化		
SPI0初始化		
测试数据初始化		
While(1)		
UART0监视接收测试模式选择指令		
测试模式1 测试模式选择 测试模式2		
测试“经Buffer1写主存带内擦写”指令,写主存页0数据	测试“写Buffer1”指令	测试“Buffer1数据写主存带内擦写”指令,写主存页1数据
	测试“写Buffer2”指令	测试“页擦写”指令,擦写主存页2
测试“主存页读”指令,读主存页0数据		测试“Buffer2数据写主存不带擦写”指令,写主存页2数据
测试“连续区读”指令,读主存页0数据	测试“主存页数据写Buffer1”指令,传主存页1数据到Buffer1	针对主存页2测试“经Buffer2自动重写主存页”指令
比较写入与读出的数据并指示正确与否	针对主存页2,测试“主存页与Buffer1比较”指令	测试“状态寄存器读”指令,读取比较结果并指示

图4 测试程序的N-S流程

另外需要注意的是系统时钟初始化模块,由于是选择外部晶振作为时钟源,根据该单片机的要求,在通过外部振荡器控制寄存器 OSCXCN 选择了外部晶振后,需等待至少1ms后再查询等待 OSCXCN 寄存器中

的D7位,即 XTLVLD 位变为1,表明外部晶振正在运行并已工作稳定,然后才能通过内部振荡器控制寄存器 OSCICN 的D3位,即 CLKSL 置1来选择外部晶振。具体的参考程序如下:

```

OSCXCN = 0x67; //启动外部晶振
for (i=0; i < 256; i ++); //延时等待
while (! (OSCXCN & 0x80)); //查询等待外部晶振
是否稳定运行
OSCICN = 0x88; //选择外部晶振作为系统时钟源,
并使能时钟丢失检测功能

```

4 结束语

笔者在一个硬件平台上按照上述方法设计了C8051F020与AT45DB081B之间的硬件连线,并编写了接口的硬件驱动程序,然后完成了对AT45DB081B所支持的所有操作模式的软件测试,证明本文所述的软硬件接口方法是行之有效的。稍加修改后,该软硬件模块也已被嵌入到相关的应用系统之中。

参 考 文 献

- [1] C8051F020/1/2/3 Mixed-Signal ISP FLASH MCU Family. DS003-1.1, Cygnal Integrated Products Inc, 2002
- [2] AT45DB081B(8-megabit 2.5-volt Only or 2.7-volt Only DataFlash). Rev 2225D-DFLSH-10/02. Atmel Corporation, 2002

The Interface Technology Between C8051F020 and Serial Flash Memory with SPI Interface Bus

Cheng Shuiying, Wu Chuanhua

(Electronic and Engineering Institute of the PLA, Hefei 230037, China)

[Abstract] In this paper, it is introduced first the SPI module in Cygnal's microcontroller C8051F020, including its block diagram, definition and operation of configuration registers associated. Then the external pinouts, division of memory space and corresponding software commands of Atmel's SPI flash memory AT45DB081B are described in detail. The emphasis is put on the interface technology between C8051F020 and AT45DB081B, hardware interconnection scheme and key points of attention. The software driver and its test routine are all dealt with thoroughly in this paper.

Keywords: C8051F020, AT45DB081B, SPI, flash memory, interface technology